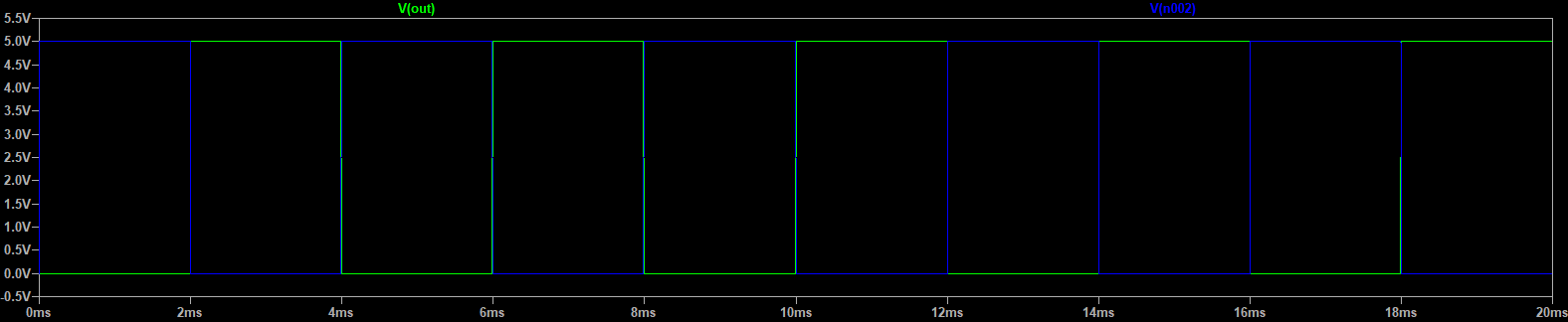
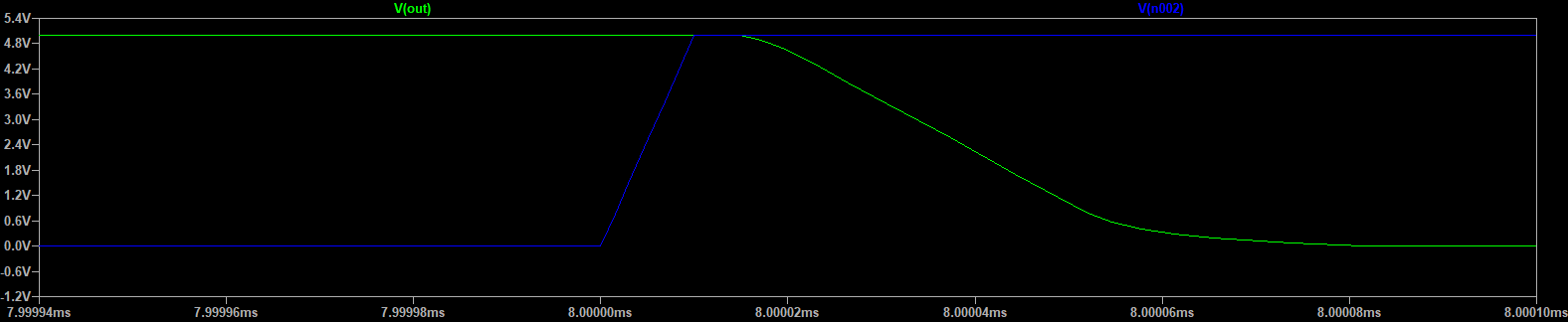
Schéma 1



Nous observons un schéma inverseur, une porte NOT, mais avec un 0 bien à zéro V, sans le pic de sur-tension.

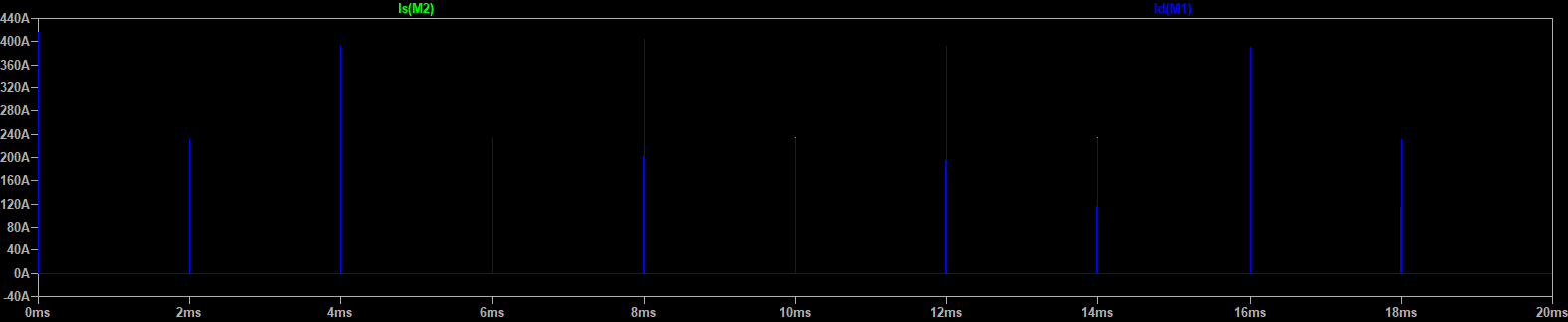
Pour comprendre ce fonctionnement, en regardant les pmos et Nmos, quand V1 = 0 V et V1 = 5V, nous pouvons dire que lorsque le nMos est passant, le pMos est bloqué, et vice et versa.

V1 = 0V.

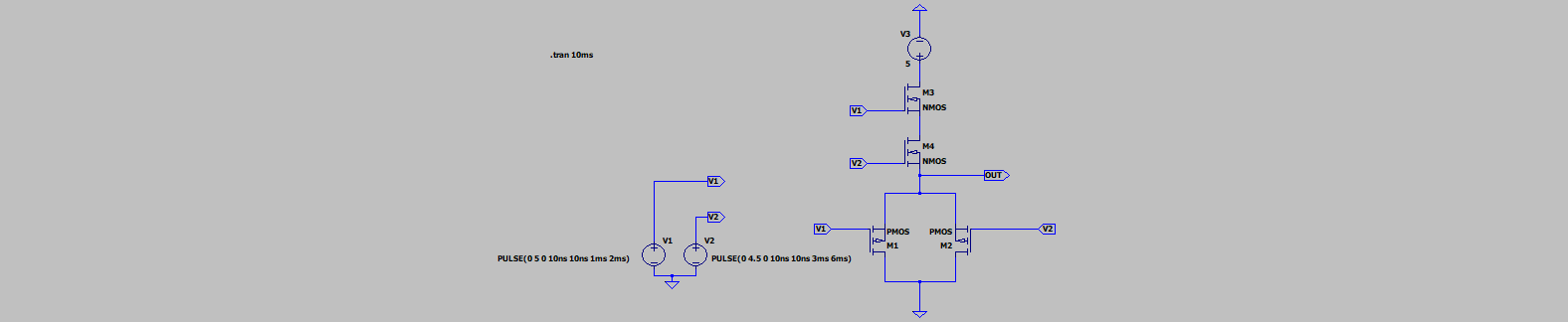
Figure 1: lattence du signal de sortie

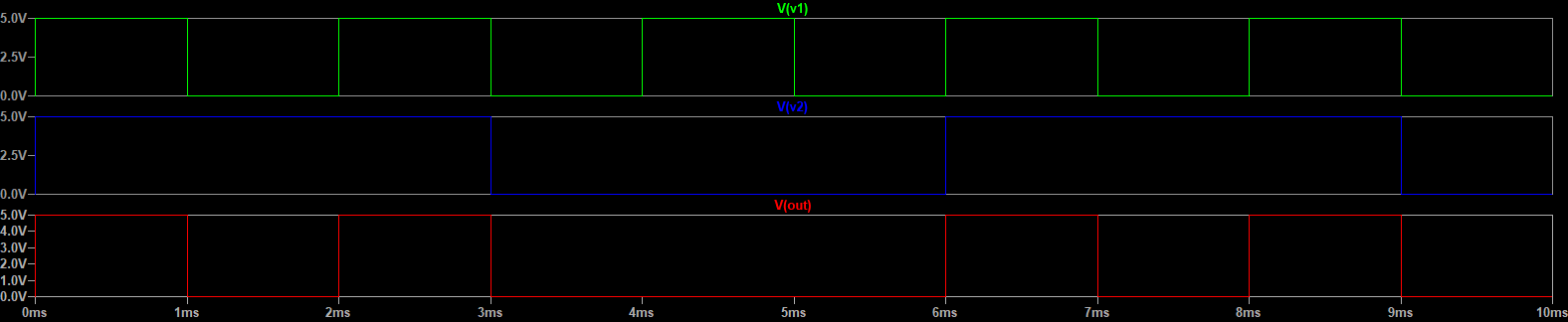
une latence d’environ 50ns

si nous observons les courants, nous verrons des piques pouvant aller à 400A. Ceci est dû au changement d’état des transistors : mettant un certain temps pour commiter, il y aura un très cours instant où le schéma équivalent sera un court-circuit, du 5V à la masse. Dans notre cas, ces valeurs extrêmes sont à cause de notre générateur parfait, qui n’a pas de limite de courant. Mise à part ces pics de courant, nous voyons une très faible consommation de courant.

Figure 2: courant pour les transistors

exercice 2 :





Nous observons une porte OR : si les 2 signaux sont à 5V, nous avons une sortie à 5V, sinon elle sera à 0V

explication :

Quand on prends V1, sur le 1er PMOS ; VGS = VG – VS = 0 – 0 = 0V (Vout est considéré à 0V, qu’il y a un pull down. )VGS < Vth, donc canal P est fermé. V1 = 5V : VGS = VG – VS = 5V ⇒ Vgs > Vth : transistor bloquant

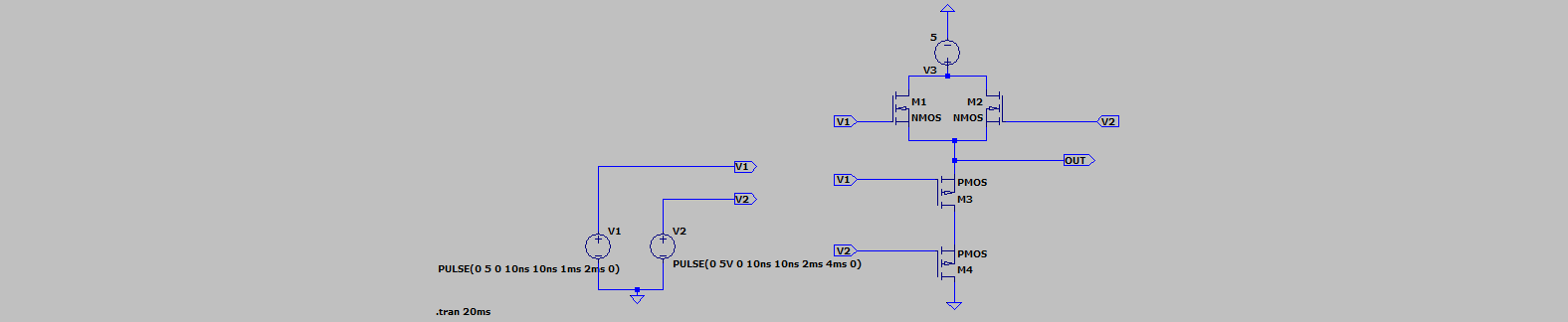
⇒ pour le PMOS : Ouvert pour V1 = 0V, fermé pour V1 = 5V

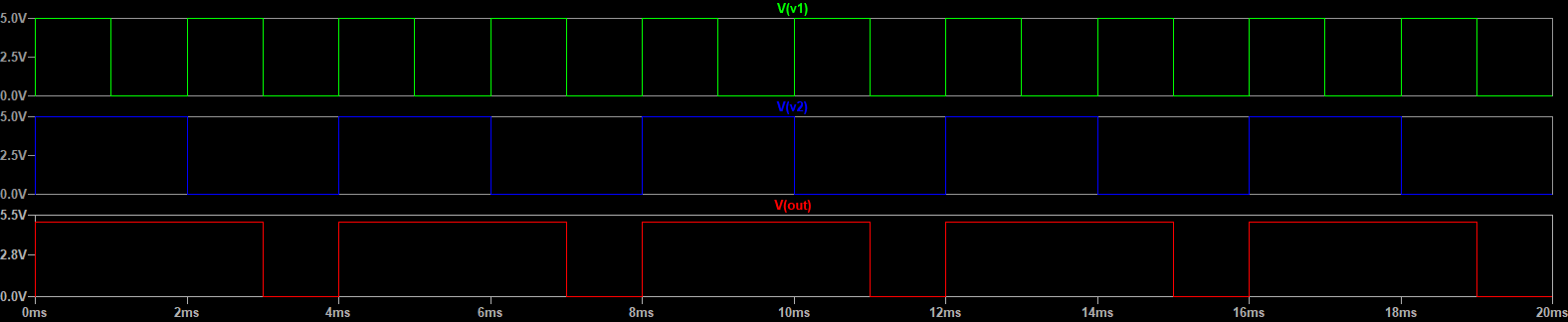
PMOS : passant quand Vgs < -Vth

NMOS : passant quand Vgs > Vth

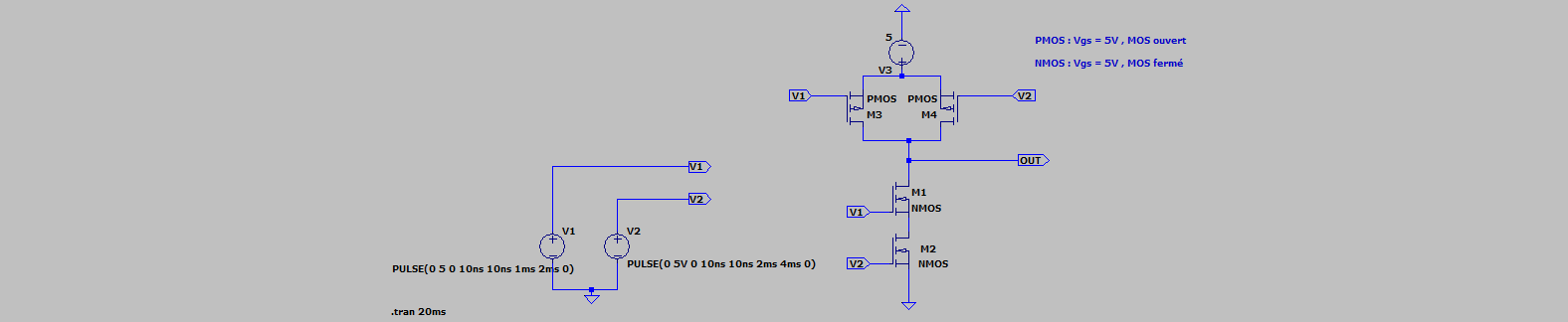
PMOS Vgs Threshold = -0,5

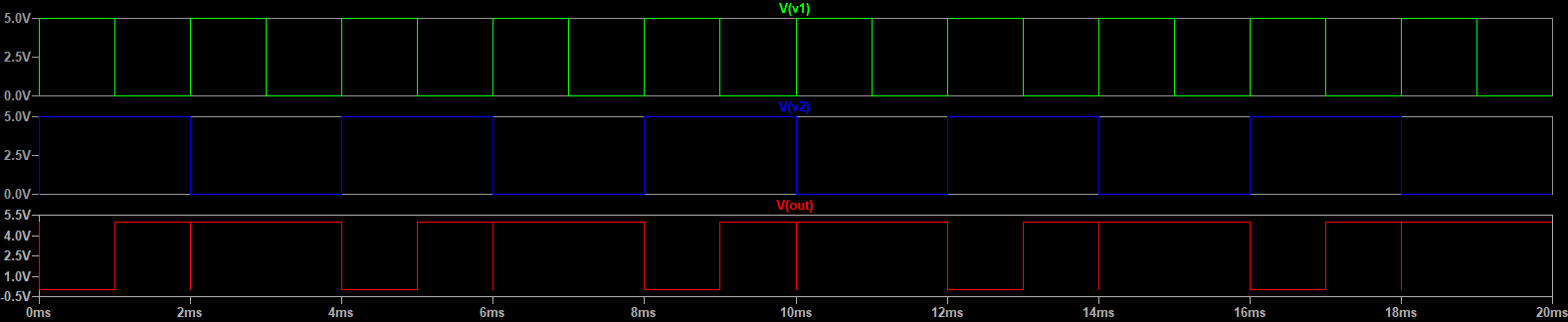
NMOS Vgs Threshold = 1,1





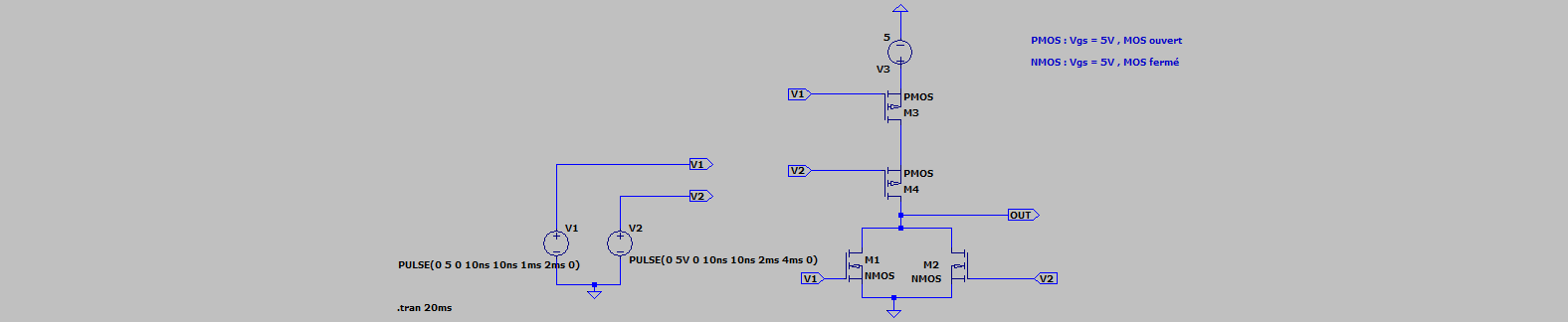
Exo 4

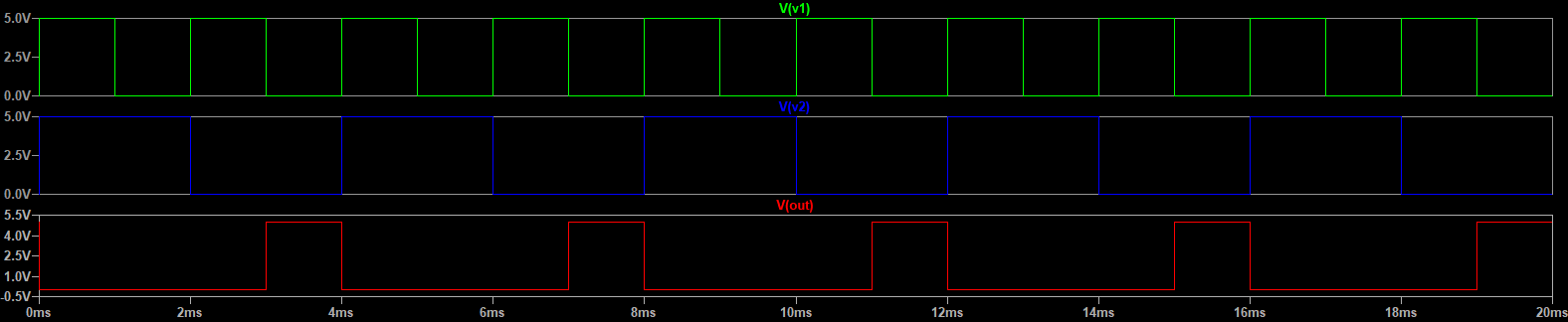




Nous reconnaissons ici une porte NAND

ex5





Nous reconnaissons ici une porte NOR.