

# DIPLOMARBEIT

zur Erlangung des akademischen Grades  
"Master of Science in Engineering"

Entwicklung eines  
Very-Low-Frequency-Konverters  
für Prüfungen an Mittelspannungskabel

ausgeführt von Hanna Raheb, BSc  
A-1190 Wien, Rodlergasse 24/17

1. Begutachter: Dipl.-Ing. Georg Brauner
2. Begutachter: Dipl.-Ing. Dr. Wolfgang Hribernik

Wien, 27. September 2010



Ausgeführt an der FH Technikum Wien  
Studiengang MIE

## **Eidesstattliche Erklärung**

„Ich erkläre hiermit an Eides statt, dass ich die vorliegende Arbeit selbstständig angefertigt habe. Die aus fremden Quellen direkt oder indirekt übernommenen Gedanken sind als solche kenntlich gemacht. Die Arbeit wurde bisher weder in gleicher noch in ähnlicher Form einer anderen Prüfungsbehörde vorgelegt und auch noch nicht veröffentlicht.“

---

Ort, Datum

---

Unterschrift

## **Kurzfassung**

Im Rahmen der nachfolgenden Diplomarbeit wird die Prüfung von Mittelspannungsstäben mit Hilfe des Very Low Frequency-Verfahrens beschrieben. Im Allgemeinen wird erklärt, was das Very Low Frequency-Verfahren ist und welche Vorteile diese Prüfmethode mit sich bringt. In diesem Zusammenhang werden auch aktuelle Techniken beschrieben, mit Hilfe derer die gewünschte Very Low Frequency-Spannungsform, ein Sinus von 0,1 Hz an einer kapazitiven Last, erzeugen werden kann. Der Schwerpunkt dieser Arbeit liegt allerdings in der Entwicklung einer eigenen Prüfeinrichtung. Das gesamte Konzept, das zur Erreichung der gewünschten Spannungsform führt, dessen Steuer- und Regelung und die aufgetretenen Probleme bei der Entwicklung werden im Detail erläutert.

## **Abstract**

This thesis describes the monitoring of middle voltage cable using a method which is based on a very low frequency waveform. Generally there will be an exact definition of the very low frequency method. This means what is this method and what benefit it brings by using this waveform. In this context some new methods which are able to produce a necessary voltage waveform, which is in detail a sinus of 0,1 Hz, will be described. This is a short overview of what will be discussed in the present work, but the focus is actually the development of self-contained test equipment. Some basic information has to be obtained in this project so that a portable very low frequency converter can be built after this master thesis.

## **Danksagung**

Ich möchte mich beim Geschäftsfeldleiter des Energy Departement vom Austrian Institute of Technology Wolfgang Hribernik bedanken. Er hat mir die Möglichkeit gegeben, an dieser Diplomarbeit zu arbeiten. Ein weiteres Dankeschön möchte ich meinem Arbeitskollegen Bernhard Kubicek aussprechen, der mir die Welt der Microcontroller näher gebracht hat. Bei meiner Freundin Ida Moranjkic, die mich stets unterstützt hat, möchte ich mich hiermit auch bedanken. Mein besonderer Dank gilt jedoch meinem FH Betreuer Herrn Georg Brauner. Die Tatsache, dass seine Tür stets für Fragen offen war, hat mir sehr geholfen. Ich schätze mich glücklich, einen so inspirierenden und motivierten Betreuer gehabt zu haben.

# Inhaltsverzeichnis

<b>1 Aufgabenstellung</b>	<b>8</b>
<b>2 Einleitung</b>	<b>9</b>
<b>3 Mittelspannungskabel</b>	<b>10</b>
<b>4 Stand der Technik für VLF-Verfahren</b>	<b>14</b>
4.1 Allgemein . . . . .	14
4.2 Vergleichbarkeit zwischen 50 Hz und 0.1 Hz . . . . .	15
4.3 Existierende VLF-Verfahren . . . . .	16
4.3.1 Verfahren nach BAUR Prüf- und Messtechnik GmbH . . . . .	16
4.3.2 Schwebungsverfahren nach MOHAUPT . . . . .	21
<b>5 Grundlegende Verfahren und Komponenten</b>	<b>24</b>
5.1 Gleichrichtung von Wechselspannung . . . . .	24
5.2 Phasenanschnittsteuerung . . . . .	28
5.3 Hochspannungsdiode . . . . .	31
<b>6 Entwicklung eines VLF-Versuchsansatzes</b>	<b>33</b>
6.1 Prinzip . . . . .	33
6.2 Regelung . . . . .	38
6.2.1 Spannungsmessung . . . . .	38
6.2.2 Labview . . . . .	41
6.2.3 Atmega 16 . . . . .	43
6.3 Ergebnisse . . . . .	46
6.4 Zusammenfassung und Ausblicke . . . . .	49

<b>Literaturverzeichnis</b>	<b>50</b>
<b>Abbildungsverzeichnis</b>	<b>53</b>
<b>Abkürzungsverzeichnis</b>	<b>54</b>
<b>A Anhang</b>	<b>55</b>
A.1 C-CODE . . . . .	55
A.2 Labview-Code . . . . .	64

# 1. Aufgabenstellung

Die Aufgabenstellung dieser Arbeit ist es eine Very Low Frequency - Prüfeinrichtung für Mittelspannungskabel zu entwickeln. Mit dessen Hilfe soll bei einer kapazitive Last von  $2\mu\text{ F}$  ein Sinusverlauf von 0,1 Hz und eine Spannungshöhe von  $4 \text{ kV}_{Spitze}$  erzeugen werden können. Dadurch soll ein Basiswissen geschaffen werden auf dem in weiterer Folge die Errichtung einer portablen Prüfeinrichtung, erfolgen soll.

## 2. Einleitung

Eines der zahlreichen Aufgabengebiete des Power Service Centers im Austrian Institute of Technology ist die Überprüfung elektrischer Betriebsmittel. Der Abteilung stehen verschiedene Möglichkeiten der detaillierten Überprüfung, wie z.B. Ausschaltvermögen einer HN-Sicherung im Kurzschlussfall oder aber auch Blitzstoßspannungsprüfung von Schaltgerätekombination, zur Verfügung. Dieser Vielzahl an Facetten soll nun, um eine Mittelspannungsprüfung vor Ort mittels des Very Low Frequency (VLF)-Verfahrens durchzuführen, erweitert werden. Hierbei sollen Mittelspannungskabel im eingebauten Zustand vor Ort diagnostiziert werden können. Es muss davon ausgegangen werden, dass beim Prüfstand keine hohen elektrischen Leistungen wie in Prüflaboratorien zur Verfügung stehen. Deshalb bedarf es einer Prüfmethode, mit Hilfe derer aussagekräftige Messungen durchgeführt werden können, ohne dass hohe elektrische Leistungen benötigt werden.

Eben solch eine Prüfung erlaubt das VLF-Verfahren. Mittelspannungskabel besitzen eine Eigenkapazität, die je nach Aufbau und Länge einige  $n$  F bis  $\mu$  F betragen kann. Um die Kapazität des Mittelspannungskabel auf Prüfspannung (z.B. 36 kV bei einem 12 kV-Kabel) zu laden bedarf es einer hohen elektrischen Leistung, wenn dieses bei Nennfrequenz von 50 Hz erfolgen soll. Der Grund hierfür ergibt sich aus dem frequenzabhängigen, kapazitiven Blindwiderstand

$$X_c = \frac{1}{j\omega C},$$

daraus ist zu erkennen, dass eine höhere Frequenz einen niedrigeren Blindwiderstand der Kapazität zu Folge hat. Deshalb wird mehr Strom benötigt, um eine Kapazität auf eine bestimmte Spannung zu laden. Wird hingegen die Ladefrequenz auf 0,1 Hz anstatt 50 Hz reduziert kann der benötigte Strom um den Faktor 500 verkleinert werden.

### 3. Mittelspannungskabel

Auf der Mittelspannungsebene finden sich immer mehr vernetzte Polyäthylen(VPE)-Kabel, welche zunehmend die klassischen Masse- und Ölkabel verdrängen. Deshalb wird in diesem Kapitel hauptsächlich auf die VPE-Kabel eingegangen. Der Vorteil bei VPE-Kabel liegt im festem Dielektrikum, daher besteht keine Gefahr eines Öl-, Gas- oder Druckverlustes. (aus [7])

Ein weiterer Vorteil von VPE ist seine gute Wärmebeständigkeit im Gegensatz zu Polyäthylen. VPE schmilzt nicht, kann jedoch bei langen Einwirkungen von Temperaturen über 300°C verkohlen und damit zum Zerfall führen, deshalb ist die zulässige Leiter-temperatur bei einem Kurzschlussstrom von einer Sekunde auf 250 °C begrenzt. Die Dauertemperaturlast an Leitern mit VPE Isolierung ist 90 °C. Die verbesserten thermischen, mechanischen und chemischen Eigenschaften gegenüber dem Polyäthylen werden durch die Vernetzung der langen Molekülketten des Polyäthylen erreicht. Der Aufbau eines VPE-Kabel findet sich in Abbildung 3.1 wieder. (aus [4])

Der Innenleiter besteht entweder aus Aluminium oder Kupfer. Darauf extrudiert befindet sich die innere Leitschicht, bestehend aus leitfähigen Papierbändern oder leitfähigen Kunststoffen. Diese innere Leitschicht soll eine Erhöhung der Feldstärke, verursacht durch die Rauhigkeit auf der Drahtoberfläche, verhindern. Eine punktuelle Erhöhung der Feldstärke kann zu Teilentladungen führen und in weiterer Folge eine Zerstörung des Dielektrikums bewirken. Eine schematische Abbildung der Feld-Homogenisierung findet sich in Abbildung 3.2a wieder (aus [6]).

Über der inneren Leitschicht befindet sich das Dielektrikum. Hier zeigen sich puncto Alterung die Vorteile des VPE-Dielektriums gegenüber der Isolation aus Öl-Papier. Im VPE-Dielektrikum gibt es weder thermische Alterung noch Hohlraumbildungen. Eine gewisse Feuchtigkeitsempfindlichkeit musste früher allerdings beachtet werden. Vor allem bei den ersten VPE-Kabel traten vermehrt sog. water trees auf. Dabei handelt es sich um

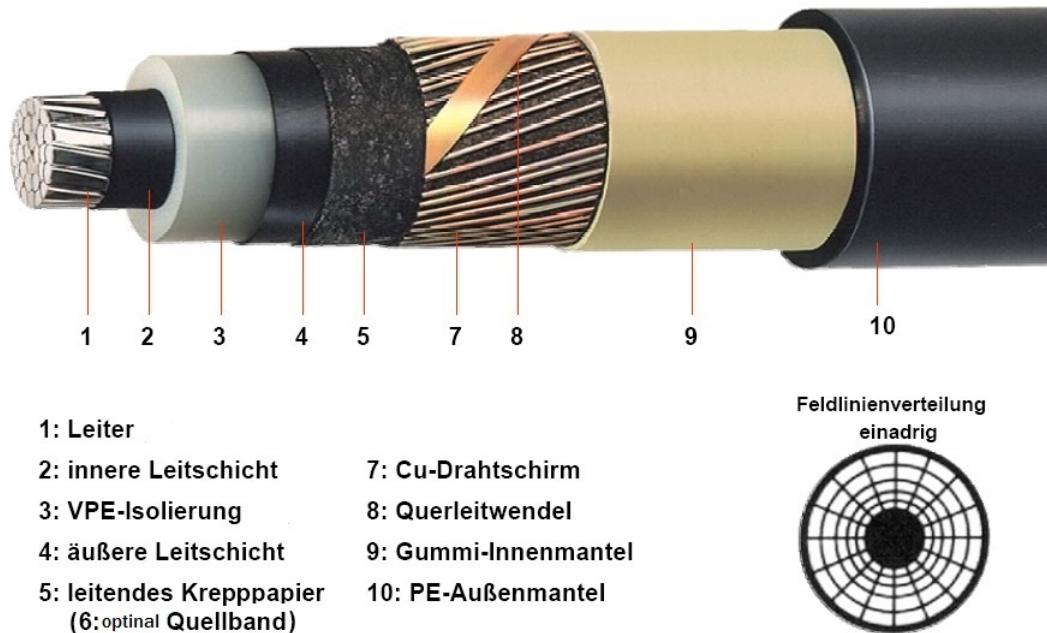


Abbildung 3.1.: Aufbau eines VPE-Kabels (aus [6])

elektrochemische Veränderungen des Dielektrikum, verursacht durch das elektrische Feld in Verbindung mit Feuchtigkeit. Diese water trees können die Isolierung soweit abtragen, bis ein leitfähiger elektrischer Kanal entstehen kann. Die Gefahren von water trees bei Mittelspannungskabel sind heute dank modifizierter Werkstoffe und neuen Fertigungsprozesse stark reduziert worden. Dennoch sollten water trees geschädigten Kabelanlagen gefunden und ausgetauscht werden. (aus [7])

Die äußere leitfähige Schicht bewirkt eine gleichmäßige Belastung der Isolierung. Durch die innere spannungsführende Leitschicht, und die äußere auf Erdpotenzial liegende Leitschicht, entsteht ein homogenes, radiales elektrisches Feld, sodass eine geringere Beanspruchung des Dielektrikums entsteht. Über der äußeren Leitschicht wird eine Kabelschirmung angebraucht. Sie besteht aus Kupferdrähten oder -bändern mit Querleitwendeln. Der Schirm hat die Aufgabe des Berührungsschutzes und dient zum Ableiten des Erdchlussstromes. Um das Kabel zusätzlich vor mechanischen und thermischen Einflüssen zu schützen, wird es noch mit einem PE- oder PVC-Mantel extrudiert. (aus [6])

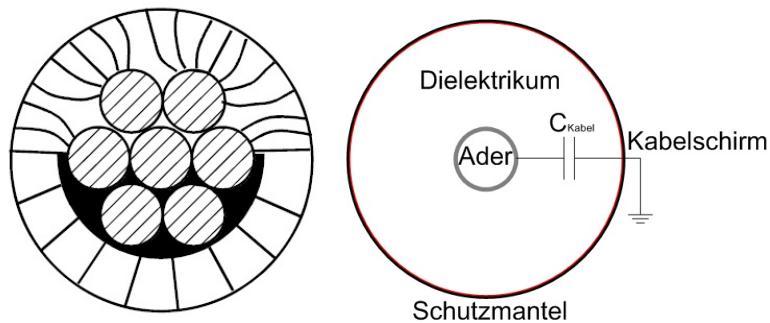


Abbildung 3.2.: a) Innere Leitschicht b) Kabelkapazität (aus [6])

Wie anfangs erwähnt, haben Mittelspannungskabel eine Eigenkapazität. Diese gilt es zu laden, wenn eine Spannungsprüfung durchgeführt werden soll. Um einen Einblick in die Kapazitätsgröße zu geben, sind in Tabelle 3.1 einige Kapazitätswerte für Mittelspannungskabel der Firma Nexans aufgeführt.

Nennquerschnitt $mm^2$	Nennspannung $U_0/U$ 6/10kV $uF/km$	U <sub>0</sub> /U	U <sub>0</sub> /U
		12/20kV $uF/km$	18/30kV $uF/km$
35	0.22	0.16	-
50	0.24	0.17	0.13
70	0.28	0.19	0.15
95	0.31	0.21	0.16
120	0.33	0.23	0.18
150	0.36	0.25	0.19
185	0.39	0.27	0.20
240	0.44	0.30	0.22
300	0.48	0.37	0.32
400	0.55	0.36	0.27
500	0.61	0.40	0.29
630	0.68	0.44	0.32
800	0.77	0.50	0.36
1000	0.87	0.55	0.39

Tabelle 3.1.: Betriebskapazitäten für VPE-isolierte Mittelspannungskabel der Firma Nexans(aus [11])

## 4. VLF-Verfahren

### 4.1. Allgemein

Mittelspannungskabel wurden früher üblicherweise Vorort mittels Gleichspannung untersucht, da diese Prüfungen mit leistungsschwachen aber transportablen Prüfeinrichtungen durchgeführt werden konnten. Diese Prüfmethode hat sich bei VPE-Kabel jedoch als nicht sensitiv genug herausgestellt, wodurch gravierende Fehler unentdeckt bleiben konnten. Der Grund hierfür ist, dass erodierende Teilentladungen nur bei Wechselspannung, jedoch nicht bei Gleichspannung entstehen. Bei den Tiefstfrequenzspannungen (VLF) können Fehlstellen anhand langsam wiederkehrender Teilentladungen erkannt werden. Der Spannungsverlauf der Prüfung kann auf zwei Arten erfolgen: Zum Einen kann der klassische Sinusverlauf auf den Prüfling gespeist werden, zum Anderen der sog. Cosinus-Rechteckspannungsverlauf (Abbildung 4.1). (aus [7])

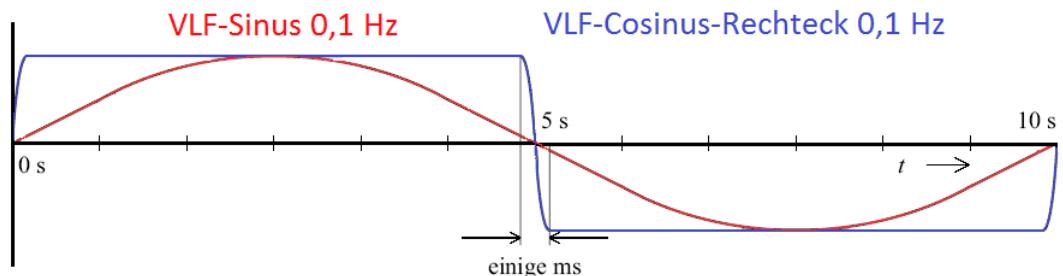


Abbildung 4.1.: VLF-Spannungsverlauf (aus [7])

Die Cosinus-Rechteckspannung kann mit Hilfe einer Gleichspannungsquelle erzeugt werden. Die Kabelkapazität wird damit geladen und nach fünf Sekunden wird eine Drossel parallel dazu geschaltet. Dabei wird ein Umschwingvorgang eingeleitet. Nach Erreichen des negativen Spannungsscheitels wird der Schwingkreis durch einen Schalter wieder abgetrennt. Die Gleichspannungsquelle kompensiert jegliche verlustbedingte Spannungs-

absenkung, sodass die Spannung in beiden Polaritäten aufrecht erhalten werden kann. Dieser Vorgang wird nach weiteren fünf Sekunden wiederholt, wodurch wieder eine Umladung in die positive Polarität erreicht wird. (aus [7])

Die Prüffrequenz darf laut [3] in einem Bereich von 0,01 Hz bis 1 Hz für beide Spannungsformen gewählt werden. Bei dem Sinusverlauf müssen beide Halbwellen annähernd sinusförmig sein. Eine geringe Abweichung ist erlaubt. Das Verhältnis von Scheitelwert zu Effektivwert muss aber gleich  $\sqrt{2} \pm 5\%$  sein. Bei der Cosinus-Rechteckspannung muss die Kurvenform annähernd rechteckförmig sein, wobei auch hier der Verlauf beider Halbwellen annähert gleich sein muss. Um Überspannungen zu vermeiden, sollte der Wechsel der Polarität gesteuert erfolgen. Das Verhältnis des Scheitelwert zum Effektivwert darf nicht mehr als 5 % vom Wert 1 betragen. (aus [3])

## 4.2. Vergleichbarkeit zwischen 50 Hz und 0.1 Hz

Eine der Kernfragen bei der Prüfung mittels der VLF-Methode ist, ob die gewonnenen Ergebnisse Rückschlüsse auf den Betriebseinsatz bei Nennfrequenz zulassen. Schließlich wird das Betriebsmittel nicht mit Nennfrequenz von 50 Hz sondern mit 0,1 Hz geprüft. Eine ausführliche Arbeit über dieses Thema wurde in [12] durchgeführt. Eine weitere Arbeit [14] wird im Folgenden kurz zusammengefasst, um einen Einblick in die Vergleichbarkeit der Messergebnisse zu bekommen. Bei der Forschungsarbeit der Fachhochschule in Konstanz wurde ein betriebsgealtertes VPE-Mittelspannungskabel aus den siebziger Jahren ( $U_0 = 12kV$ ) geprüft. Das Kabel wurde für die Teilentladungsprüfung (TE) mit speziellen Prüfendverschlüssen versehen. Die Aufnahmedauer betrug sowohl bei der 50 Hz, als auch bei der 0,1 Hz Messung 300s. Die Ergebnisse in Abbildung 4.2a und 4.2b lassen eine gewisse Ähnlichkeit der TE-Muster erkennen. Es zeigt sich lediglich eine deutliche Verringerung der Impulshäufigkeit bei 0,1 Hz als bei 50 Hz. Die genauen Messergebnisse finden sich Tabelle 4.1 wieder. Es zeigt sich, dass die Einsetzspannung  $U_i$  von Teilentladungen bei 0,1 Hz um den Faktor 1,2 bis 1,3 höher ist als die Einsetzspannung bei 50 Hz. Des Weiteren sind die Häufigkeiten der Entladungsimpulse bei 0,1 Hz gegenüber 50 Hz stark reduziert. Es muss davon ausgegangen werden, dass bei gleichen Anzahl von Prüfperioden die gleiche Anzahl von Impulsen auftritt. Bei einer Prüfdauer von 3 Minuten entstehen bei 50 Hz 9000 Perioden. Soll die gleiche Anzahl von Prüfperioden bei einer

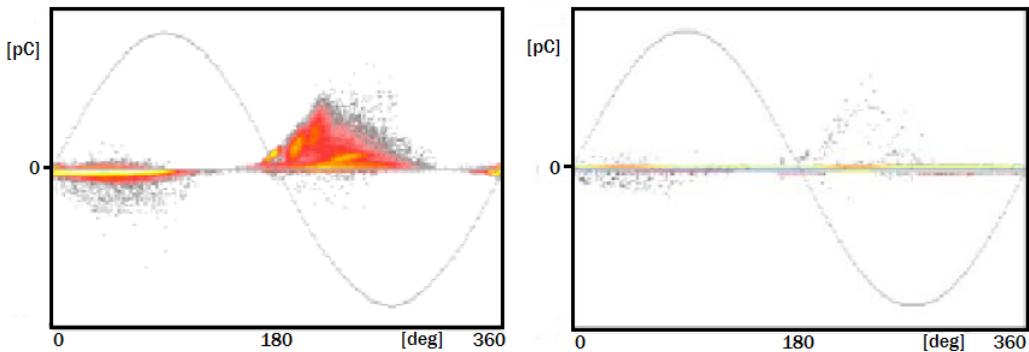


Abbildung 4.2.: a) Teilentladungsprüfung bei 12 kV mit 50 Hz b) Teilentladungsprüfung bei 12 kV mit 0,1 Hz (aus [14])

PVC Kabel ( $U_0$ )	50 Hz	0,1 Hz
Einsetzspannung	12 kV	16 kV
Löschspannung	6,4 kV	14 kV
TE(max.) bei 24kV	180 pC	130 pC
TE(mittl.) bei 24kV	100 pC	20 pC

Tabelle 4.1.: Messergebnisse der Teilentladungsprüfung an einem betriebsgealtertes VPE-Mittelspannungskabel(aus [14])

VLF-Prüfung erreicht werden müsste die Prüfung 25 Stunden dauern. Auf eine derartig lange Prüfung wurde bei dieser Forschungsarbeit verzichtet. (aus [14])

### 4.3. Existierende VLF-Verfahren

#### 4.3.1. Verfahren nach BAUR Prüf- und Messtechnik GmbH

Einer der Vorreiter auf dem Gebiet der VLF-Prüfmethode ist die Firma BAUR Prüf- und Messtechnik GmbH in Sulz. Sie entwickelt seit Jahren erfolgreich VLF-Prüfeinrichtungen. Dementsprechend verfügt die Firma über entsprechend viel Know How und diverse Patentansprüche. In diesem Kapitel wird nur eine der neueren Lösungen zur Erzeugung der VLF-Spannung diskutiert. Die neu entwickelten Prüfgeräte haben die Schwachstellen alter Konzepte ausgemerzt. So wurde früher die Umschaltung der Polarität auf Grund der hohen Spannungen mechanisch gelöst. Dies hatte jedoch den Nachteil, dass die Schalt-

handlung Lichtbögen verursacht hätte und dadurch den Schalter belastete und verschleißen ließ. Die vorliegende Erfindung erlaubt eine Erzeugung der Prüfspannung im Bereich von 0 Hz bis 10 Hz. Ein wesentliches Merkmal der Erfindung ist, dass mit einem Regler zwei Schaltnetzteile mit Pulsbreitenmodulation angesteuert werden. Anstatt der Pulsbreitenmodulation kann die Regelung auch über eine Frequenzmodulation in Verbindung mit einer Amplitudenmodulation erfolgen. Die Funktionsweise des Patentes dargestellt in der Abbildung 4.3 wird anhand der einzelnen Blöcken erklärt.

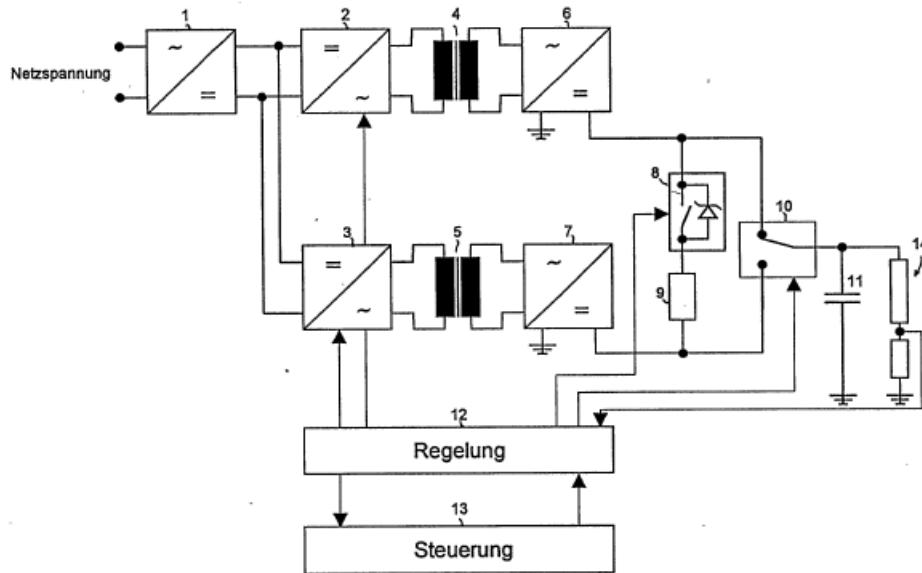


Abbildung 4.3.: Erste Aufbauvariante eines VLF-Konverter aus dem Patent DE 195 13 441 A1 der Baur GmbH (aus [1])

Der Powerfactor Controller 1 erzeugt aus der Netzspannung eine Gleichspannung. Die Gleichspannung wird von 2 und 3 mit Hilfe einer H-Brücke zu einer Wechselspannung von 50 Hz oder einem Vielfachen davon umgewandelt. Zusätzlich kann die Regelung die Steuersignale an den Schaltelementen der H-Brücke variieren, sodass eine Amplitudenmodulation erreicht wird. Die so erzeugte Niederspannung wird mit Hilfe der Transformatoren 4 und 5 hochtransformiert. Die amplitudenmodulierten Hochspannungen in 6 und 7 werden mittels der Greinacher Vervielfachungsschaltung in zwei voneinander unabhängigen Gleichspannungen unterschiedlicher Polarität umgewandelt. Über einen elektronischen Halbleiterschalter 8 mit einem Serienwiderstand 9 werden beide Gleichspannungen miteinander verbunden. Durch ein Umschaltrelais 10 wird der kapazitive

Prüfling 11 wahlweise an den einen oder den anderen Ausgang der Gleichspannung angehängt. Die Prüfspannungserzeugung erfolgt, indem dieser zunächst über eine der beiden Gleichrichterschaltungen 6 oder 7 definiert aufgeladen wird, und in weitere Folge eine ebenfalls definierte Entladung über den im Pulsbetrieb arbeitenden elektronischen Hochspannungsschalter 8 wiederfährt. Die zweite Gleichrichterschaltung 7 beziehungsweise 6 dient im Bedarfsfall zur aktiven Entladung. Im Spannungsnulldurchgang erfolgt eine Umschaltung des Relais 10, sodass dieser Vorgang für die andere Polarität erfolgen kann. Durch eine kontinuierliche Wiederholung dieser Vorgänge wird der Prüfling 11 mit einer niederfrequenten Wechselspannung beaufschlagt. Der elektronische Hochspannungsschalter 8 ist durch eine Serienschaltung von Halbleiterschaltelelementen aufgebaut. Dadurch wird eine hohe Spannungsfestigkeit im geöffneten Zustand erreicht. Die Steuersignale für den Hochspannungsschalter 8 kommen von der Regelung und werden transformatorisch übertragen, sodass mehrere Isolierstrecken jedes Halbleiterschaltelelement potentialgetrennt und nahezu gleichzeitig angesteuert werden können. Mit Hilfe des Spannungssteilers 14 kann die IST-Spannung gemessen und an die Regelung weitergegeben werden. Diese wird dann mit der gewünschten vorprogrammierten Kurven- und Amplitudenform verglichen. Durch das Eingreifen auf die Schaltzeitpunkte an den Schaltelementen der H-Brücken 2 und 3, des Hochspannungsschalters 8 und auf das Umschaltrelais 10 kann, die gewünschte Kurvenform erreicht werden. Eine Alternative zur Umschaltung mit Hilfe des Relais 10 kann auch eine Realisierung mittels passiven und elektronischen Bauelementen sein. Diese ist in der Abbildung 4.4 dargestellt. Der elektronische Hochspannungsschalter 15 unterscheidet sich gegenüber dem Hochspannungsschalter 8 in Bezug auf die Steuerung. So können die Halbleiterschaltelelemente des elektronischen Hochspannungsschalters 15 einzeln und unabhängig voneinander optisch oder transformatorisch angesteuert werden. Die Aufladung des Prüflings 11 erfolgt bei der positiven Halbwelle durch schließen der im Verbindungszweig zwischen dem Prüfling 11 und der Gleichrichterschaltung 6 liegenden Halbleiterschaltelelemente. Die Entladung der Prüflingskapazität erfolgt durch schrittweises Schalten der Halbleiterschaltelelemente die zwischen dem Prüfling 11 und der Gleichrichterschaltung 7 liegen. Die Begrenzung des Entladestroms erfolgt über die zugehörigen Schutzelemente der nicht angesteuerten geschlossenen Schaltelemente. Eine aktive Entladung kann auch hier durch eine Vorspannung der Gleichrichterschaltung 7

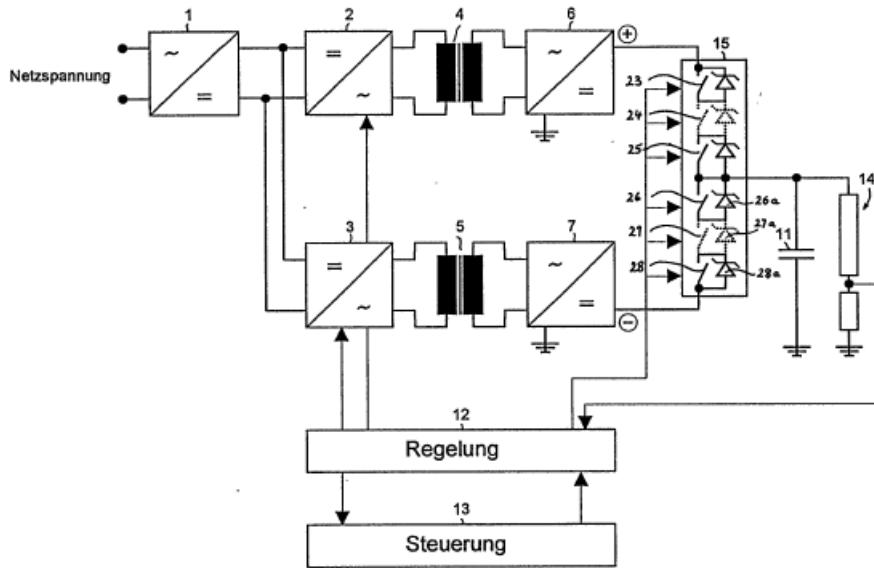


Abbildung 4.4.: Zweite Aufbauvariante eines VLF-Konverter aus dem Patent DE 195 13 441 A1 der Baur GmbH (aus [1])

durchgeführt werden. Die negative Halbwelle wird analog durchgeführt, jedoch wird hier bei der Ladephase in die negative Richtung der Verbindungsweig vom Gleichrichter 7 zum Prüfling 11 als erstes geschlossen. Der genaue Spannungsverlauf der Variante 1 wird in Abbildung 4.5 dargestellt. Zum Zeitpunkt  $t_0$  wird der Aufladevorgang eingeleitet. Das getaktete Schaltnetzteil 1 versorgt die H-Brücke 2 mit einer Gleichspannung. Die Regelung 12 steuert die H-Brücke an und der Transformator 4 wird versorgt. Der Transformator 4 speist die Greinacher Vervielfachungsschaltung an. Die so erzeugte Gleichspannung 6 lädt den Prüfling 11 bis zum Zeitpunkt  $t_1$  auf den Wert  $U_{11}$  auf. Danach schaltet die Regelung die Versorgung für den Transformator 5 zu und die Spannung am Prüfling kann nicht mehr steigen. Somit kann die Prüfspannung von dem Kurvenzweig 16 in 17 übergehen. Zum Zeitpunkt  $t_2$  stoppt die Regelung 12 die Ansteuerung der H-Brücke 2. Dadurch wird ein Entladenvorgang eingeleitet, da keine Nachladung in positiver Richtung mehr stattfindet. Der Spannungsverlauf kann nun in den Kurvenzweig 18 übergehen. Durch eine Pulsansteuerung des Halbleiterschalters 8 kann dieser taktweise geöffnet und geschlossen werden. Dadurch erfolgt eine gesteuerte Entladung des Prüflings 11 über den getakteten Halbleiterschalter 8 und den Widerstand 9 bis zum Zeitpunkt  $t_3$ . Ohne akti-

ve Entladung würde die Prüfspannung einen exponentiellen Verlauf 22 annehmen. Zum Zeitpunkt  $t_u$  wird der Umschalter 10 umgestellt und der Vorgang kann analog für die negative Halbwelle stattfinden.

Bei der Variante 2 wird die Umschaltung in den Zeitpunkten  $t_3$  und  $t_u$  durch ein gesteuertes Schalten der einzelnen in Serie geschalteten Schalter 23-28 realisiert. Bei der Aufladung im Bereich des Kurvenzweigs 16 und 17 bis zum Zeitpunkt  $t_1$  bzw.  $t_2$  sind die Schalter 23-25 geschlossen und die Schalter 26-28 offen. Zum Zeitpunkt  $t_2$  öffnen die Schalter 23-25 alle gleichzeitig und die Schalter 26-28 schließen entsprechend zu den von der Regelung 12 vorgegebenen Zeitpunkten. Über die parallel zu den noch offenen Schalter 26-28 geschalteten Schutzelementen erfolgt eine gesteuerte Entladung, weil diese Schutzelemente entsprechend in den Durchgangszustand gelangen. Zum Zeitpunkt  $t_2$  schließt also der erste Halbleiterschalter 26 und über die parallel geschalteten Schutzelemente 27a und 28a fließt nun ein Entladestrom über die Gleichrichterschaltung 7 gegen Erde. Der zweite Schalter 27 wird nach etwa einem Drittel der Kurvenstrecke 18 geschlossen und der Entladestrom fließt nur noch über dem Schutzelement 28a gegen Erde. Kurz vor dem Erreichen des Nulldurchgangs wird auch der letzte Schalter 28 geschlossen. Ab diesem Zeitpunkt liegt ein vollständiger Kurzschluss über die geschlossenen Halbleiterschalter 26, 27, 28 und die Gleichrichterschaltung 7 gegen Masse vor. Im hier erklärten Patent sind nur je Halbwelle drei Halbleiterschalter aufgeführt. In Wirklichkeit sind jedoch viel mehr Halbleiterschalter vorhanden. Je nach dem wie stark die treppenförmige Entladung sein darf, kann es bis zu 50 und mehr Schalter pro Halbwelle geben.(aus [1])

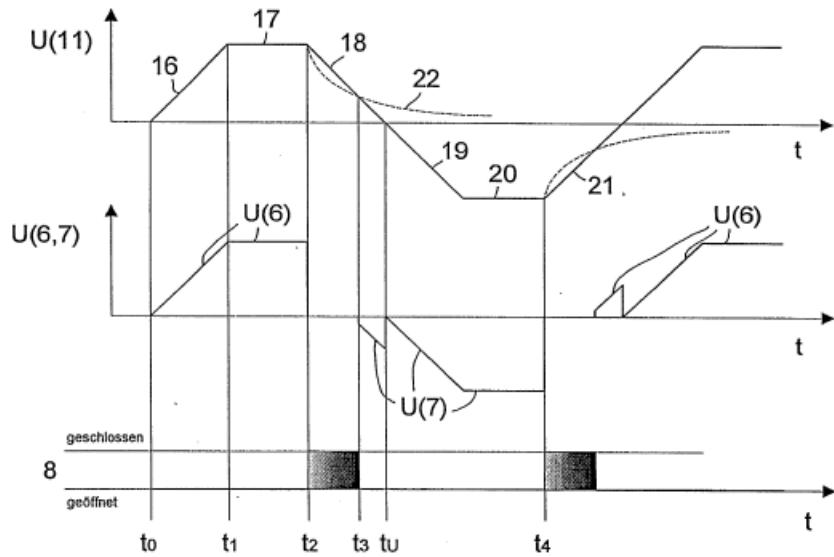


Abbildung 4.5.: Spannungsverlauf des VLF-Prüfgeräts dargestellt im Patent DE 195 13 441 A1 (aus [1])

#### 4.3.2. Schwebungsverfahren nach MOHAUPT

Ein völlig neuer Ansatz zur Erzeugung der VLF-Prüfspannung kommt von [10]. Eine schematische Abbildung des Patentes findet sich in Abbildung 4.6 wieder. Seine Lösung basiert auf dem Prinzip der Interferenz (Schwebung) zwischen zwei geringfügig differenten Schwingungen. Somit können störanfällige mechanische Elemente oder aufwendige Leistungselektronik entfallen. Zur Spannungserhöhung wird in weiterer Folge ein Resonanzkreis, bestehend aus der Drossel 8 und dem Kondensator 9 geschalten. Das Entladen der Last 2 beim Umschalten des Gleichrichters 10-13 kann gefördert werden indem die Schalter  $S_{12}$  und  $S_{13}$  während des Umschaltvorganges geringfügig überlappen. Dadurch kann der Einschwingvorgang der Generatorausgangsspannung  $U_S$  beim Umschalten minimiert und damit eine noch bessere Annäherung an einen ideal sinusförmigen Verlauf erreicht werden.

Die zwei Oszillatoren 6 und 7, deren Frequenz  $f_1$  und  $f_2$  sich um das Doppelte der gewünschten Tief frequenz  $f_s$  der Ausgangsspannung  $U_s$  unterscheidet, werden mit einer Oszillatorfrequenz im Bereich von 100 Hz bis 10 kHz, bevorzugt aber bei etwa 1 kHz, gespeist. Die daraus resultierende Schwebung ist in der Abbildung 4.7 dargestellt. Eine Versorgung des Konverters mit einer Frequenz im kilohertz Bereich kann das Volumen

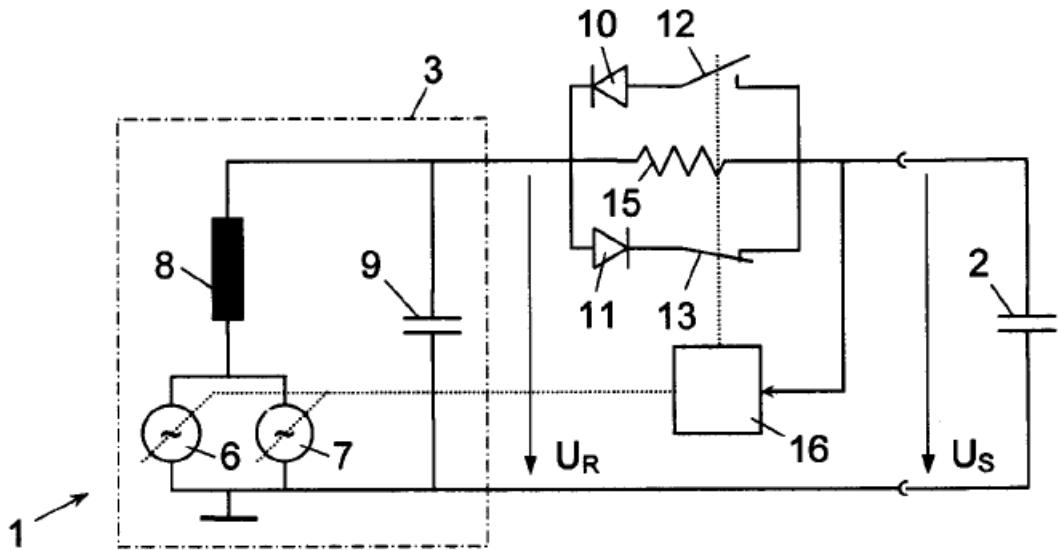


Abbildung 4.6.: Aufbau eines VLF-Prüfgeräts aus dem Patent AT 506 816 A4 (aus [10])

der gewichtskritischen Bauteile, wie des der Drossel 8 oder der Transformatoren wesentlich verkleinern. Die Güte des Resonanzkreises sollte zwischen 50 bis 80 betragen. Dieser Wert stellt einen guten Kompromiss zwischen maximaler Spannungserhöhung und guter Abstimmbarkeit des Resonanzkreises dar. Die Erfindung zeichnet sich des weiteren dadurch aus, dass die Transformatoren gleichzeitig dazu verwendet werden, um die Oszillatortaustauschspannung für die Einspeisung in den Resonanzkreis hochzutransformieren. Dadurch kann eine mehrmalige Erhöhung der Ausgangsspannung erreicht werden, welche nämlich einmal durch den Transformator und dann ein zweites Mal durch die Spannungsverhöhung im Resonanzkreis selbst erfolgt. Die Versorgung beider Oszillatoren erfolgt über zwei miteinander synchronisierte Wechselrichter. Die Tieffrequenz der Hochspannung  $U_s$  kann aus dem Interferenzprodukt mit Hilfe einer Demodulatorschaltung, bestehend aus zwei antiparallelen Dioden 10 und 11 mit Serienschaltern 12 und 13, herausgefiltert werden. Die Gleichtreiber 10-13 werden im Takt der Tieffrequenz  $f_s$  wechselweise an den Ausgang des Resonanzkreises geschalten. Ein Entladewiderstand 15 der dem Demodulator parallel geschaltet wird, entlädt die Last 2 zum Potential des Oszillatorteils 3 hin. Die Steuereinrichtung 16 übernimmt die Regelung für die Oszillatoren 6 und 7. (aus [10])

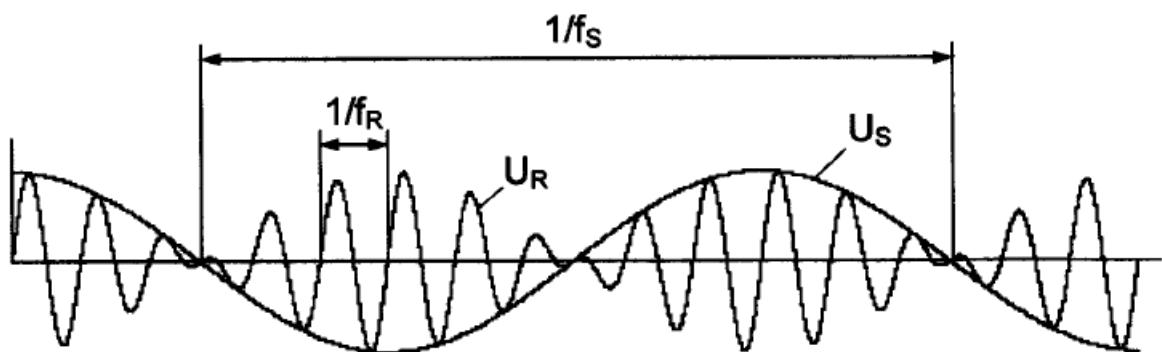


Abbildung 4.7.: Schwebungsverlauf aus dem Patent AT 506 816 A4 (aus [10])

## 5. Grundlegende Verfahren und Komponenten

Um den VLF-Konverter im Detail verstehen zu können, bedarf es einiger technischer Hintergrundinformationen. Zur besseren Verständlichkeit des Funktionsprinzips sind in den folgenden Abschnitten technische Erklärungen zusammengefasst.

### 5.1. Gleichrichtung von Wechselspannung

Der VLF-Konverter wandelt Wechselspannung in Gleichspannung um. Der einfachste Weg ist die Einweggleichrichtung, dargestellt in Abbildung 5.1. Die Erzeugung der hohen Gleichspannungen erfolgt über bereits hohe Wechselspannungen, also transformatorisch. Bei Verwendung einer Kaskadenschaltung kann hingegen aus einer kleinen Wechselspannung eine hohe Gleichspannung mit Hilfe von Dioden und Speicher kondensatoren generiert werden. Der Vorteil dabei ist, dass der isolationstechnische Aufwand gering gehalten wird.(aus [16])

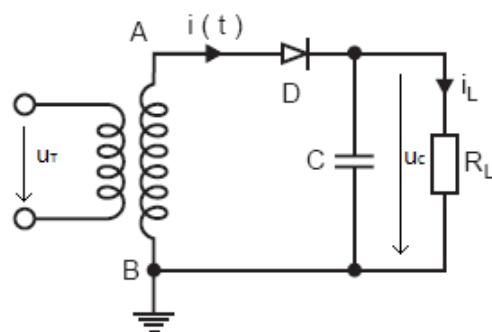


Abbildung 5.1.: Einweggleichrichter (aus [15])

Gleichspannungen können oft von periodischen Funktionen überlagert sein. Deshalb wird

bei der Gleichspannungsprüfungen der arithmetische Mittelwert

$$U_{\text{--}} = \overline{u(t)}$$

als Prüfspannung angenommen.

Die Funktionsüberlagerungen werden über den Welligkeitsfaktor „*ripple factor*“

$$\delta u/U_{\text{--}} = 0,5(u_{\max} - u_{\min})/U_{\text{--}}$$

beschrieben. Diese dürfen nach [2] bei Gleichspannungsprüfungen nicht mehr als 3 % betragen. Die Erzeugung der Gleichspannung wird realisiert, indem beim Zuschalten einer Wechselspannung der Kondensator in der positiven Halbwelle bis auf den Scheitelwert  $\hat{u}$  geladen wird. Der Ladestrom wird mit einem Vorwiderstand begrenzt. Die vollständige Aufladung muss innerhalb einer Viertelperiode erfolgen. Dies setzt eine kleine Ladezeitkonstante  $\tau = RC \ll \frac{T}{4}$  voraus. Nach dem Erreichen des Spannungsscheitels sperrt der Gleichrichter und die angeschlossene Last  $R_L$  wird während der Zeit  $t \leq T$  aus dem nun geladenen Glättungskondensator versorgt. In dieser Zeit kommt es zu einem exponentiellen Absinken der Spannung  $u_C$  mit der Zeitkonstante  $R_L C$ . Das Absinken der Spannung dauert solange an, bis die Transformatorschaltung wieder so weit angestiegen ist, dass eine Nachladung des Kondensators möglich ist. Dieser Verlauf ist in Abbildung 5.2b dargestellt. Die Diode und der Kondensator sollten für eine Spannungsfestigkeit von  $2\hat{u}$  ausgelegt sein, da dies der maximale Wert ist, der im Betrieb auftreten kann. Im unbelasteten Zustand kann die Spannung am Kondensator nicht Absinken, sodass der Wert der Scheitelspannung  $V_{\max}$  erhalten bleibt. Durch eine Spannungsverdopplerschaltung lässt sich eine vergleichbare Gleichspannung  $u_C$  aus der halben Wechselspannung  $u_T$

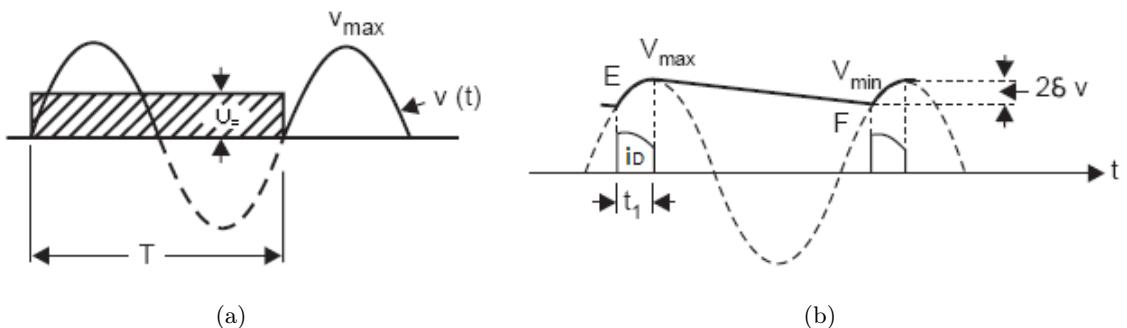


Abbildung 5.2.: Spannungsverläufe: a) ohne Kondensator, b) mit Kondensator (aus [15])

tung lässt sich eine vergleichbare Gleichspannung  $u_C$  aus der halben Wechselspannung  $u_T$

erzeugen. Die sog. Greinacher-Vervielfachungsschaltung hat sich in der Hochspannungs-technik durchgesetzt (Abbildung 5.3a). Ein wesentlicher Vorteil ist zum Einen, dass die Einspeisung über eine einseitig geerdete Transformatorwicklung erfolgen kann und zum Anderen, dass sehr hohe Gleichspannungen durch Reihenschaltungen vieler Gleichrichterstufen mit verhältnismäßig niedrigen Teilspannungen erzeugt werden können.

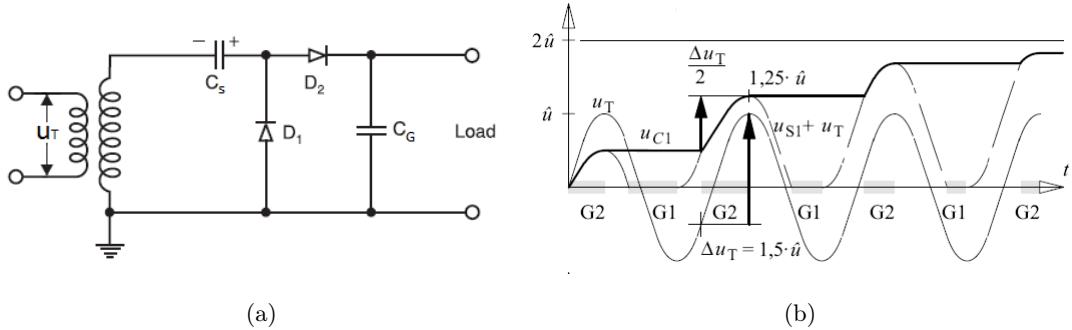


Abbildung 5.3.: Greinacher: a) Schaltung [15], b) Spannungsverlauf (aus [7])

Die Kaskade setzt sich aus der Schubsäule mit dem Schubkondensator  $C_S$  und der Gleichrichtersäule mit dem Glättungskondensator  $C_G$  zusammen. Die Funktionsweise der Kaskade lässt sich über die Einweggleichrichtung erklären. Bei der ersten negativen Halbwelle wird  $C_S$  über  $D_1$  auf  $u_S = +\hat{u}$  geladen. Nach Erreichen der positiven Halbwelle wird die Summenspannung aus  $u_S + u_T = 2\hat{u}$  über die Diode  $D_2$  auf den Glättungskondensator  $C_G$  geladen. Die Aufladung von  $C_G$  nähert sich stufenweise asymptotisch dem Endwert. Der Spannungsverlauf, der im Diagramm 5.3b dargestellt ist, setzt eine gleiche Kapazitätshöhe von  $C_S$  und  $C_G$  voraus. Durch eine Reihenschaltung vieler Greinacher-Kaskaden kann die Gleichspannung theoretisch beliebig hoch gebildet werden. Für die Kaskade gilt für den unbelasteten Fall im Allgemeinen, dass die Ausgangsgleichspannung

$$U_{\text{av}} = 2.n.\hat{u}$$

mit der Stufenanzahl  $n$  steigt.

Die Erhöhung der Stufenanzahl  $n$  hat jedoch den Nachteil, dass die Aufladung der Kaskade mehr Zeit benötigt, da der Umladevorgang zwischen Schub- und Glättungssäule länger dauert. Im Belastungsfall wird die Kaskade permanent entladen, sodass die Erhöhung der Stufenanzahl nicht immer zu einer Erhöhung der Ausgangsgleichspannung

führt. Die Welligkeit nimmt somit zu und die Gleichung für die Ausgangsgleichspannung  $U_+$  muss um einem Korrekturterm erweitert werden. Somit lautet nach genauerer Analyse von [16] die Ausgangsgleichspannung

$$U_+ = 2.n.\hat{u} - \frac{\bar{i}}{fC} \frac{8n^3 + 3n^2 + n}{12}$$

im stationären belasteten Fall.

Bei größeren Belastungsströmen sollten also weniger Stufen gewählt werden, dafür jedoch Kondensatoren mit größeren Kapazitätswerten oder es sollte mit einer höheren Ladefrequenz eingespeist werden. (aus [7])

## 5.2. Phasenanschnittsteuerung

Unter einer Phasenanschnittsteuerung ist zu verstehen, dass eine Wechselspannung, in der Regel die Netzspannung, nach jedem Nulldurchgang bei einem bestimmten Phasenwinkel eingeschaltet wird. Der Last steht dadurch nur noch ein verbleibender Schwingungsanteil zur Verfügung. Durch eine Veränderung des Einschaltwinkels  $\alpha$  kann auf diese Weise die Spannung an der Last verändert werden. Die häufigsten Anwendungsbereiche sind Helligkeitssteuerung von Lampen (Dimmer) und Drehzahlsteuerung von Gleichstrommotoren.

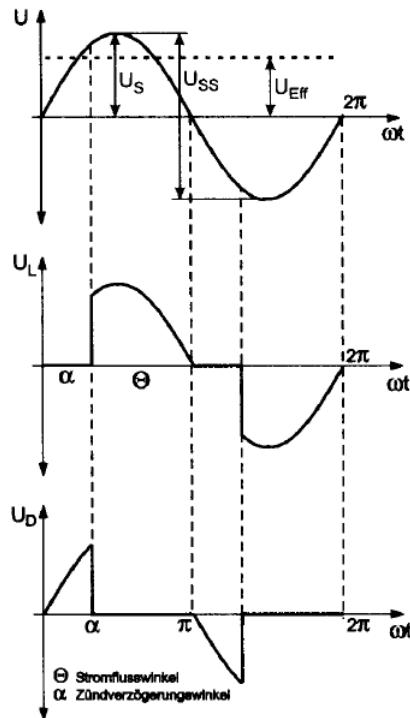


Abbildung 5.4.: Darstellung des Phasenwinkels (aus [5])

Der Effektivwert berechnet sich laut [5] ohne den Phasenanschnitt folgendermaßen

$$U_{eff} = u_s \sqrt{\frac{1}{2}} = u_s \frac{1}{\sqrt{2}} = 0,707 u_s$$

und mit Phasenanschnitt

$$U_{eff} = u_s \sqrt{\frac{1}{2} - \frac{\alpha}{360^\circ} + \frac{\sin 2\alpha}{4\pi}}.$$

Das Kernstück der Phasenanschnittsteuerung ist der Triac, dessen Schaltzeichen in Abbildung 5.5 dargestellt ist. Damit kann der Wechselspannung ein- und ausgeschaltet werden.

Der Triac geht in den leitenden Zustand über, wenn am Gate ein positiver oder negativer Stromimpuls anliegt. Wenn der Triac eingeschaltet wurde, bleibt er so lange leitend, bis der Strom Null wird und der Zündimpuls für das Gate ausbleibt ([8]).

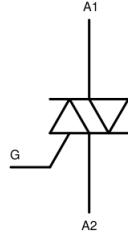


Abbildung 5.5.: Triac

Die Ausgangsbasis einer jeden Phasenanschnittsteuerung ist die Nulldurchgangserkennung. Die Abbildung 5.6 zeigt im Rahmen der realisierten Diplomarbeit gebaute Nulldurchgangserkennung.

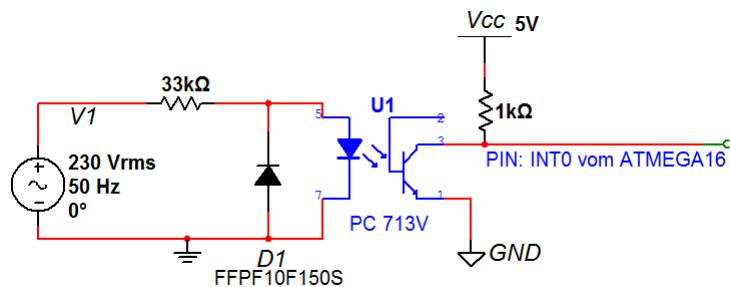


Abbildung 5.6.: Realisierte Nulldurchgangsschaltung im Zuge der Diplomarbeit

Die Funktionsweise der Nulldurchgangsschaltung wird folgendermaßen erklärt. Mit Hilfe eines Optokopplers, der über einen Vorwiderstand mit der Wechselspannung versorgt wird, erkennt der Microcontroller, wenn ein Nulldurchgang stattgefunden hat. Die Wahl des Vorwiderstand muss so getroffen werden, dass der Strom in Vorwärtsrichtung bei dem hier verwendeten Optokoppler nicht mehr als 10 mA beträgt. Bei der positiven Halbwelle beginnt die Leuchtdiode zu leuchten, wodurch sekundärseitig der Transistor leitend wird und den INT0-Pin vom Microcontroller gegen GND zieht. Nach Erreichen der negativen Halbwelle erlischt die Leuchtdiode und der INT0-Pin wird auf 5V gezogen. Leuchtdioden haben meistens eine niedrige Spannungsfestigkeit in Sperrrichtung. Deshalb leitet die parallel zur Leuchtdiode geschaltete Diode FFPF10F150S von FAIRCHILD SEMICONDUCTOR bei der negativen Halbwelle. Somit wird verhindert, dass hohe Sperr-

spannungen im Sperrbetrieb an der Leuchtdiode entstehen. Der Microcontroller erkennt nun sowohl die fallenden als auch steigenden Flankenänderungen und dabei initialisiert er einen Interrupt (Unterbrechungsroutine), der dann den gewünschten Phasenwinkel eingestellt. Die Nulldurchgangserkennung wurde mit MULTISIM simuliert und das Ergebnis in Abbildung 5.7 dargestellt. Das Ergebnis der Simulation stimmt mit dem Messungen überein. Der Zündimpuls für den Phasenwinkel wird direkt an das Solid State Relay

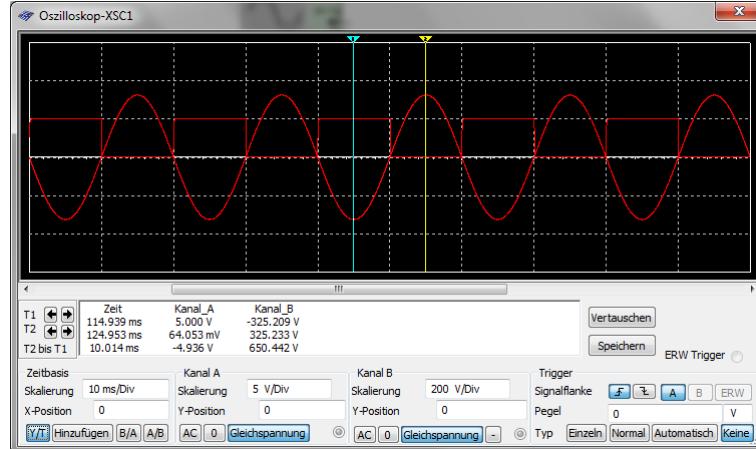


Abbildung 5.7.: Resultat des Nulldurchgangs

(SSR)(Abbildung 5.8) übertragen. Dieses schaltet dann die Wechselspannung mit dem gewünschten Phasenwinkel an den VLF-Konverter. Das hier verwendete SSR ist vom Hersteller Crydom (Typbezeichnung: HD6090) und ist für eine Betriebsspannung von 690V und einem Betriebsstrom von 60A ausgelegt.

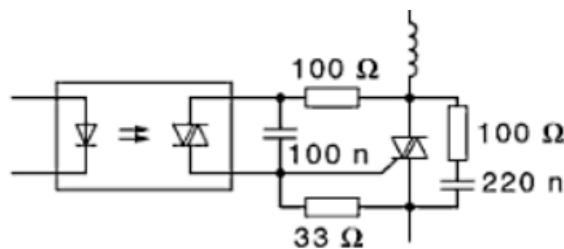


Abbildung 5.8.: Aufbau eines Solid State Relays (aus [8])

### 5.3. Hochspannungsdiode

Die Entwicklung eines VLF-Konverters benötigt für das Gleichrichten mehrere Hochspannungsdioden. Deshalb wurden vier Hochspannungsdioden eigenständig gebaut, indem mehrere Dioden, deren Sperrspannungen jeweils 1,5kV betragen, in Serie geschaltet werden. Eine Hochspannungsdiode besteht aus 50 in Serie geschalteten Dioden. Aus sicherheitstechnischen Aspekten sollten die Hochspannungsdioden jedoch mit nicht mehr als 50kV-Spitze belastet werden. Die Problematik, die bei einer Reihenschaltung von Dioden entstehen kann, ist die unsymmetrische Spannungsbelastung der Dioden in Sperrrichtung. Da der Sperrstrom für alle in Reihe geschalteten Dioden gleich groß ist stellt sich über die Sperrkennlinien eine unsymmetrische Spannungsaufteilung ein. Die Abbildung 5.9 verdeutlicht nochmals die Problematik. Die Aufteilung der gesamten Sperrspannung  $U_R$  verläuft ungleichmäßig auf D1 und D2. Während D2 einen geringen Teil der Sperrspannung abbekommt, ist D1 mit seiner maximalen Spitzensperrspannung konfrontiert. (aus [13]) Um dies zu verhindern, werden Symmetriewiderstände parallel zu

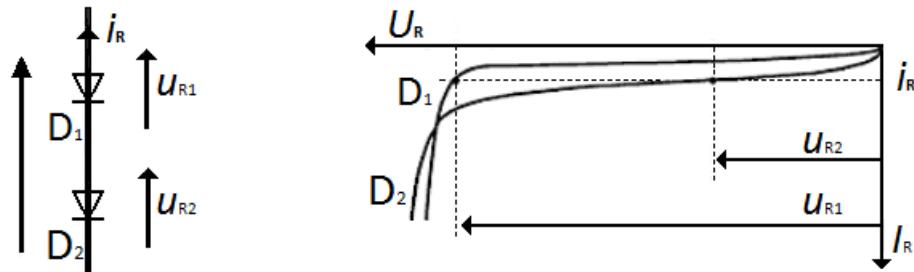


Abbildung 5.9.: Statische Spannungsaufteiler zweier in Serie geschalteten Dioden (aus [13])

den Dioden geschaltet. Die Symmetriewiderstände müssen so gewählt werden, dass sich der 3- bis 6-fache Sperrstrom  $I_R$  bei der maximal auftretenen Sperrspannung einstellt. Dadurch arbeitet die Schaltung näherungsweise als ein unbelasteter Spannungsteiler. Die hier von uns verwendete Diode FFPF10F150S von FAIRCHILD SEMICONDUCTOR hat laut Datenblatt bei einer Umgebungstemperatur von 25°C und einer Sperrspannung von 1,5kV einen Leckstrom in Rückwärtsrichtung von 10 $\mu$ A. Es wird angenommen, dass beim 6-fachen Leckstrom von 60 $\mu$ A und einer maximal auftretenden Sperrspannung von 1kV, ein Widerstandswert von 16,6M $\Omega$  benötigt wird. Gewählt wurde der Widerstand

von Vishay mit einem Wert von  $8.2\text{M}\Omega$ . Es mussten zwei Widerstände in Serie parallel, zur den Dioden, gelötet werden. Ein weiteres Problem das berücksichtigt werden muss ist, dass beim Ausschalten eine dynamische Überspannung aufgrund unterschiedlicher Speicher- bzw. Sperrverzugsladungen auftritt. Es kann also sein, dass eine Diode früher als die restlichen Dioden sperrt, sodass die erste sperrende Diode mit der gesamten Sperrspannung belastet wird. (aus [13])

Zur Begrenzung dieser dynamischen Spannungsbelastung wird parallel zur jeder Diode noch eine Kapazität von  $4.7\text{nF}$  geschaltet. Ausgehend vom Datenblatt besitzt die Diode beim kleinsten angegebenen Vorwärtsstrom von einem Ampere eine Sperrverzugsladung  $Q_{rr}$  von ca.  $300\text{nC}$ . Bei einer auftretenden Sperrspannung von einem kV pro Diode ergibt sich eine Diodenkapazität  $C_D$  nach  $Q_{rr}/U = C_D$  von  $500\text{pC}$ . Um die dynamischen Spannungserhöhung zu vermeiden wurde ca. der 10-fache Kapaziätswert von  $C_D$  gewählt.

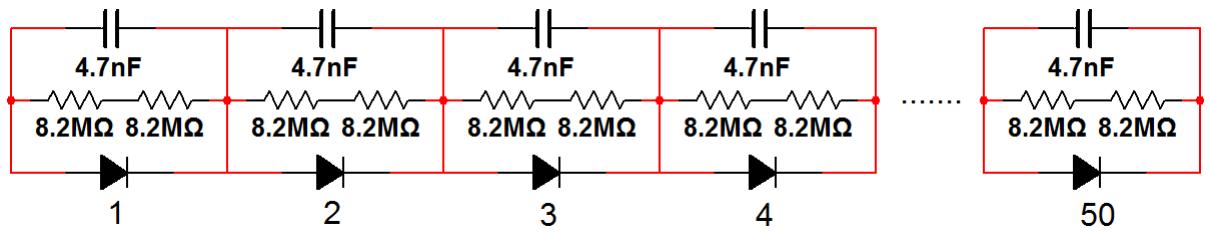


Abbildung 5.10.: Schematischer Aufbau der Hochspannungsdiode

## 6. Entwicklung eines VLF-Versuchsansatzes

### 6.1. Prinzip

Im Rahmen der Entwicklung wurden mehrere Topologien untersucht. Eine davon ist in der Abbildung 6.1 dargestellt. Diese Topologie hat sich als wenig zufriedenstellend erwiesen, da einerseits deren Wirkungsgrad schlecht war und andererseits haben sie die verwendeten Hochspannungstransformatoren asymmetrisch belastet. Der schlechte Wirkungsgrad kommt von R2 und R3, die einen Spannungsteiler bilden, wodurch die maximal erreichbare Spannung am Prüfling halbiert wird. Und die asymmetrische Belastung der Transformatoren erfolgt, weil die Transformatoren auf der Hochspannungsseite nur in einer der beiden Halbwellen Strom treiben können. Solche Asymmetrien sind auf Dauer nicht gut und können zur Zerstörung der Transformatoren führen.

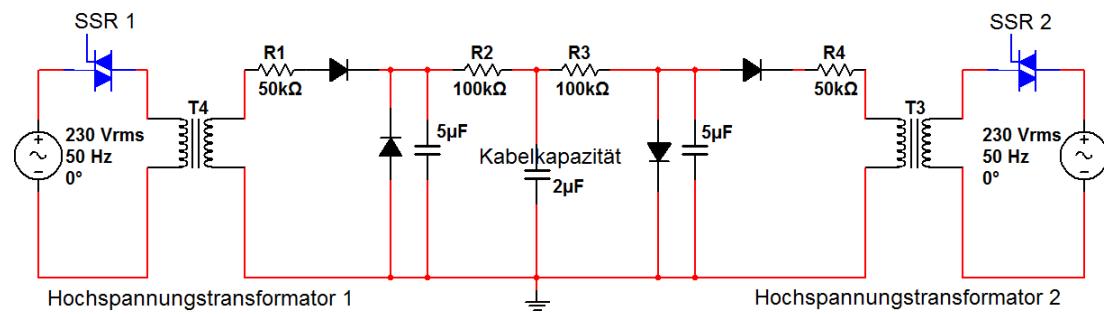


Abbildung 6.1.: Eines der nicht verwendeten Topologien

Abbildung 6.2 zeigt den Aufbau der letztendlich verwendeten Topologie. Diese Topologie sorgt dafür, dass die Transformatoren nicht asymmetrisch belastet werden, da diese in beide Halbwellen gleich viel Strom treiben können. Und mit Hilfe der Schalter 1 und 2

wird der Spannungsteiler über R 2 und R 3 verhindert.

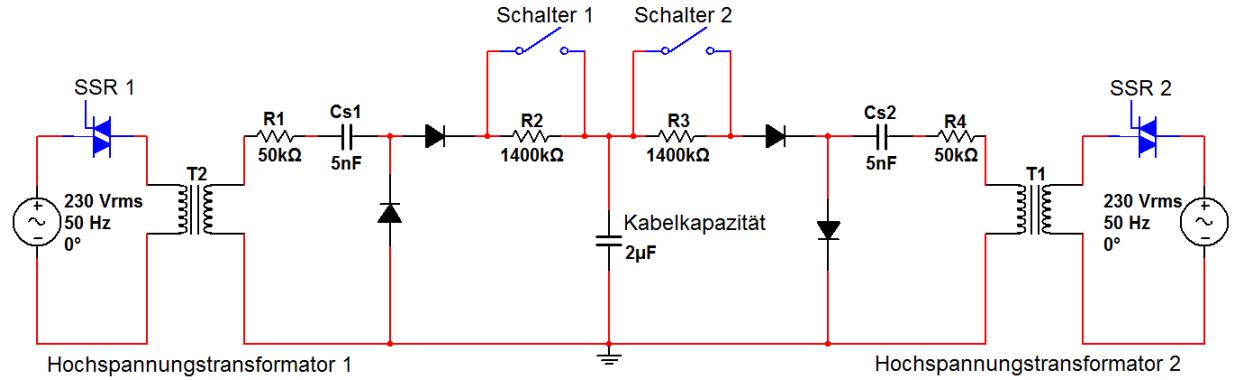


Abbildung 6.2.: Grundschatzung

Der VLF-Konverter basiert auf der Greinacher-Schaltung. Im Gegensatz zur Greinacher-Schaltung, bei der die Kapazitäten gleich groß gewählt werden, lädt hier eine kleine Kapazität  $C_{s1}$  und  $C_{s2}$  die große Prüflingskapazität langsam auf. Die zwei Schubkondensatoren  $C_{s1}$  und  $C_{s2}$  sind ca. um den Faktor 500 kleiner als die Prüflingskapazität. Dieses Verhältnis folgt aus der Überlegung, dass eine kleine Kapazität, die mit 50 Hz geladen wird, genau die Leistung zur Verfügung stellen kann, um ihrerseits eine größere Kapazität bei 0,1 Hz zu laden. Der Aufbau besteht aus zwei Greinacher-Schaltungen. Die linke Greinacher-Schaltung dient der Erzeugung der positiven Halbwelle während die rechte für negative Halbwelle verantwortlich ist. Zwischen diesen beiden Greinacher-Stufen befindet sich die Prüflingskapazität. Bei der positiven Halbwelle wird der Schalter 1 geschlossen und somit der Widerstand  $R_2$  überbrückt. Der Schalter 2 bleibt in dieser Zeit offen. Nach Erreichen des Spannungsscheitels an der Prüflingskapazität findet eine Entladung über  $R_3$  statt. Erst nach 5 Sekunden, wenn die negative Halbwelle realisiert werden soll, öffnet der Schalter 1 und der Widerstand  $R_3$  wird überbrückt. Die hier verwendeten Hochspannungstransformatoren (Abbildung 6.3) haben eine Leistung von 5 kVA und ein Übersetzungsverhältnis von 400V auf 100kV. Als Prüfling diente ein Mittelspannungskondensator mit einem Kapazitätswert von  $2\mu F$  und einer Spannungsfestigkeit von 6,3 kV.

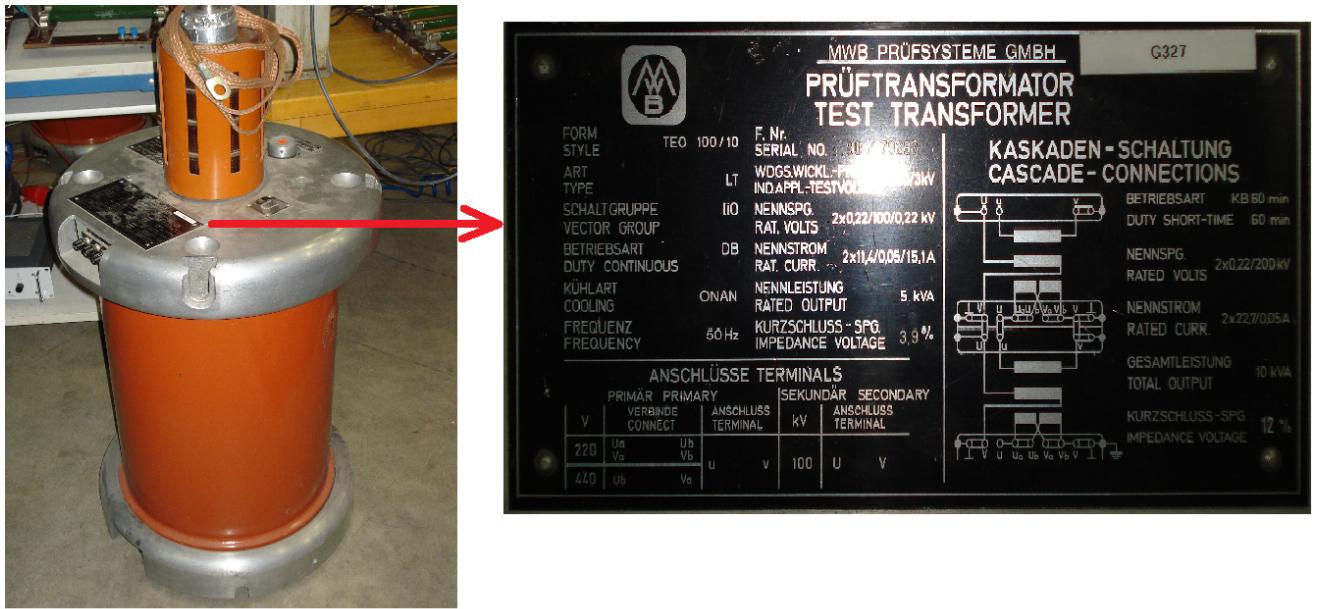


Abbildung 6.3.: Aufbau und Typenschild der Hochspannungstransformatoren

Zur Erzeugung der positiven Halbwelle wird zunächst der Schalter 1 geschlossen und Schalter 2 geöffnet. Der Microcontroller schaltet das SSR 1 ein, wodurch die Hochspannungsquelle eingeschaltet wird und diese dann mit Hilfe des Schubkondensators  $C_{s1}$  die Prüflingskapazität langsam auflädt. Es lässt sich jedoch nicht vermeiden, dass ein gewisser Leckstrom in der Ladephase aus der Prüflingskapazität über R3 fließt. Sollte die Prüflingskapazität schneller geladen werden als es der Sinusverlauf von 0,1 Hz vorsieht, wird SSR 1 ausgeschaltet und SSR 2 eingeschaltet, wodurch der Leckstrom erhöht wird und Prüflingskapazität entladen wird. Es kommt zu einer aktiven Entladung der Prüflingskapazität über R3, die aber auch nach dem Erreichen des Scheitelwerts notwendig ist um einen exponentiellen Entladungsverlauf zu vermeiden. Erreicht die Spannung wieder den Nullpunkt werden die Schalter 1 und 2 betätigt, um das Laden der negativen Halbwelle zu ermöglichen. Die Umschaltvorrichtung (Abbildung 6.4) wurde mit Hilfe von pneumatischen Zylindern realisiert. Der gesamte pneumatische Antrieb ist ein Produkt der Firma Festo.

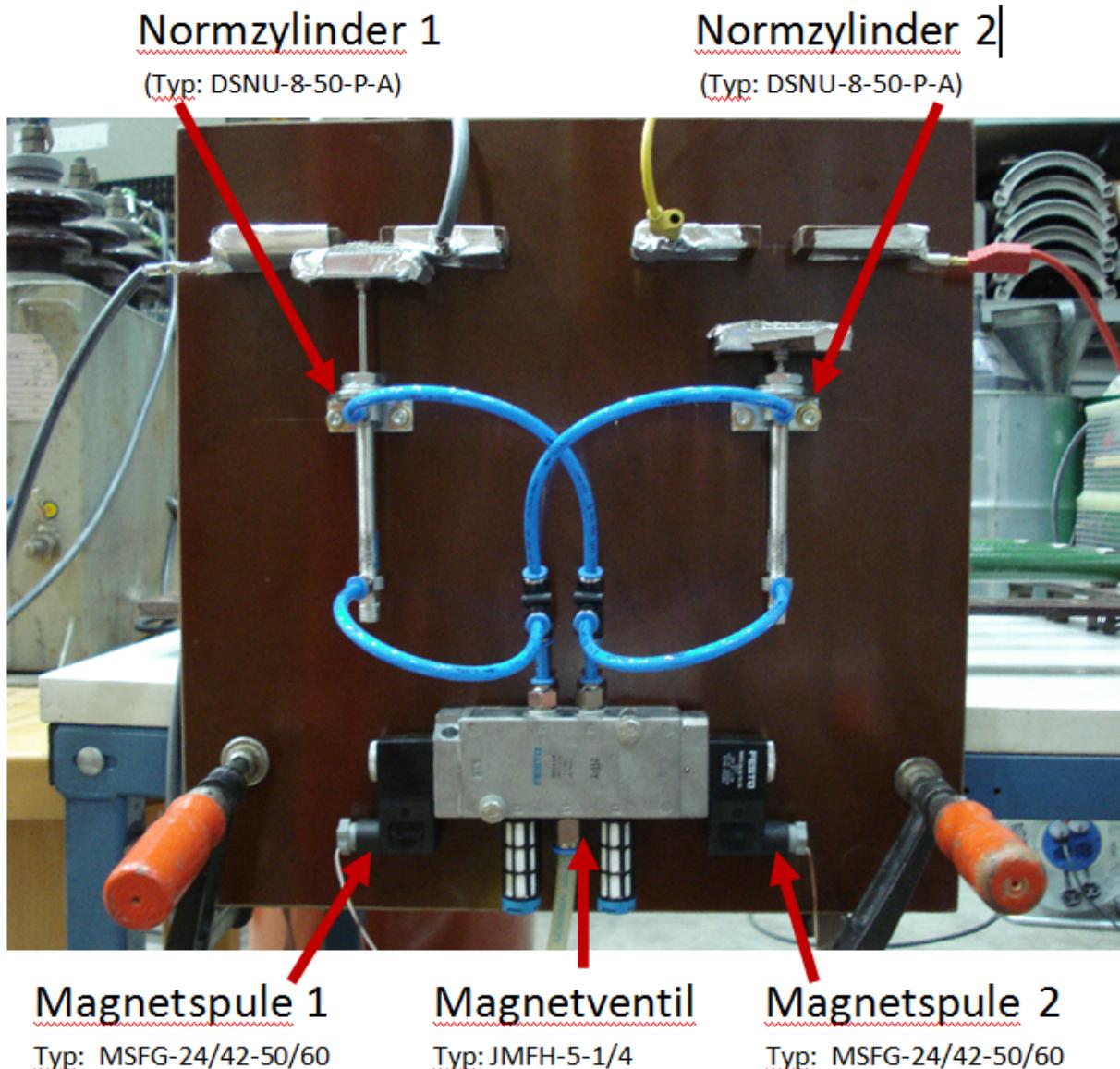


Abbildung 6.4.: Pneumatische Umschaltvorsichtung

Diese Zylinder bewegen zwei Pertinax-Platten auf die ein leitfähiges Aluminiumband geklebt ist. Trifft die bewegliche Pertinax-Platte auf die Endkontakte, die ebenfalls mit Aluminiumband beklebt sind, wird der entsprechende Parallelwiderstand kurzgeschlossen. Diese Umschaltung erfolgt immer wechselseitig um sicherzustellen, dass immer nur ein Widerstand kurzgeschlossen wird. Durch Anlegen einer Gleichspannung von 24V an die linke Magnetspule wird der linke Schalter 1 eingeschaltet und der rechte Schalter 2 gleichzeitig geöffnet. Erfolgt die Gleichspannung auf die rechte Magnetspule, so wird der

rechte Schalter 2 geschlossen und der linke Schalter 1 wird geöffnet. Diese Ansteuerung erfolgt ebenfalls durch den Microcontroller (Abbildung 6.5). Die Umschaltung erfolgt beim Nulldurchgang der Prüflingsspannung durch den Microcontroller. Diese steuert entsprechend die MOSFET durch, sodass die 24V Gleichspannung an die jeweiligen Magnetspule anliegt.

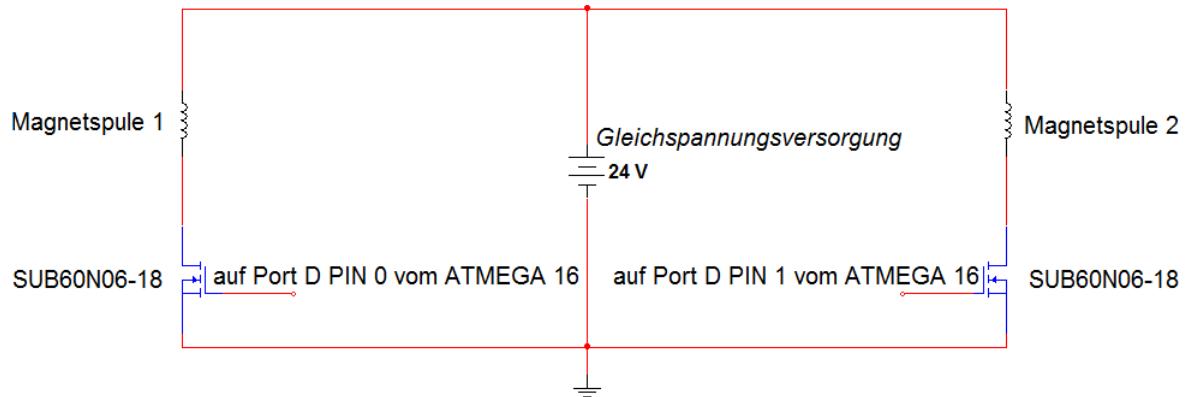


Abbildung 6.5.: Ansteuerung für die pneumatische Umschaltung

Die verwendeten Widerstände R1 bis R4 sind Hochspannungswiderstände der Firma Rosenthal GmbH (Abbildung 6.6). Diese Widerstände können einen Widerstandswert von  $100k\Omega$  oder  $200k\Omega$  haben. Für den Aufbau wurden die Widerstände R2 und R3 dementsprechend in Serie geschaltet, die Widerstände R1 und R4 wurden durch zwei parallel geschaltet  $100k\Omega$  Widerstände erreicht.

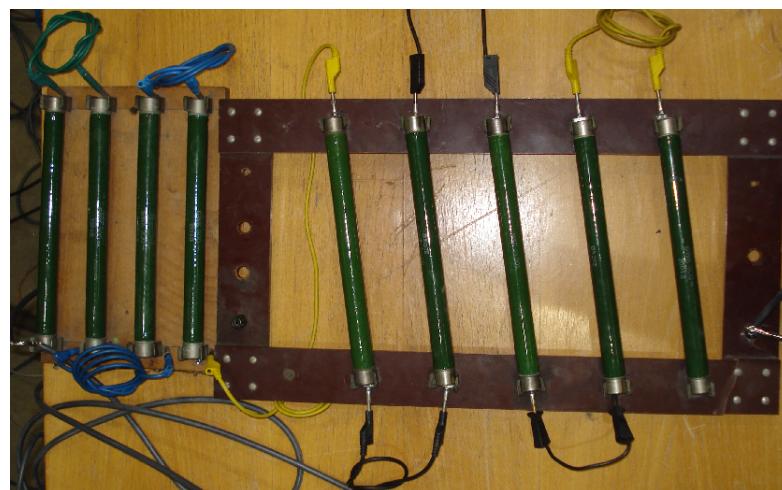


Abbildung 6.6.: Rosenthal Widerstände

## 6.2. Regelung

Die Regelung des Konverters erfolgt über die Kopplung von Labview und ATMEGA 16 Microcontroller. Das Labview-Programm arbeitet dabei mit der Multifunktions-Datenerfassungskarte USB-6211 von National Instruments, die als Hilfsmittel zur Steuerung dient. Der Analog Ausgang der Karte übernimmt hier ebenfalls eine wichtige Rolle, da über ihn der gewünschte Amplituden- und Frequenzverlauf von 0,1 Hz erzeugt wird. Dieser Sollwert wird an den Microcontroller ATMEGA 16 übergeben, der somit als Regler für den Konverter arbeitet.

### 6.2.1. Spannungsmessung

Die Spannungsmessung erfolgt mit Hilfe eines kapazitiven Tastkopfes von Tektronix (Abbildung 6.7). Der Tastkopf hat ein Spannungsverhältnis von 1000V auf 1V und ist in der Lage DC-Spannungen bis 20kV zu messen. Das niedertransformierte Ausgangssignal des



Abbildung 6.7.: Spannungsmessung an der Prüflingskapazität erfolgt über einen kapazitiven Tastkopf von Tektronix

Tastkopfes kann jedoch vom Analog-Digital Wandler(A/D-Wandler) des Microcontroller nicht erfasst werden, da das Ausgangssignal sowohl positive als auch negative Spannungsbereiche hat. Der A/D-Wandler erkennt jedoch nur Spannungswerte, die in einem positiven Bereich von 0V bis 5V bewegen. Damit der Microcontroller das Signal vom

Prüfling dennoch verarbeiten kann, wird zur Prüflingsspannung eine DC-Spannung von 2,5V addiert. Dadurch ergibt sich ein Verlauf wie er in Abbildung 6.8 dargestellt wird. Somit ist klar, dass jeder Wert der höher als 2,5V ist, die positive Halbwelle darstellt bzw. analog dazu, jeder Wert der kleiner als 2,5V ist, die negative. Mit dem nun verwendeten Tastkopf (1000:1) und der benötigten DC Anpassung umfasst der Messbereich eine Prüflingsspannung von maximal  $2,5V_{Spitze}$  also einer tatsächlich am Prüfling auftretenden Spannung von  $2,5kV_{Spitze}$ . Um den Messbereich gegebenenfalls zu erhöhen, müssen zusätzliche Spannungsteiler eingebaut werden, um das Ausgangssignal vom Tastkopf auf  $2,5V_{Spitze}$  zu begrenzen. Bei der Weiterentwicklung des Konverters werden zuschaltbare Spannungsteiler direkt auf der Messplatine mit verschiedenen Spannungsverhältnissen integriert.

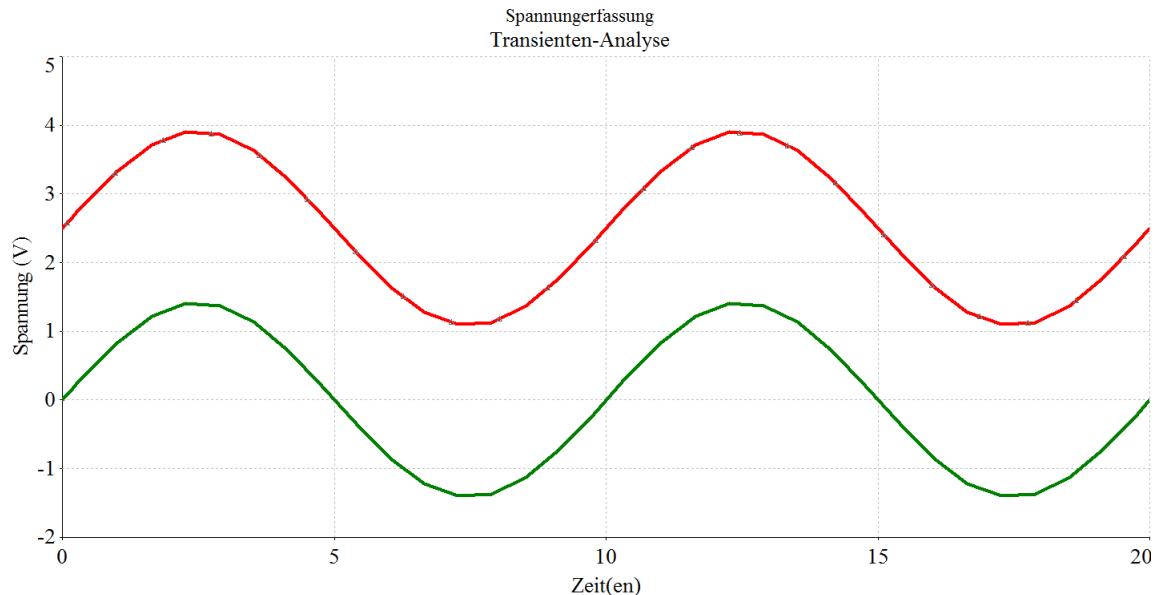


Abbildung 6.8.: Erfassung der Prüflingsspannung

Der schematische Aufbau der Messplatine ist in der Abbildung 6.9 dargestellt. Zunächst wird mit Hilfe eines Potentiometers R8 und einem Widerstand R7 die benötigte 2,5V Gleichspannung erzeugt. Die 5V Gleichspannung stammt aus dem VCC-Pin des Microcontroller. Die 2,5V werden zusammen mit der Prüflingsspannung in eine OPV(Operationsverstärker) Summier-Schaltung geführt. Das Ausgangssignal der Summierschaltung wird invertiert und an den A/D-Pin 0 vom PORT A des Microcontroller geführt. Der A0 PIN der Datenerfassungskarte wird ebenfalls an den A/D-Pin 1 von

PORt A des Microcontroller geführt. Die Ausgangsspannung der Datenerfassungskarte, die als Referenzspannung gilt, muss ebenfalls mit einer Offset-Spannung versehen werden, da ansonsten der Microcontroller die beiden Spannungen nicht miteinander vergleichen kann. Die Einstellung des Offsets erfolgt bei der Datenerfassungskarte in der Software. Um die OPVs mit der benötigten Spannung versorgen zu können, wird mit Hilfe eines AC/DC-Konverter der Firma RECOM eine Spannung von  $\pm 15V$  erzeugt.

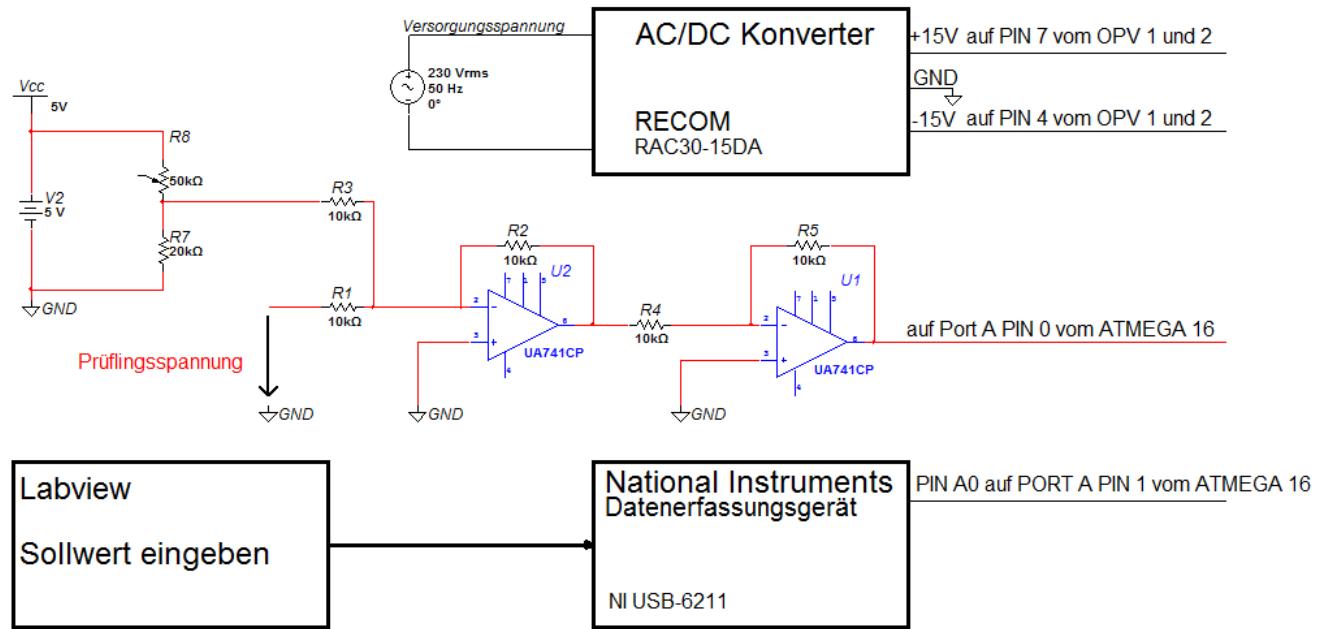


Abbildung 6.9.: Aufgebaute Messschaltung für die Erfassung der Prüflingskapazität und Erzeugung der Referenzspannung

### 6.2.2. Labview

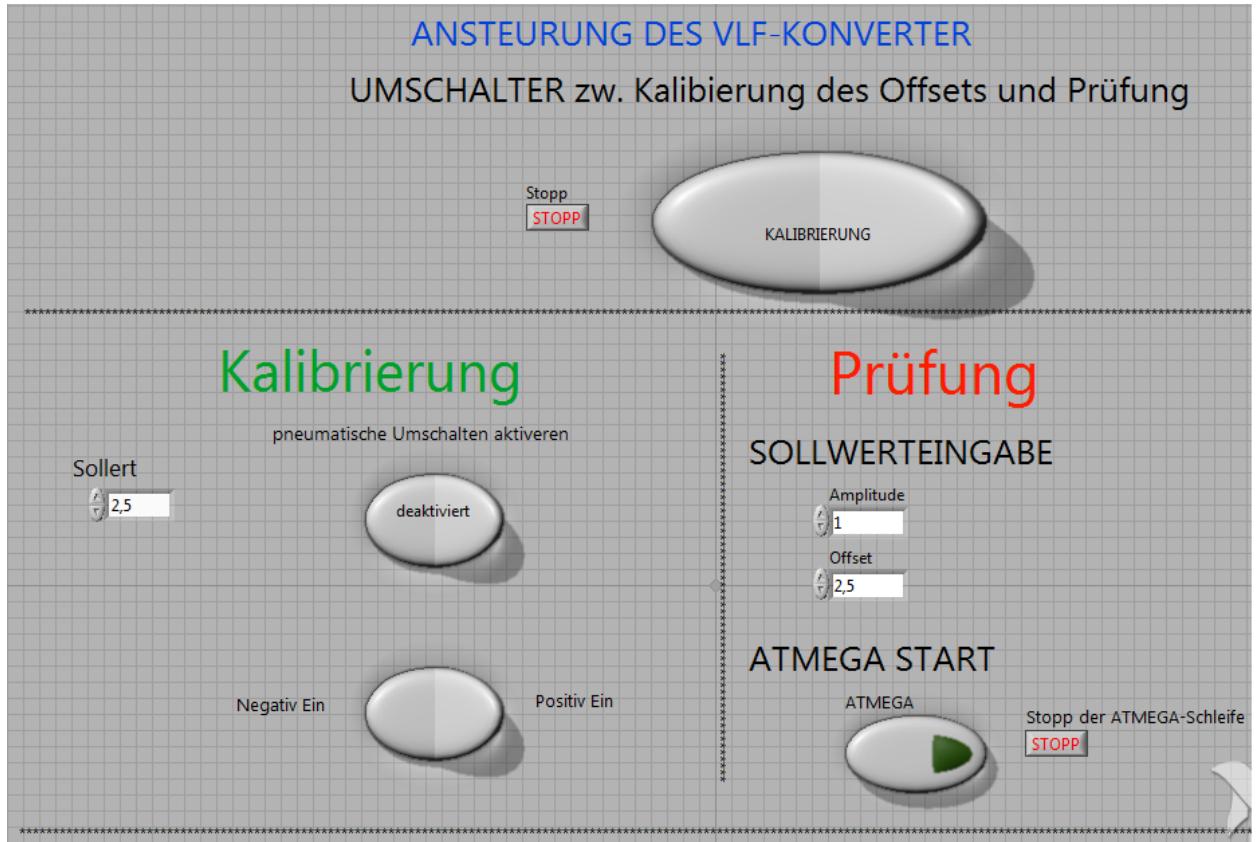


Abbildung 6.10.: Labview-Oberfläche für die VLF-Prüfeinrichtung

Die Labview Oberfläche (Abbildung 6.10) dient als Bedienplattform und als Steuerung für den Konverter. Zunächst muss beim Programm entschieden werden, ob die Messeinrichtung kalibriert oder ob geprüft werden soll. Bei der Kalibrierung werden am Display (Abbildung 6.11) die Nulllinien der addierten Prüflingsspannung und der Datenerfassungskarte ausgegeben.

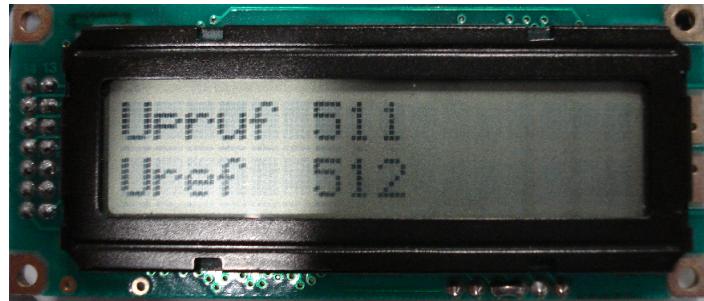


Abbildung 6.11.: Display für Kalibrierung

Der Offset der Datenerfassungskarte ist immer sehr genau, es muss lediglich die Nulllinie der Prüflingsspannung angepasst werden. Dies kann erreicht werden indem eine Justierung des Potentiometers R8 und dem Widerstand R7 durchgeführt wird. Am Display erscheint dann ständig der gemessene A/D-Wert beider Spannungen, die vom Microcontroller gemessen worden sind. Der A/D-Wandler besitzt eine 10-Bit Auflösung, wodurch die 5V die eingelesen werden können in 1024 Werte unterteilt werden. Der ADC-Wert von 512, der am Display ausgegeben wird, steht also für eine tatsächliche Spannung von 2,5V. Des weiteren können im Kalibrier-Modus die pneumatischen Schalter 1 und 2 umgeschaltet werden, damit zu Beginn der Prüfung Schalter 1 geschlossen und Schalter 2 offen ist. Im Prüfmodus erkennt Labview den Sollwert der Amplitude und durch Drücken des Startknopfes fängt der Microcontroller mit der Regelung an.

### 6.2.3. Atmega 16

Der Microcontroller arbeitet als Regler für den Konverter. Nach jedem Nulldurchgang der 50 Hz Speisespule führt er eine Spannungsmessung von der 0,1 Hz-Soll- und der Ist-Spannung durch. Danach wird entschieden welcher der beiden solid state relays eingeschaltet bzw. ausgeschaltet werden soll. Einen genaueren Ablaufplan des Microcontrollers findet sich in Abbildung 6.14. Zur feineren Anpassung des Ist- zur Sollspannung war eine Phasenanschnittsteuerung geplant. Bei anderen Typologien hat sich gezeigt, dass durch eine Veränderung des Zündwinkels  $\alpha$  eine bessere Anpassung der Ist- an die Sollspannung erreicht werden kann. Bei der letztendlich verwendeten Topologie 6.2 hat sich bei genaueren Messungen jedoch gezeigt, dass der Phasenwinkel hier keine Rolle spielt, da das  $\tau$  von R1 zu  $C_{s1}$  bzw. R4  $C_{s2}$  zu gering ist um mit einer Phasenanschnittsteuerung die Ladegeschwindigkeit beeinflussen zu können.



Abbildung 6.12.: Zündwinkel 18° (Grüne Linie-Nulldurchgang; Braune Linie-Zündwinkel)

Die Prüflingskapazität wurde mit der linken Greinacher-Schaltung positiv geladen. Der Schalter 1 war geschlossen der Schalter 2 war offen. Dadurch konnte untersucht werden auf welchen Wert sich die Prüflingskapazität überhaupt DC-mäßig laden lies. Bei einer Einspeisespannung von 20V in die Primärwicklung des Hochspannungstransformators

und einem Zündwinkel von  $18^\circ$  (Abbildung 6.12) erreicht die Spannung nach einer Sekunde 812V am Prüfling . Bei einem Zündwinkel von  $144^\circ$  erreicht die Spannung am Prüfling ebenfalls nach einer Sekund 812V. Damit ist ersichtlich, dass eine Variierung des Einschaltwinkels für die Optimierung des Spannungsverlauf nicht ideal ist. Um die Regelung zu optimieren, empfiehlt es sich eine Amplitudenmodulation für die Einspeisung der Hochspannungstransformatoren durchzuführen. Die Amplitudenmodulation könnte z.B. mit Hilfe eines Resonanzkonverters, wie dieser in [9] beschrieben wird, realisiert werden. Eine andere Möglichkeit der Regelungsoptimierung wäre die Kapazitätswerte der Schubkondensatoren  $C_{s1}$  und  $C_{s2}$  zu erhöhen, sodass der Wert von  $\tau$  zumindest auf den Wert von einigen Millisekunden kommt. Dadurch könnte eine Phasenanschnittsteuerung auch einen Effekt auf die Ausgangsspannung ausüben.

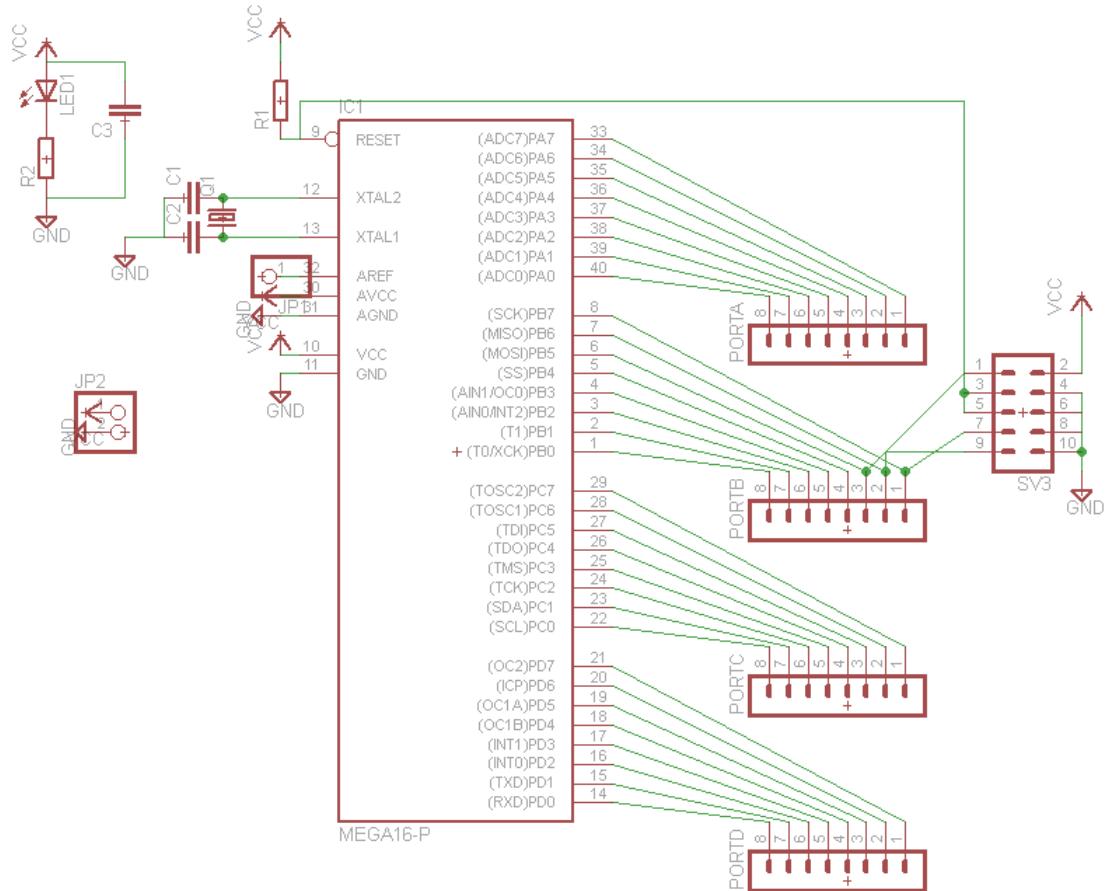


Abbildung 6.13.: Schaltplan vom ATMEGA 16



Abbildung 6.14.: Ablaufplan des C-Codes

### 6.3. Ergebnisse

Die Abbildungen 6.15 und 6.16 zeigen, dass der Konverter funktioniert. Jedoch muss noch sehr viel Entwicklungsarbeit geleistet werden um ein transportables Gerät zu entwerfen. Die Abbildung 6.15 zeigt den Sinusverlauf an der Prüflingskapazität bei einer Einspeisespannung von 20V an der Primärwicklung der Hochspannungstransformatoren und die Einschaltimpulse für die SSR1 (orange) und SSR2 (grün) sind ebenfalls hier dargestellt. Die Soll-Spannung von  $U_{Spitze} = 1,5V$ , das entspricht einer Spannung von  $U_{Spitze} = 1,5kV$  am Prüfling, wurde in Labview eingegeben. Es zeigt sich, dass die Regelung sehr gut arbeitet.

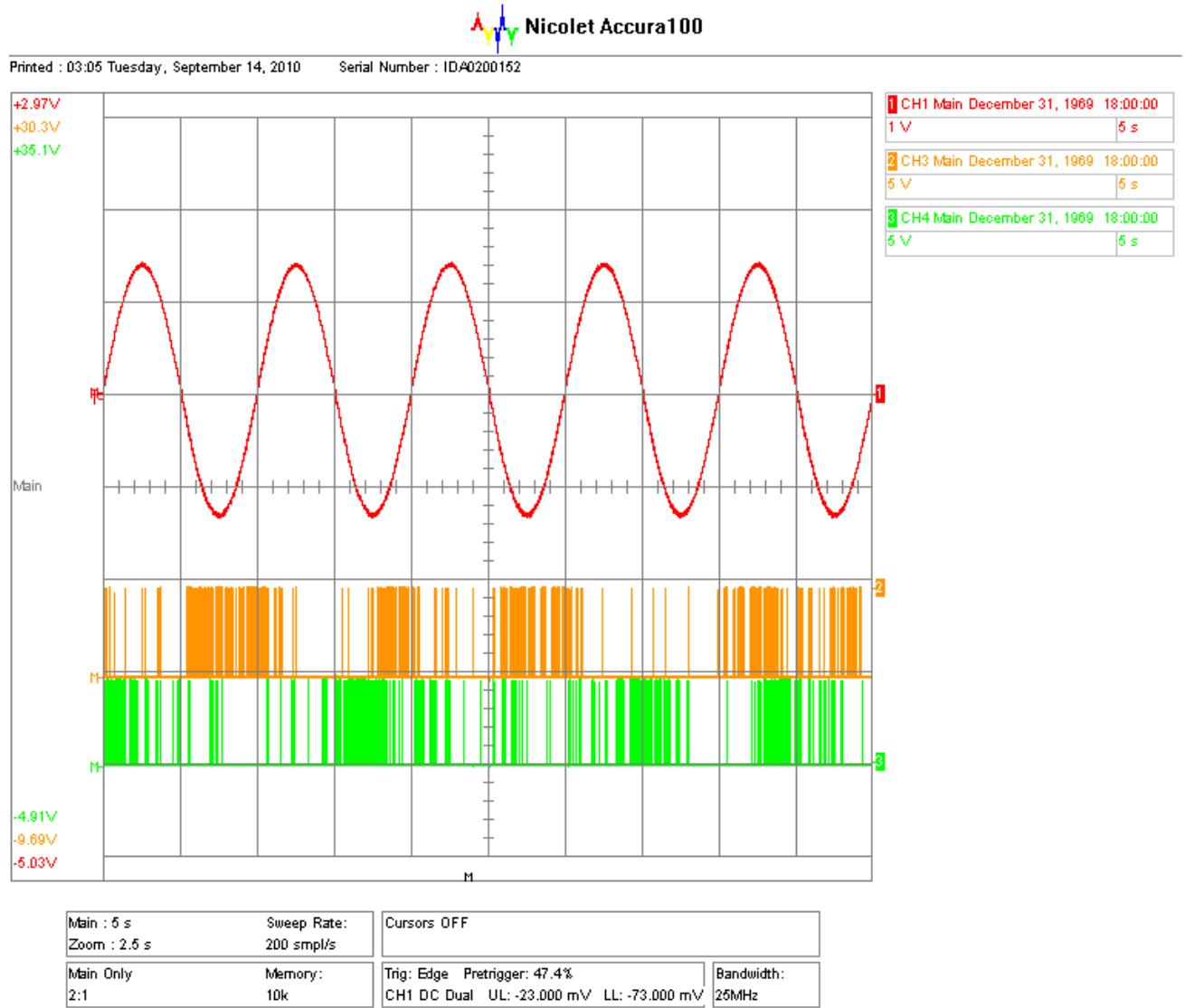


Abbildung 6.15.:  $U_{Spitze} = 1,5V$  bei einer Einspeisung von 20V

Nach dem sukzessiven Erhöhen der Sollspannung zeigt sich ein Optimierungsbedarf der Umschaltung. Die Abbildung 6.16 verdeutlicht das Problem. Die Prüflingsspannung wird abrupt entladen. Dieses Problem könnte gelöst werden indem die Entladewiderstände R<sub>2</sub> und R<sub>3</sub> verkleinert werden. Der Nachteil dabei wäre, dass die Verluste zunehmen würden, da der Leckstrom dadurch erhöht wird. Eine weitere Optimierungsmöglichkeit würde darin bestehen eine zusätzliche Schalterstellung einzubauen. Bis jetzt ist immer einer der Schalter ein- oder ausgefahren. Wenn es eine dritte Stellung geben würde in

der beide Schalter schalten wodurch die Widerstände R2 und R3 nicht überbrückt wären, könnte der Sinusverlauf besser realisiert werden. Diese Optimierung konnte jedoch nicht mehr durchgeführt werden.

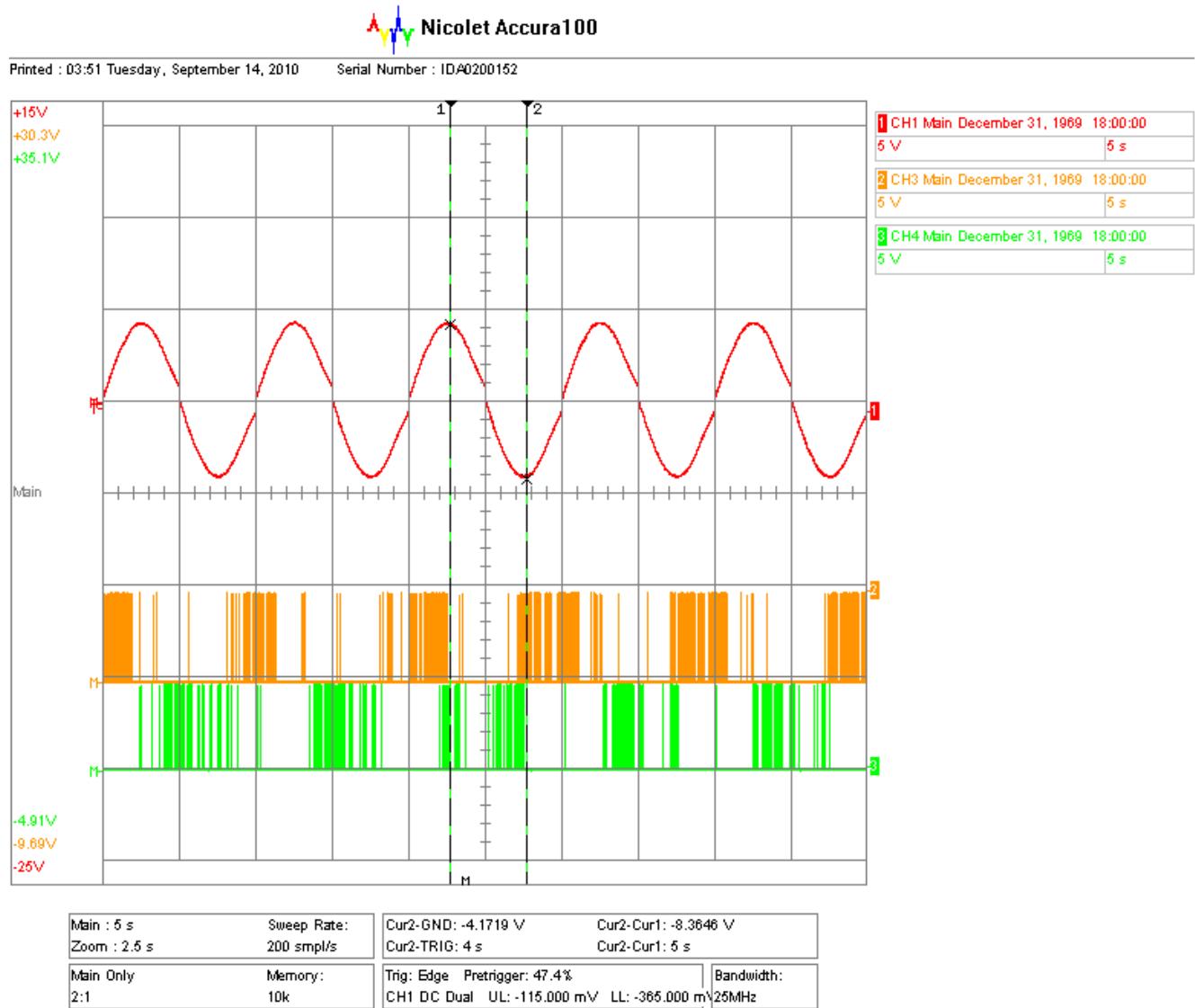


Abbildung 6.16.:  $U_{Spitze} = 4,5\text{V}$  bei einer Einspeisung von 30V

## 6.4. Zusammenfassung und Ausblicke

Der Grundstein für ein portable VLF-Prüfeinrichtung ist gelegt. Das gesamte Konzept der Steuer- und Regelung funktioniert einwandfrei. Es müssen nun Leiterplatten für die Mess- und Nulldurchgangsschaltung entworfen werden. Die Beiden Leiterplatten werden dann in ein Messmodul zusammengefasst. Des weiteren muss nun ein Powermodul gebaut werden, indem sich die Widerstände, die Solid State Relays und die Dioden befinden müssen. Das Powermodul muss kompakte Aufgebaut sein, sodass es transportabel wird. Das Konzept der pneumatischen Umschaltung muss verbessert werden. Es wird eine dritte Schalterstellung eingebaut, in der beide Schalter offen sind. Dadurch soll ein optimaler Sinusverlauf erzeugt werden können.

# Literaturverzeichnis

- [1] BAUR PRÜF- UND MESSTECHNIK GMBH & Co.: *Verfahren zur Prüfung der Isolation elektrischer Betriebsmittel sowie Schaltungsanordnung zur Ausführung des Verfahrens*, 1996. Deutsches Patentamt Offenlegungsschrift DE 195 13 441 A1.
- [2] DEUTSCHES INSTITUT FÜR NORMUNG: *Hochspannungs - Prüftechnik - Teil 1: Allgemeine Festlegung zu Prüfbedingungen IEC60060-1:1989*, 1989. VDE-Verlag GmbH.
- [3] DEUTSCHES INSTITUT FÜR NORMUNG: *Hochspannungs - Prüftechnik - Teil 3: Begriffe und Anforderungen für Vor-Ort-Prüfungen EN 60060-3:2006*, 2006. VDE-Verlag GmbH.
- [4] ERICSSON NETWORK TECHNOLOGIES AB ENERGY: *VPE isolierte Mittelspannungskabel*, 2003.
- [5] FUEST, KLAUS und PETER DÖRING: *Elektrische Maschinen und Antriebe*. Vieweg+Teubner, 7 Auflage, 2007. ISBN(13): 978-3834800985.
- [6] HAAG-ELEKTRONISCHE MESSGERÄTE GMBH: *Grundlagen der elektrischen Energieversorgung*, aufgerufen am 01.Juni 2010. [http://www.haag-messgeraete.de/cms/upload/pdf/seminarunterlagen/castor\\_grundlagen/Band\\_03\\_Iso\\_Kabel.pdf](http://www.haag-messgeraete.de/cms/upload/pdf/seminarunterlagen/castor_grundlagen/Band_03_Iso_Kabel.pdf).
- [7] KÜCHLER, ANDREAS: *Hochspannungstechnik*. Springer-Verlag, 2nd Auflage, 2007. ISBN 3-540-21411-9.
- [8] KORIES, RALF und HEINZ SCHMIDT-WALTER: *Taschenbuch der Elektrotechnik*. Harri Deutsch GmbH, 7 Auflage, 2006. ISBN(13): 978-3-8171-1793-2.
- [9] MOHAN, NED, TORE UNDELAND und WILLIAM P. ROBBINS: *Power Electronics: Converters, Applications, and Design*. 2002. ISBN: 0-471-22693-9.

- [10] MOHAUPT, PETER: *VLF-Prüfgenerator*. Österreichische Patentanmeldung AT 506 816 A4, 2009.
- [11] NEXANS DEUTSCHLAND GMBH: *Starkstrom 1-30kV Ausgabe 2010*, 2010.
- [12] PEPPER, DANIEL: *Grundlagenuntersuchung zum Teilentladungsverhalten in kunststoffisolierten Mittelspannungskabeln bei Prüfspannungen mit variabler Frequenz und Kurvenform*. 2003. Technische Universität Berlin.
- [13] SPECOVIUS, JOACHIM: *Grundkurs Leistungselektronik*. Vieweg+Teubner Verlag, 4th Auflage, 2010. ISBN 978-3-8348-1307-7.
- [14] VOIGT, GUNTER: *VLF-TE Messungen an betriebsgealterten Mittelspannungskabel*. 2002.
- [15] WADHWA, C.L: *High Voltage Engineering*. NEW AGE INTERNATIONAL (P) LIMITED, 2 Auflage, 2007. ISBN(13): 978-81-224-2323-5.
- [16] ZAENGL, WALTER, WOLFRAM BOECK, KLAUS MÖLLER und MANFRED BEYER: *Hochspannungstechnik*. Springer-Verlag, 1986. ISBN 3-540-16014-0.

# Abbildungsverzeichnis

3.1	Aufbau eines VPE-Kabels (aus [6]) . . . . .	11
3.2	a) Innere Leitschicht b) Kabelkapazität (aus [6]) . . . . .	12
4.1	VLF-Spannungsverlauf (aus [7]) . . . . .	14
4.2	a) Teilentladungsprüfung bei 12 kV mit 50 Hz b) Teilentladungsprüfung bei 12 kV mit 0,1 Hz (aus [14]) . . . . .	16
4.3	Erste Aufbauvariante eines VLF-Konverter aus dem Patent DE 195 13 441 A1 der Baur GmbH (aus [1]) . . . . .	17
4.4	Zweite Aufbauvariante eines VLF-Konverter aus dem Patent DE 195 13 441 A1 der Baur GmbH (aus [1]) . . . . .	19
4.5	Spannungsverlauf des VLF-Prüfgeräts dargestellt im Patent DE 195 13 441 A1(aus [1]) . . . . .	21
4.6	Aufbau eines VLF-Prüfgeräts aus dem Patent AT 506 816 A4 (aus [10]) .	22
4.7	Schwebungsverlauf aus dem Patent AT 506 816 A4 (aus [10]) . . . . .	23
5.1	Einweggleichrichter (aus [15]) . . . . .	24
5.2	Spannungsverläufe: a) ohne Kondensator, b) mit Kondensator (aus [15]) .	25
5.3	Greinacher: a) Schaltung [15], b) Spannungsverlauf (aus [7]) . . . . .	26
5.4	Darstellung des Phasenwinkels (aus [5]) . . . . .	28
5.5	Triac . . . . .	29
5.6	Realisierte Nulldurchgangsschaltung im Zuge der Diplomarbeit . . . . .	29
5.7	Resultat des Nulldurchgangs . . . . .	30
5.8	Aufbau eines Solid State Relays (aus [8]) . . . . .	30
5.9	Statische Spannungsaufteiler zweier in Serie geschalteten Dioden (aus [13])	31
5.10	Schematischer Aufbau der Hochspannungsdiode . . . . .	32
6.1	Eines der nicht verwendeten Topologien . . . . .	33

6.2	Grundschaltung . . . . .	34
6.3	Aufbau und Typenschild der Hochspannungstransformatoren . . . . .	35
6.4	Pneumatische Umschaltvorsichtung . . . . .	36
6.5	Ansteuerung für die pneumatische Umschaltung . . . . .	37
6.6	Rosenthal Widerstände . . . . .	37
6.7	Spannungsmessung an der Prüflingskapazität erfolgt über einen kapazitiven Tastkopf von Tektronix . . . . .	38
6.8	Erfassung der Prüflingsspannung . . . . .	39
6.9	Aufgebaute Messschaltung für die Erfassung der Prüflingskapazität und Erzeugung der Referenzspannung . . . . .	40
6.10	Labview-Oberfläche für die VLF-Prüfeinrichtung . . . . .	41
6.11	Display für Kalibrierung . . . . .	42
6.12	Zündwinkel 18°(Grüne Linie-Nulldurchgang; Braune Linie-Zündwinkel) . .	43
6.13	Schaltplan vom ATMEGA 16 . . . . .	44
6.14	Ablaufplan des C-Codes . . . . .	45
6.15	$U_{Spitze} = 1,5V$ bei einer Einspeisung von 20V . . . . .	47
6.16	$U_{Spitze} = 4,5V$ bei einer Einspeisung von 30V . . . . .	48
A.1	Labview Code für den Prüfmodus . . . . .	64
A.2	Labview Code für den Kalibriermodus . . . . .	65

# Abkürzungsverzeichnis

A/D Analog-Digital

SSR Solid State Relay

TE Teilentladung

$U_0/U$  Nennspannung:

U Effektivwert zwischen zwei Außenleitern eines mehradrigen Kabels  
oder eines Systems von einadrigen Kabel

$U_0$  Effektivwert zwischen einem isolierten Leiter und Erde

$U_{eff}$  Effektivspannung

$U_i$  Einsetzspannung der Teilentladung

VLF Very Low Frequency

VPE vernetzte Polyäthylen

# A. Anhang

## A.1. C-CODE

```
#include <avr/io.h>
#include "lcdroutines.h"
#include <avr/interrupt.h>
#include <stdio.h>
#include <stdint.h>
#include <util/delay.h>
#define triac1 PB2
#define triac2 PB3
#define schalterstellung1 PD0
#define schalterstellung2 PD1
#define schalterport PORTD
volatile uint16_t nulldurchgang=0;
volatile uint16_t schaltpunkt=0;
volatile uint16_t letztestellung=0;
///////////////////////////////ADG-Wert Einlesen : Quellcode von www.microcontroller.net////////////////
///////////////////////////////ADG-Wert Einlesen : Quellcode von www.microcontroller.net////////////////
uint16_t ReadChannel(uint8_t mux)
{
    uint8_t i;
    uint16_t result;
```

```

ADMUX = mux;
// Kanal waehlen
ADMUX |= (0<<REFS1) | (1<<REFS0); // interne Referenzspannung nutzen

// Frequenzvorteiler setzen auf 32 (1) und ADC aktivieren (1)

ADCSRA = (1<<ADEN) | (1<<ADPS2) | (1<<ADPS1) | (0<<ADPS0);

// nach Aktivieren des ADC wird ein "Dummy-Readout" empfohlen, man liest
// also einen Wert und verwirft diesen, um den ADC "warmlaufen zu lassen"
ADCSRA |= (1<<ADSC);
// Eine ADC-Wandlung

// auf Abschluss der Konvertierung warten
while ( ADCSRA & (1<<ADSC) ) {
    ; // ADCW muss einmal gelesen werden
} // sonst wird Ergebnis der nächsten Wandlung
result = ADCW;
// nicht uebernommen
// Eigentliche Messung-Mittelwert aus 4 aufeinanderfolgenden Wandlungen
result = 0;
for( i=0; i<6; i++ )
{
    ADCSRA |= (1<<ADSC); // Eine Wandlung "single conversion"
    while ( ADCSRA & (1<<ADSC) ) {
        ; // auf Abschluss der Konvertierung warten
    }
    result += ADCW; // Wandlungsergebnisse aufaddieren
}

```

```

ADCSRA &= ~(1<<ADEN);
// ADC deaktivieren (2)
result /= 6;           // Summe durch vier teilen = arithm. Mittelwert
return result;
}

//QUELLE www.microcontroller.net stand 05.Mai 2010
///////////////////////////////ISR-Funktion für Nulldurchgang///////////////////////
///////////////////////////////Einstellung des Interrupt am INIT0-PIN///////////
///////////////////////////////Kalibierungsfunktion///////////////////////////////
void ISR(INT0_vect)
{
    nulldurchgang=1;
    // setzt nulldurchgang auf 1
    PORTB&= ~(1<<triac1);
    // schaltet Triac 1 aus
    PORTB&= ~(1<<triac2);
    // schaltet Triac 2 aus
}

void settingZero(void)
{
    MCUCR |= (0<<ISC01) | (1<<ISC00);
    // Änderung bei jeder Flanke
    GICR |= (1<<INT0);           // Änderung am INT0-PIN erfassen
}

void Kalibierung(void)

```

```
{  
    uint16_t adcval0;  
    uint16_t adcval1;  
    uint16_t umschalt;  
    uint16_t position;  
// schreibt Wert von Port D Pin 3 in umschalt  
    umschalt = (PIND & (1<<3))>0;  
// schreibt Wert von Port D Pin 4 in position  
    position = (PIND & (1<<4))>0;  
    char buffer0[10] = "";  
    char buffer1[10] = "";  
    if(umschalt==1)  
    {  
        if(position==1)  
        {  
            schalterstellung(1);  
        }  
        else schalterstellung(0);  
    }  
  
    adcval0 = ReadChannel(0);      // Einlesen der Prüflingsspannung  
    adcval1 = ReadChannel(1);      // Einlesen der Referenzspannung  
//////////Ausgabe der Spannungen am Display//////////  
    sprintf(buffer0,"Upruf%d" ,adcval0);  
    lcd_string(buffer0);  
    set_cursor(0,2);  
    sprintf(buffer1,"Uref%d" ,adcval1);  
    lcd_string(buffer1);  
    _delay_ms(120);  
    lcd_home();  
    lcd_clear();
```

```

adcval0=0;
adcval1=0;
}

/////////////////////////////// Triacs umschalten //////////////////////////////
/////////////////////////////// Schalterstellung wechseln //////////////////////

void triac(uint8_t channel)
{
    if(channel==1)
    {
        PORTB&=~(1<<triac2 );
        PORTB|=(1<<triac1 );
    }
    else if(channel==0)
    {
        PORTB&=~(1<<triac1 );
        PORTB|=(1<<triac2 );
    }
    else {PORTB&=~(1<<triac1 );PORTB&=~(1<<triac2 );}
}

void schalterstellung(uint8_t stellung)
{
    if(stellung==1)
    {
        letztestellung=0;
        schalterport |=(1<<schalterstellung1 );
        schalterport &=~(1<<schalterstellung2 );
    }
}

```

```

else
{
    letztestellung++;
    schalterport |=(1<<schalterstellung2 );
    schalterport &= ~(1<<schalterstellung1 );
}
_delay_ms(10);
//Einschaltimplus wird wieder ausgeschaltet
schalterport &= ~((1<<schalterstellung1)|(1<<schalterstellung2 ));

}

//////////////////////////////Phasenanschnitt////////////////////////////
//////////////////////////////Hilfsvariable
int Phasenanschnitt(void)
{
    sei();
//interrupts einschalten
int x=0;
//Hilfsvariable
char buffer2[10] ="";

    uint16_t prueflingsspannung;
    uint16_t referenzspannung;
    int16_t regelabweichung;
    lcd_clear();
    lcd_string("Phasenanschnitt");
    set_cursor(0,2);

while((PINB & (1<<1))>0)
//Solange PINB1 auf high ist
{
//Einlesen der aller Spannungen/////////////////////////////

```

```

prueflingsspannung=ReadChannel(0);
// PRÜFLINGSSPANNUNG

referenzspannung=ReadChannel(1);
// REFERENZSPANNUNG

regelabweichung=referenzspannung-prueflingsspannung;

if(x==0)
{
    sekunde=0;
    TCNT1=0;
    lcd_string("START");
    lcd_home();
    x++;
}

///////////////////Erkennung des Umschaltmoments/////////////////
if((referenzspannung<512) &&(letztestellung==0))
{
    cli();
    PORTB&=~(1<<triac1);
    PORTB&=~(1<<triac2);
    schalterstellung(letztestellung);
    TCNT1=0;
    sei();
}

if((referenzspannung>512) &&(letztestellung==1))
{
    cli();
    PORTB&=~(1<<triac1);
    PORTB&=~(1<<triac2);
    schalterstellung(letztestellung);
    TCNT1=0;
    sei();
}

```

```

        }

////////// Einstellung der Signalkomplexe //////////

if(( regelabweichung<5)&&(nulldurchgang==1))
{
    nulldurchgang=0;
    triac(0);
}

else if(( regelabweichung>5)&&(nulldurchgang==1))
{
    nulldurchgang=0;
    triac(1);
}

else
{
    PORTB&= ~(1<< triac1 );PORTB&= ~(1<< triac2 );
}
}

return 0;
}

////////// Main //////////

int main(void)
{
    int cal_pruef=0;
    lcd_init();
    //Display initialisieren
    lcd_clear();
    //Display löschen
}

```

```

sei ();
settingZero ();           //Einstellung des Interrupt von INIT0 aufrufen
DDRD=0b00100011;          //PIN 1 und 2 von PORTD auf Ausgang gestellt
DDRB=0xFC;                //PIN 1 und 2 von PORTB auf Eingang gestellt
PINB=0x03;    //PULLUP von PIN 1 und 2 werden von PORTB eingeschaltet

PORTB=0x00; //PULLUP von PIN 1 und 2 werden von PORTB eingeschaltet
PORTB&=~(1<<triac1);
PORTB&=~(1<<triac2);
while(1)
{
//////////Entscheidung über Kalibrierung oder Prüfung///////////
//Schreibt den Wert von PortB/Pin0 in cal_pruef
    cal_pruef = (PINB & (1<<0))>0;
    if( cal_pruef==0)
    {
        Kalibierung ();
    }
    else if (cal_pruef==1)
    {
        Phasenanschnitt ();
    }
    else lcd_string("Fehler"); lcd_home();
}
return 0;
}

```

## A.2. Labview-Code

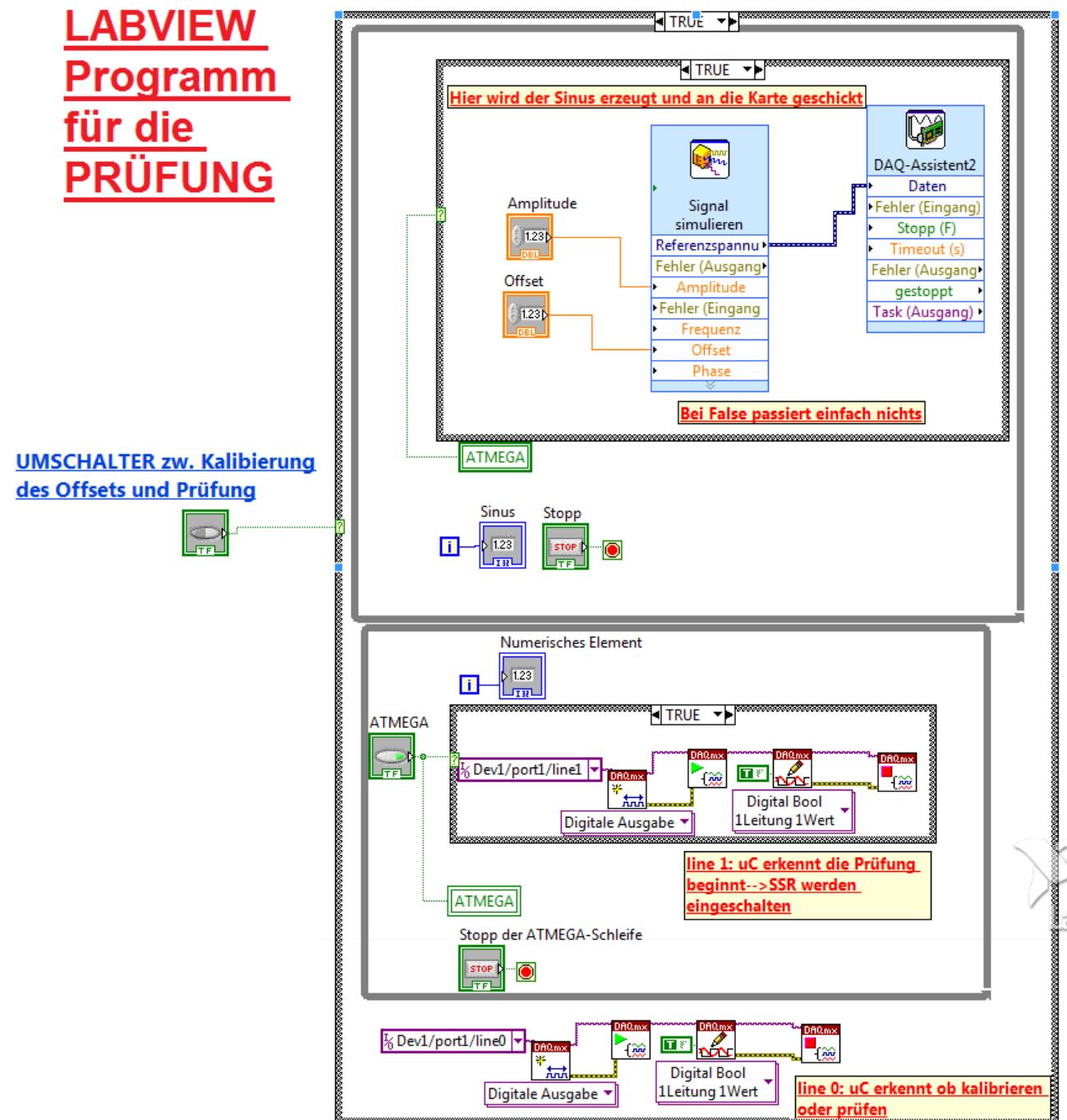


Abbildung A.1.: Labview Code für den Prüfmodus

# LABVIEW

## Programm

### für die

### Kalibrierung

#### UMSCHALTER zw. Kalibrierung des Offsets und Prüfung

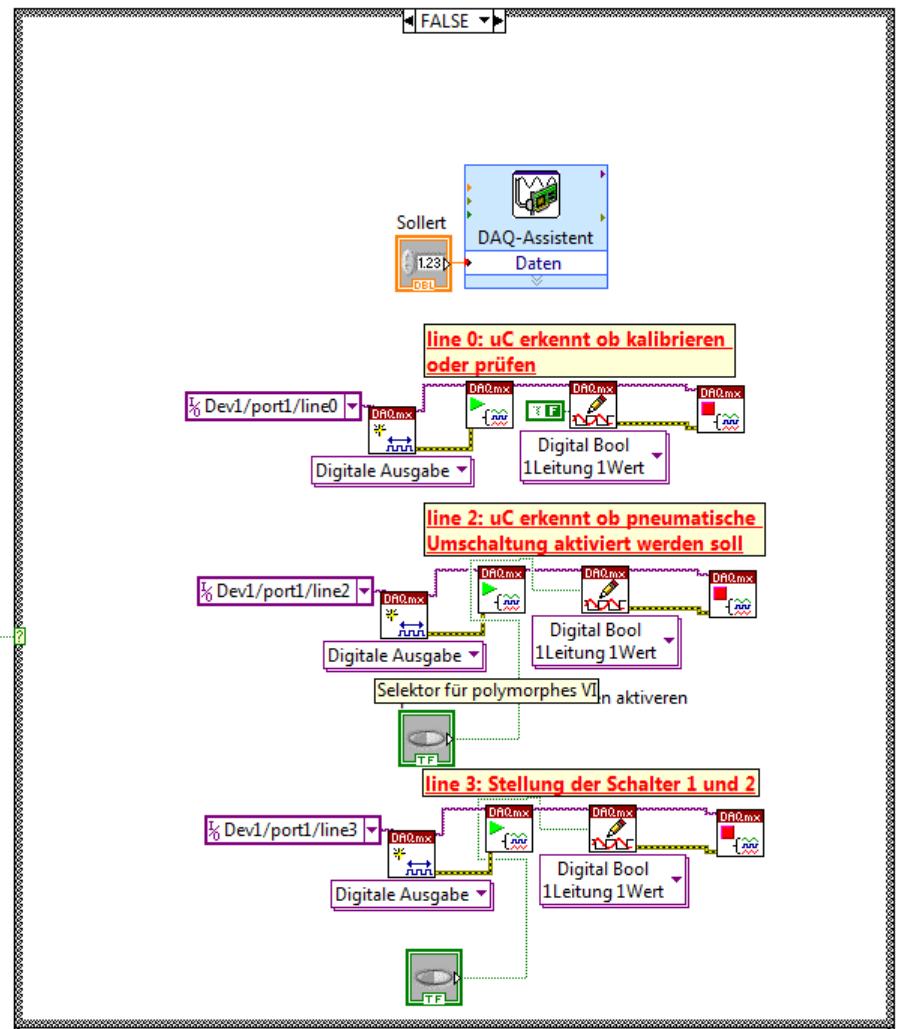


Abbildung A.2.: Labview Code für den Kalibriermodus