

Übungsblatt 8

8.1 Caches

Ein C-Programm definiert ein Array `int a[5000]` und erzeugt nacheinander folgende Schreibzugriffe auf die Array-Elemente: `a[15]`, `a[4097]`, `a[0]`, `a[2048]`.

Nehmen Sie für die folgenden Aufgaben an, dass das Array im Speicher lückenlos ab Adresse 0 abgelegt ist. Eine Speicheradresse und der `int` Datentyp seien jeweils 32 Bit breit. Der Cache enthalte zu Beginn der Programmausführung nur ungültige Blöcke.

Gegeben sei ein **direkt abbildender write-back** Cache der Größe 16 KiB mit 128 Bytes Blockgröße. Bestimmen Sie für jeden Zugriff der gegebenen Folge: Adresse, Cache Tag, Cache Index, Byte Select (jeweils als Dezimalwerte), in den Speicher geschriebene Array-Elemente (falls zutreffend), in den Cache geladene Array-Elemente (falls zutreffend) und den Wert des Dirty-Bits. Kennzeichnen Sie jeden dieser Zugriffe als Hit, Compulsory Miss bzw. Conflict Miss.

Element	Adresse	Tag	Index	BS	Hit/Miss	geschrieben	geladen	dirty
a[15]								
a[4097]								
a[0]								
a[2048]								

8.2 Caches

Wie 8.1 für einen **2-fach satzassoziativen write-back** Cache gleicher Größe (16 KiB) und Blockgröße (128 Bytes) mit LRU (least recently used) Ersetzungsstrategie. Geben Sie zudem für jeden Zugriff auch den verwendeten Satz (0 oder 1) an.

Element	Adresse	Tag	Index/Satz	BS	Hit/Miss	geschrieben	geladen	dirty
a[15]								
a[4097]								
a[0]								
a[2048]								

8.3 Caches

Wie 8.1 für einen **vollassoziativen write-back** (fully-associative) Cache gleicher Größe und Blockgröße mit LRU (least recently used) Ersetzungsstrategie.

8.4 Speicherhierarchien

Gegeben sei eine Rechnerarchitektur mit drei Speicherebenen laut untenstehender Tabelle, die die durchschnittliche Hitrate und die Verzögerung (Wartezeit der CPU) im Fall eines erfolgreichen Zugriffs auf die jeweilige Speicherebene angibt. Der durchschnittliche CPI-Wert ohne Berücksichtigung der Speicherzugriffe betrage 1,3 (idealer CPI). Nehmen Sie an, dass durchschnittlich 20% aller Instruktionen auf den Speicher zugreifen.

Speicherebene	Hitrate	Verzögerung/Takte
L1	85%	4
L2	75%	12
Hauptspeicher (RAM)	100%	236

- Berechnen Sie den durchschnittlichen CPI-Wert der vorgestellten Architektur unter Berücksichtigung der Speicherzugriffe.
- Wie viel Prozent der Ausführungszeit eines Programms muss der Prozessor durchschnittlich auf Speicherzugriffe warten?
- Auf welchen Wert muss die Hitrate des L1-Caches erhöht werden, um einen durchschnittlichen CPI-Wert von 3 zu erhalten (bei unveränderten Hitraten der anderen Speicherebenen)?

8.5 Speicherhierarchien

Gegeben sei eine Rechnerarchitektur mit zwei Speicherebenen laut untenstehender Tabelle, die die durchschnittliche Hitrate und die Verzögerung (Wartezeit der CPU) im Fall eines erfolgreichen Zugriffs auf die jeweilige Speicherebene angibt. Der durchschnittliche CPI-Wert mit Berücksichtigung der Speicherzugriffe betrage 7,5. Nehmen Sie an, dass durchschnittlich 30% aller Instruktionen auf den Speicher zugreifen.

Speicherebene	Hitrate	Verzögerung/Takte
L1 Cache	80%	3
Hauptspeicher	100%	90

- Berechnen Sie den durchschnittlichen CPI-Wert der vorgestellten Architektur ohne Berücksichtigung der Speicherzugriffe (idealer CPI-Wert). Wie viel Prozent seiner Ausführungszeit muss der Prozessor auf Speicherzugriffe warten?
- Durch Modifikation des Befehlssatzes ändert sich der durchschnittliche ideale CPI-Wert der Rechnerarchitektur auf 1,1. Nun soll ein L2 Cache eingebaut werden, der eine durchschnittliche Hitrate von 90% erwarten lässt. Wie groß darf die Verzögerung (in Takten) dieses L2-Caches maximal sein, damit der CPI-Wert der erweiterten Architektur den Wert von 3,5 nicht überschreitet?