

Rechnerorganisation - 2. Klausurvorbereitung

Auer Thomas, Stefan Haan

25. Jänner 2018

Inhaltsverzeichnis

1	Übungsblatt 5	1
1.1	Multi-Cycle Datenpfad: lw-Instruktion	1
1.2	Grundlagen Pipelining	1
1.3	Pipelining: Graphische Darstellung	2
1.4	Pipelining: Daten- und Kontrollabhängigkeiten	2
2	Übungsblatt 6	3
3	Übungsblatt 7	3
4	Übungsblatt 8	3
4.1	Speicherhierarchien 1	3
5	Übungsblatt 9	4
6	Übungsblatt 10	4

1 Übungsblatt 5

1.1 Multi-Cycle Datenpfad: lw-Instruktion

Erläutern Sie die Ausführung der lw-Instruktion (load word) für den Multi-Cycle-Datenpfad. Welche Vorteile bietet der Multi-Cycle-Datenpfad gegenüber dem Single-Cycle-Datenpfad? Diskutieren Sie dies anhand dieses Befehls.

1.2 Grundlagen Pipelining

Gegeben seien vier unterschiedliche Prozessoren, die sich in der Anzahl der Pipelinestufen und der Taktrate unterscheiden:

Prozessor	Pipelinstufen	Taktrate
A	1	100 MHz
B	4	800 MHz
C	12	1,5 GHz
D	20	3,2 GHz

(a) Bestimmen Sie für jeden Prozessor die Latenz der einzelnen Instruktionen.

Wie lange dauert die Ausführung von 400.000 voneinander unabhängigen Instruktionen auf jedem der angeführten Prozessoren? Bestimmen Sie die Performance und den Speedup verglichen mit Prozessor A ohne Pipelining. (Sie können annehmen, dass es keine Stalls gibt.)

1.3 Pipelining: Graphische Darstellung

Beantworten Sie folgende Fragen anhand der Beispiel-Pipeline-Architektur der VO (Kapitel 3.2).

(a) Bestimmen Sie die Anzahl der Pipelinstufen, die Taktdauer und die Taktfrequenz der Beispiel-Pipeline unter Annahme der Angaben auf VO-Folie 3-44 (Ausführungszeiten der Funktionseinheiten). Wie lange dauert die Ausführung eines einzigen Befehls auf der Beispiel-Pipeline?

(b) Angenommen es treten keine Leertakte (stalls) auf, welchen Speedup erreicht die Beispiel-Pipeline aus a) gegenüber einem Single-Cycle Datenpfad, der aus den gleichen Funktionsregistern besteht?

Seite 1 von 2

(c) Auf der Pipeline wird folgende Befehlssequenz ausgeführt:

```
and    $10, $2, $3
sw     $11, 4($3)
```

Stellen Sie die Ausführung der oben angeführten Befehlssequenz durch die Beispiel-Pipeline wie auf VO-Folie 3-45 grafisch dar (untere Abbildung). Achten Sie insbesondere auf die zeitliche Anordnung der Zugriffe auf die Registereinheit! Wie lange dauert die Ausführung der Befehlssequenz?

1.4 Pipelining: Daten- und Kontrollabhängigkeiten

Gegeben sei folgendes Code-Fragment:

2 Übungsblatt 6

3 Übungsblatt 7

4 Übungsblatt 8

4.1 Speicherhierarchien 1

Tabelle 1 gibt die **Verzögerung** im Falle eines **erfolgreichen** Zugriffs auf die jeweilige Speicherebene an.

Der durchschnittliche CPI-Wert ohne Berücksichtigung der Speicherzugriffe betrage 1,3 (idealer CPI). **20%** aller Instruktionen greifen auf den Speicher zu.

Speicherebene	Hitrate	Verzögerung/Takte
L1	85%	4
L2	75%	12
RAM	100%	236

Tabelle 1: Speicherebenen und Verzögerung in Takten

a) Durchschnittlicher CPI-Wert unter Berücksichtigung der Speicherzugriffe

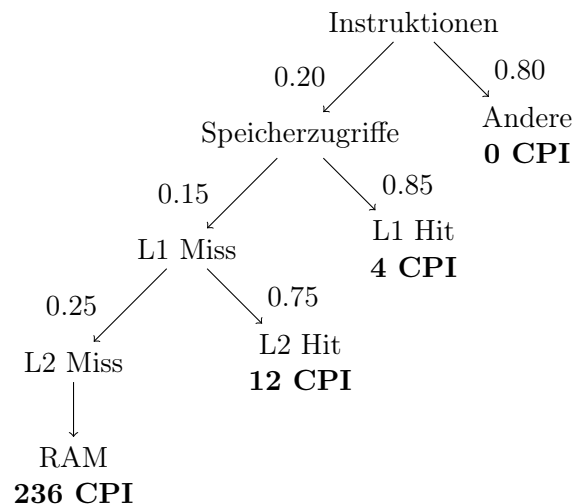


Abbildung 1: Wahrscheinlichkeiten der Speicherzugriffe mit ihren **Verzögerungen**

Berechne die durchschnittliche Verzögerung aus Abbildung 1 durch gewichtete Aufsummierung der Knoten.

$$\overline{\text{Verzögerung}} = 0.8 \cdot 0 + 0.2 \cdot (0.85 \cdot 4 + 0.15 \cdot (0.75 \cdot 12 + 0.25 \cdot 236)) = 2.72$$

Addiere die durchschnittliche Verzögerung zum idealen CPI-Wert um den durchschnittlichen CPI-Wert unter Berücksichtigung der Speicherzugriffe zu erhalten.

$$\overline{\text{Verzögerung}} + 1.3 = 4.02$$

5 Übungsblatt 9

6 Übungsblatt 10