

A1 実験考察レポート

03190449 堀 紡希

6月3日

1 考察課題

(2) pn 接合ダイオードの電流電圧特性

図1はpn接合ダイオードの電流電圧特性の実験値を表したグラフである。なお、回路は教科書の図A1.10(b)のものである。理論的には(A1.5)より $I = A_s \exp\left(\frac{qV}{kT} - 1\right)$ である。ここに各値を代入し(測定はしていなかったが $T=20^\circ\text{C}$ とした)、理論線の片対数グラフにおける傾きを計算すると 17.2 dec/V となり、図1の線形となっている 0.7V あたりの領域での傾きが 0.62V, 0.72V の二点間の傾きをとって 17.8dec/V となるので有効数字二桁の範囲で一致している。

V が 0.8V を超えたあたりから傾きが緩やかになっていっているが、これは空乏層が形成されたことに起因すると考えられる。

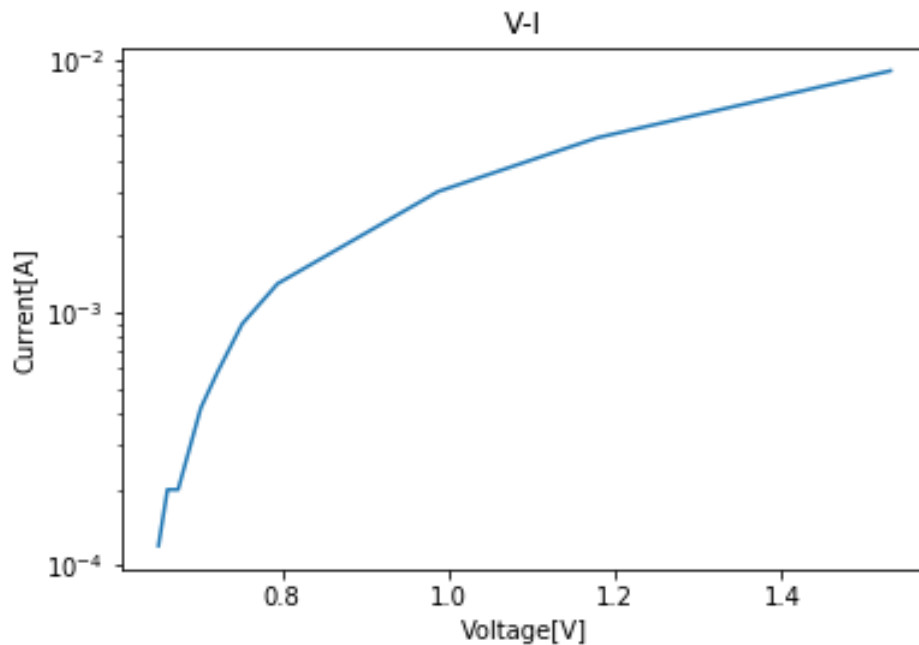


図1 pn 接合ダイオードの V-I 特性

(3) FET の静特性

図2は班で測定したドレインソース電圧 V_{DS} に対するドレイン電流 I_D の変化である。上からゲートソース間電圧 $V_{GS}=0, 0.2, 0.4, 0.6, 0.8, 1.0, 1.2, 1.4, 1.6, 1.8, 2.0V$ とした時の曲線となっている。理論通り $0.5V$ あたりまでは線形だが $2.5V$ を超えたあたりから V_{DS} に対して変化しなくなった。また理論通り V_{GS} を大きくするにしたがってドレイン電流が小さくなっていった。

TOSHIBA の仕様書によると $V_{GS}=0V$ のときドレイン電流は $2.8mA$ ほどで飽和するが実験結果は $4.8mA$ ほどになっており 1.7 倍ほどになっており理論と一致しない。ここまで異なるのは測定系の誤差としては考えづらく、素子の時間経過による変化、製造時のばらつきの影響が考えられるかもしれない。

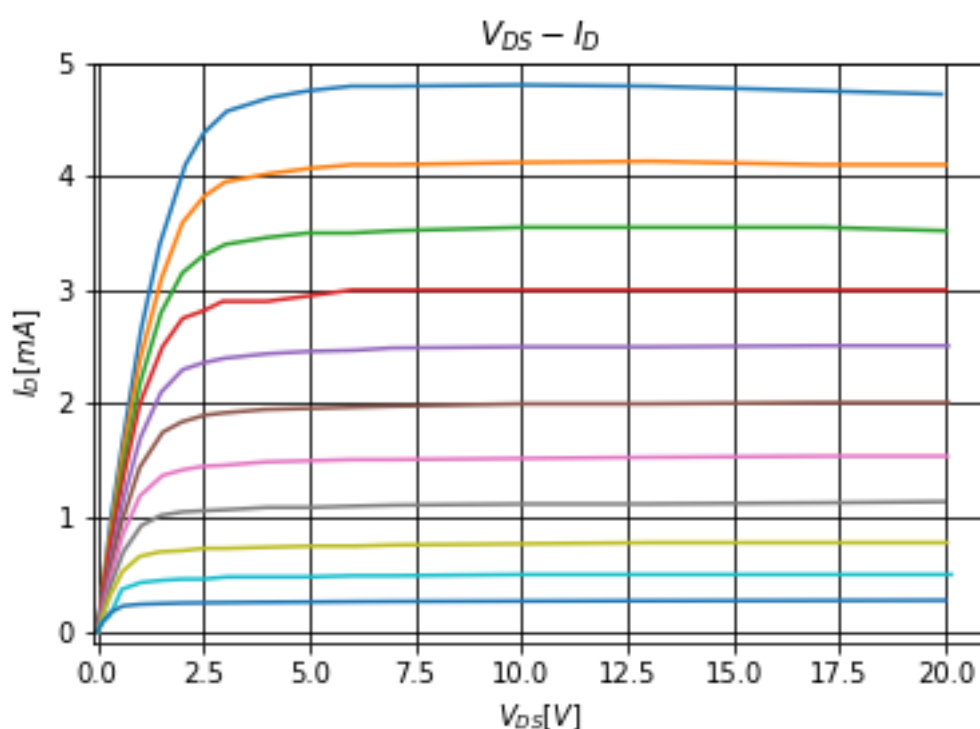


図2 FETの静特性曲線

(4) ソース接地回路の電圧増幅率の周波数特性

図3はソース接地回路のゲインの周波数特性である。理論値は最大のゲインが $g_m R_L = 32.1dB$ であるのに対して実験結果は最大値が $30.8dB$ となっていて 4% ほど小さくなっていた。ここで [1] の式 A(1.7) に従えば $C_D = 0.11\mu F$ とすればゲインの最大値が $30.8dB$ になり実験値と一致するが浮遊容量にしては大きすぎると考えられる。

一方 $f_1 = 50Hz$ で設計したにもかかわらず $50Hz$ で振幅が $16dB$ あたりまで落ち込んでおり f_1 が設計より大きくなっている。また図1からピークから $3dB$ 落ち込んでいるところを読み取ると $f_2=1.5MHz$ ほどでありここから A(1.9) より $80\mu F$ と見積れる。

図4は位相特性であり、測定点が少ないためやや滑らかではないが図3から読み取った f_1, f_2 で位相差が $225^\circ, 135^\circ$ になっており理論と一致している。

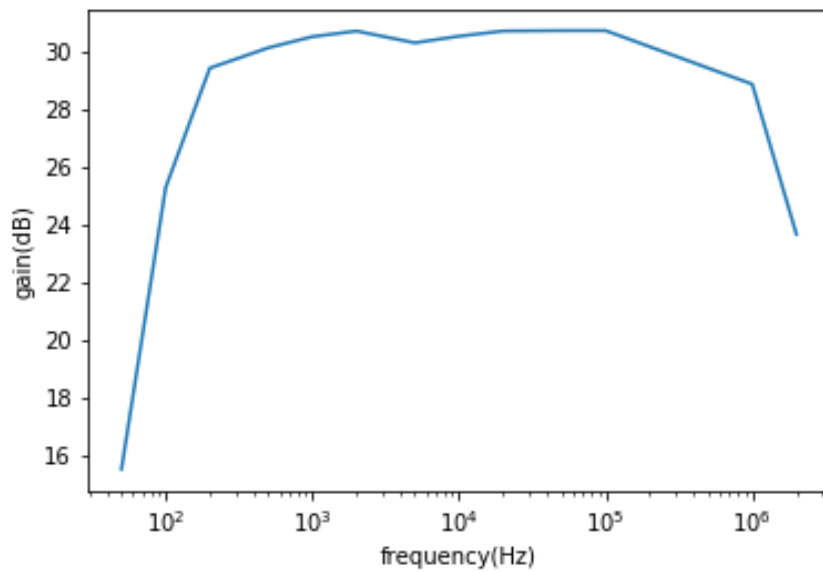


図3 ソース接地回路のゲイン特性

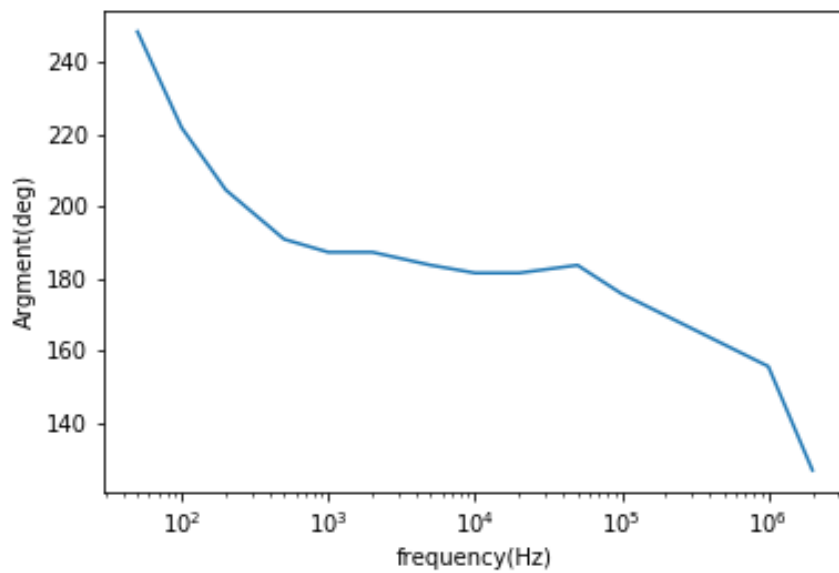


図4 ソース接地回路の位相特性

2 参考文献

- [1] 東京大学工学部：「電気電子情報第一（前期）実験テキスト」，2019.
- [2] 廣瀬明：「電気電子計測」，数理工学社，2003.