

A3 実験考察レポート

03190449 堀 紡希

8月8日

1 考察課題

1.1 1. 負荷の数と遅延

実際に実験中に n を 1,2,3,4、 $V_{DD} = 2.4V$ 、周波数 1kHz の方形波として測定し、測定した値から最小二乗法により立ち上がり、立ち下がりについてそれぞれ τ_0, τ_1 が次のように求まった。

図 1 が立ち上がりで $\tau_0 = -7.2[ns]$, $\tau_1 = 17[ns]$

図 2 が立ち下がりで $\tau_0 = 5.1[ns]$, $\tau_1 = 3.9[ns]$

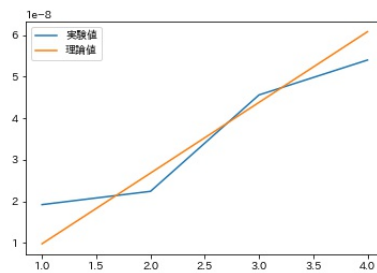


図 1 インバータの個数と立ち上がりの遅延とその近侍

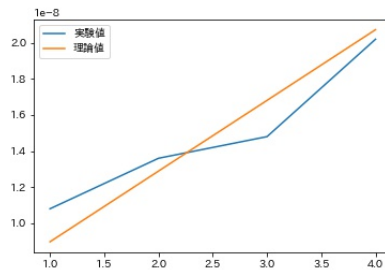


図 2 インバータの個数と立ち下がりの遅延とその近似

1.2 2.D ラッチとポジティブ・エッジ・トリガ D-FF の動作

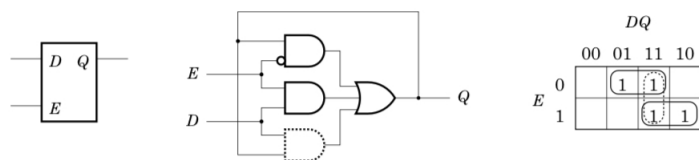


図 9: D ラッチの図記号 (左), 実現例 (中) とそのカルノー図 (右)

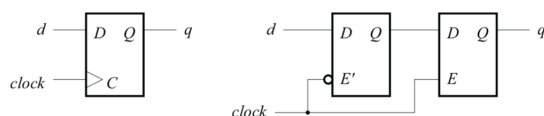


図 10: ポジティブ・エッジ・トリガ D-FF の図記号 (左) と D ラッチによる実現 (右)

これは実験テキストの D ラッチとポジティブ・エッジ・トリガ D-FF の実現例である。

ゲート一段の遅延を τ とすると D ラッチについて、E の AND についている NOT で遅延が発生するので E が Q に到達するまでの遅延は AND ゲートが並列になっていることも考えて 3τ になる。

ポジティブ・エッジ・トリガ D-FF について、D ラッチが二つ直列になっているので二つ目の D ラッチが動作するように τ 遅れた二つ目のクロックと一つ目の Q が同期すれば良いのでセットアップ時間は τ , ホールド時間は D ラッチの遅延時間と同様で 3τ 。

また、D ラッチの中図で点線で描かれた AND ゲートがなくてもカルノー図では確かに正しいが、これがないと $D, Q = (1, 1)$ で E が切り替わる時に NOT の遅延により動作が不安定になると考えられるので、それを安定させるために DQ の AND ゲートがあると出力が E によらず、安定になると考えられる。

1.3 3. デジタル回路を部分として構成していく意義

入力と出力の状態をデジタル化して単純化することにより、定められた入力から出力を返すことさえ守っていれば好きに回路を設計して、組み合わせることが容易であることが、デジタル回路を構成する上での利点である。

また、遅延があまりに大きかったりすると他の部分に影響を及ぼしたりするので、適度なタイミング制約を設定してそれを守ることに留意するべきである。

2 参考文献

- [1] 東京大学工学部：「電気電子情報第一 (前期) 実験テキスト」, 2019.
- [2] 廣瀬明：「電気電子計測」, 数理工学社, 2003.