

Assignment Two

Chapter 5

Review Questions

5.3

5.3 DRAM 和 SRAM 在应用上有何不同？

5.4

5.4 在速度、容量、成本等特性方面，DRAM 和 SRAM 有何区别？

Problems

5.3

5.3 图 5-16 给出了一个 DRAM 经由总线进行读操作的简化时序。存取时间被认为是由 t_1 到 t_2 ，然后是先充电时间，从 t_2 延续到 t_3 ，在此期间 DRAM 芯片必须再充电，然后处理器才能再次访问它们。

(a) 假定存取时间是 60ns，再充电时间是 40ns。试问：存储周期时间是多少？假定 1 位输出，这个 DRAM 所支持的最大数据传输率是多少？

(b) 使用这些芯片构成一个 32 位宽的存储系统，其产生的数据传输率是多少？

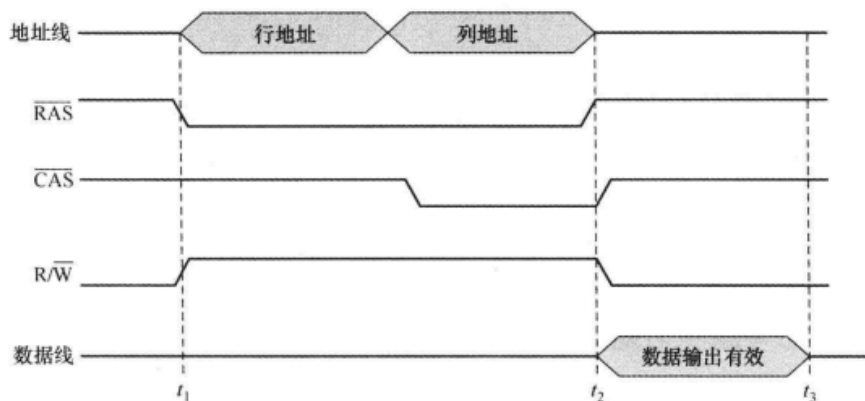


图 5-16 简化的 DRAM 读时序

5.4

5.4 图 5-6 指出如何利用 4 个 256KB 的芯片组来构成一个能存储 1MB 的芯片模块。假定该芯片模块已包裹成为一个独立的 1MB 芯片，其字长是 1 个字节。请画出使用 8 个 1MB 的芯片来构成一个 8MB 存储器的连接图。请确定在你的图中画有地址线，并说明它们的用途？

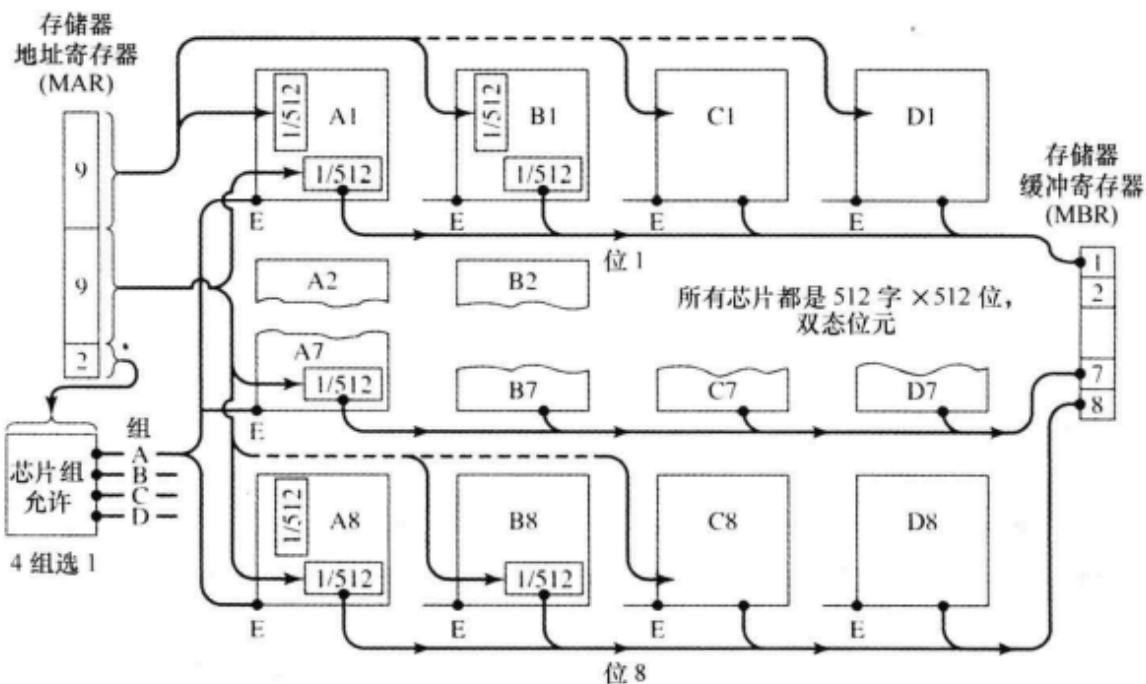


图 5-6 1MB 存储器组织

5.8

- 5.8 使用容量为 64×1 位的 SRAM 芯片设计一个总容量为 8192 位的 16 位存储器。要求给出芯片在存储器板上的阵列配置，画出为存储器分配最低地址空间所要求的输入和输出信号，并且该设计应既能满足以字节存取，又能满足以 16 位字存取。

Chapter 7

Review Questions

7.3

7.4

7.5

7.6

7.7

7.3 I/O 模块的主要功能是什么？

7.4 列出并简单定义实现 I/O 的三种技术。

7.5 存储器映射式 I/O 与分离式 I/O 有什么区别？

7.6 当设备出现中断时，处理器如何知道是哪个设备发出的中断？

7.7 DMA 模块取得总线控制权并占用了总线时，处理器做什么？

Problems

7.6

- 7.6 图 7-5 所示的程式 I/O 需要处理器进入一个等待时期来循环检测 I/O 设备的状态，为了提高效率，可以让处理器周期性地检查设备状态，即设备不就绪时，处理器就跳转到其他任务，一定时间间隔后处理器再来检查设备状态。
- 考虑采用上述办法向打印机一次一个字符地输出数据，打印机以 10 字符/秒的速度进行打印。若每 200ms 检查一次打印机的状态，将会出现什么情况？
 - 考虑一个具有单一字符缓冲器的键盘，平均以 10 字符/秒的速度从键盘输入字符，两次连续按键的时间间隔可以短至 60ms，I/O 程序应该以多大的频率扫描键盘状态？

7.8

- 7.8 在 7.3 节中已列出了存储器映射 I/O 相对于分离式 I/O 的一个优点和一个缺点。试再列出两个优点和两个缺点。

7.10

- 7.10 考虑某一设备使用中断驱动式 I/O，此设备以平均 8KB/s 的速度连续传送数据。

(a) 假设中断处理大约用 $100\mu\text{s}$ （即转移到中断服务例程（ISR），执行中断程序，然后返回到主程序

共用掉的时间）。如果每字节中断一次，则处理器百分之几的时间用于这个 I/O 设备？

- (b) 假设这个设备有两个 16 字节的缓冲器，当一个缓冲器满时才中断处理器一次。当然，中断处理时间比较长，因为 ISR 还要传送 16 字节到缓冲器。在执行此 ISR 时，处理器每传送一字节大约要用 $8\mu\text{s}$ 。这种情况下，处理器百分之几的时间用于此设备？

- (c) 假设处理器具有 Z8000 那样的数据块传输指令，允许相应的 ISR 每传送块中一字节仅用 $2\mu\text{s}$ 。这时，处理器百分之几的时间用于此设备？

7.12

- 7.12 DMA 模块采用周期窃取方式把字符传输到存储器，设备的传输率是 9600b/s，处理器以 1 000 000 条指令/秒的速度获取指令（1MIPS）。这样，由于 DMA 模块窃取了总线周期，处理器速度将减慢多少？