

Assignment Two

Chapter 5

Review Questions

5.3

答: SRAM一般用于cache存储器, 而DRAM则用于主存储器

5.4

答: 速度: 通常SRAM要比DRAM快。

容量: DRAM的密度比SRAM高, 即每单位面积上有更多位元。

成本: DRAM的价格比SRAM便宜。

Problems

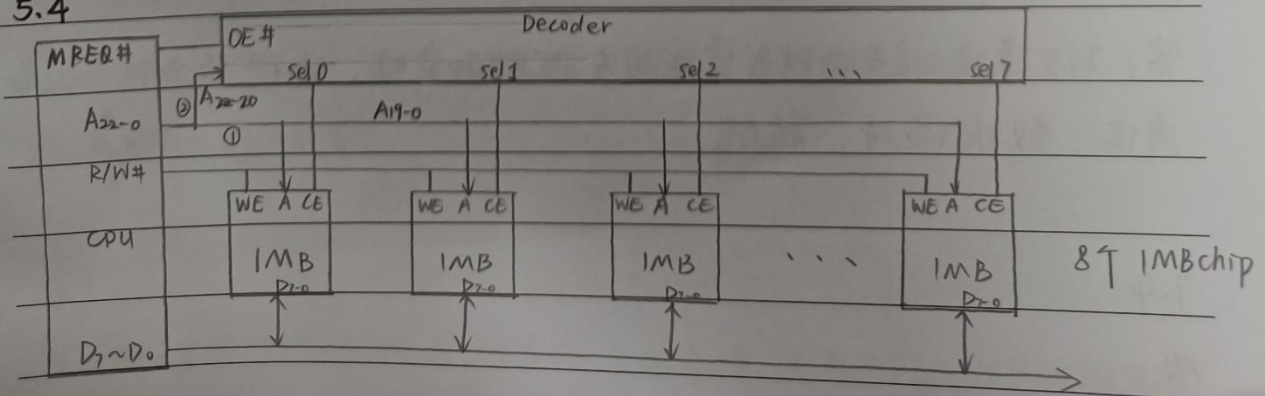
5.3

(a) 存储周期时间是 $60 + 40 = 100 \text{ ns}$

数据传输率 = $\frac{1}{100} \text{ bit/ns} = 10 \text{ Mbps}$

(b) $32 \times 10 \text{ Mbps} = 320 \text{ Mbps}$

5.4



地址线 A_{17-0} : 传递被访问字的地址。

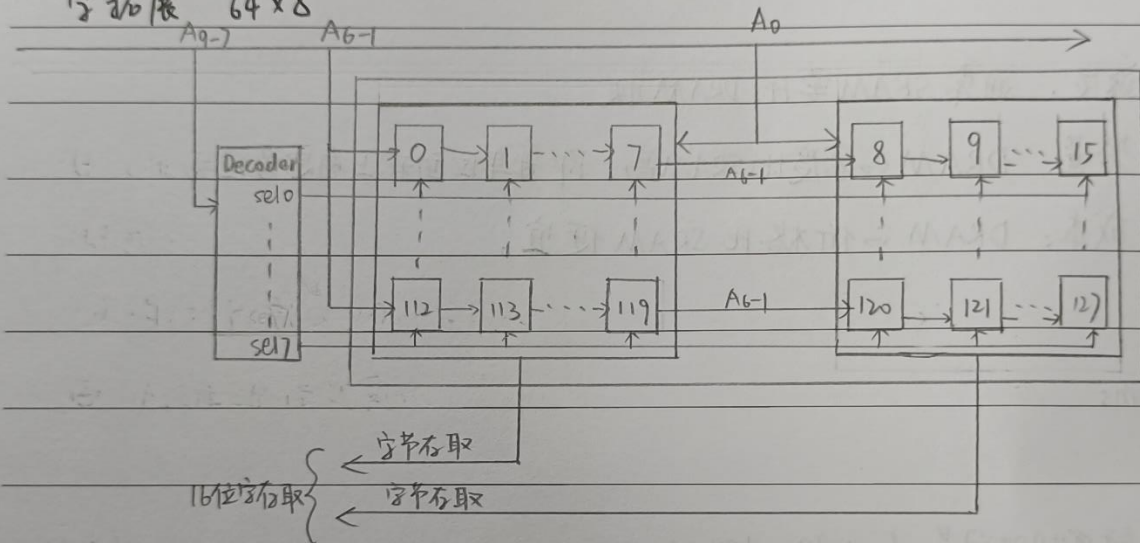
地址线 A_{22-10} : 传递芯片选中信号。

5.8

$$\frac{8192}{64} = 128 \uparrow 64 \times 1 \text{ 位的芯片} \Rightarrow 512 \times 16 \text{ 位}$$

位扩展 1×16

字扩展 64×8



Chapter 7

Review Questions

7.3

答: I/O模块的主要功能或需求分为控制和定时、处理器通信、设备通信、数据缓冲、检错。

7.4

答:

① 编程式 I/O: 在请求 I/O 操作的程序直接且连续的控制下所发生的 I/O 操作

② 中断驱动式 I/O: 程序发出 I/O 命令后继续执行, 直到被 I/O 硬件中断, 通知它 I/O 操作完成。

③ 直接存储器存取 (DMA): 一个专门的 I/O 处理器接管 I/O 操作的控制, 在 I/O 设备与存储器之间直接传送大量数据。

7.5

答:

对于存储器映射式 I/O, 存储单元和 I/O 设备有单一的地址空间。处理器将 I/O 模块的状态和数据寄存器看成存储单元一样对待, 使用相同的机器指令访问存储器和 I/O 设备。在总线上只需要单一的读线和单一的写线。

对于分离式 I/O, 总线既有存储器的读线和写线, 同时也有输入和输出命令线, 命令线指定该地址是说明存储单元还是 I/O 设备。整个地址范围对两者都适用。I/O 端口只能被特定的 I/O 命令访问, 这种命令能激活总线上的 I/O 命令线。

7.6

答: 有 4 种技术:

① 提供多条中断线 ② 软件轮询 ③ 菊花链 (硬件轮询, 向量)

④ 总线仲裁 (向量)

7.7

答: 处理器不保存现场, 也不做其他事情, 而是等待一个总线周期。

Problems

7.6

(a) 打印速率为 $\frac{1}{60} = 5$ 个字符每秒。

(b) 60 ms 扫描一次。

7.8

答：优点：

① 不需要命令线

② 编址更灵活

缺点：

① 内存命令比 I/O 命令更长

② 编址逻辑更复杂

7.10

(a) 每字节中断一次，则 1 秒中断 8×1024 次

$$\frac{8 \times 1024 \times 100 \times 10^{-6}}{1} \times 100\% = 81.92\%$$

∴ 处理器 81.92% 的时间用于这个 I/O 设备

(b) 16 字节中断一次，则 1 秒中断 512 次

$$\frac{512 \times (100 + 8 \times 15) \times 10^{-6}}{1} \times 100\% = 11.264\%$$

∴ 处理器 11.264% 的时间用于此设备。

传送每个字节的时间减少6ns.

$$(C) \quad \frac{512 \times (100 + 8 \times 15 - 6 \times 16) \times 10^{-6}}{1} \times 100\% = 6.3488\%$$

∴ 处理器 6.3488% 的时间用于此设备.

7.12

$$9600 / 8 = 1200 \text{ Byte/s}$$

即 $\frac{1}{1200} \text{ s}$ 传 1 个字 即 DMA 每 $\frac{1}{1200} \text{ s}$ 秒窃取一次总线周期

取指周期为 $\frac{1}{1000000} \text{ s}$

$$\therefore \text{处理器速度减慢} \quad \frac{\frac{1}{1000000}}{\frac{1}{1200}} \times 100\% = 0.12\%$$