

# 2022 NYCU EE VLSI Lab Report

## HW01 A CMOS Multiplexer: Hspice Simulation

Student ID: 0810749 Name: 張君實 Date: 2022/10/4

### I. CMOS Driving Strength

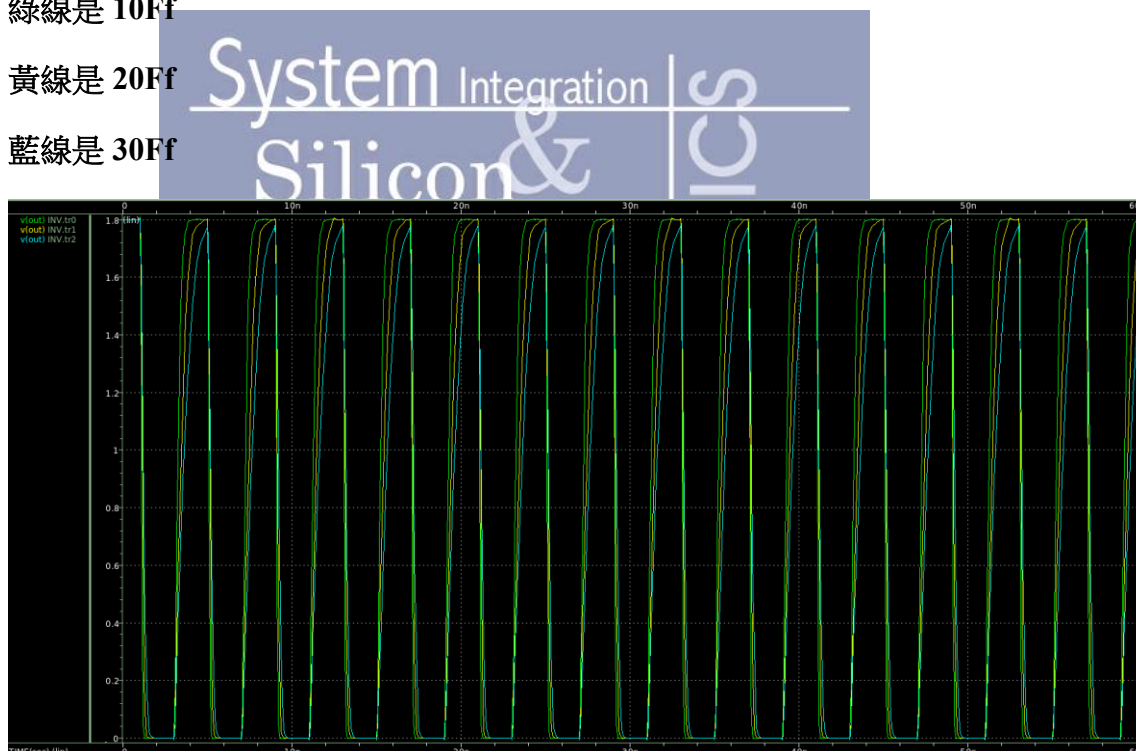
output loading	10f	20f	30f
Tr(s)	4.111e-10	7.777e-10	1.144e-09

Output voltage curve:

綠線是 10Ff

黃線是 20Ff

藍線是 30Ff



Questions:

1. What do you observe the difference of output rising time when altering the output load? Please explain it in detail.

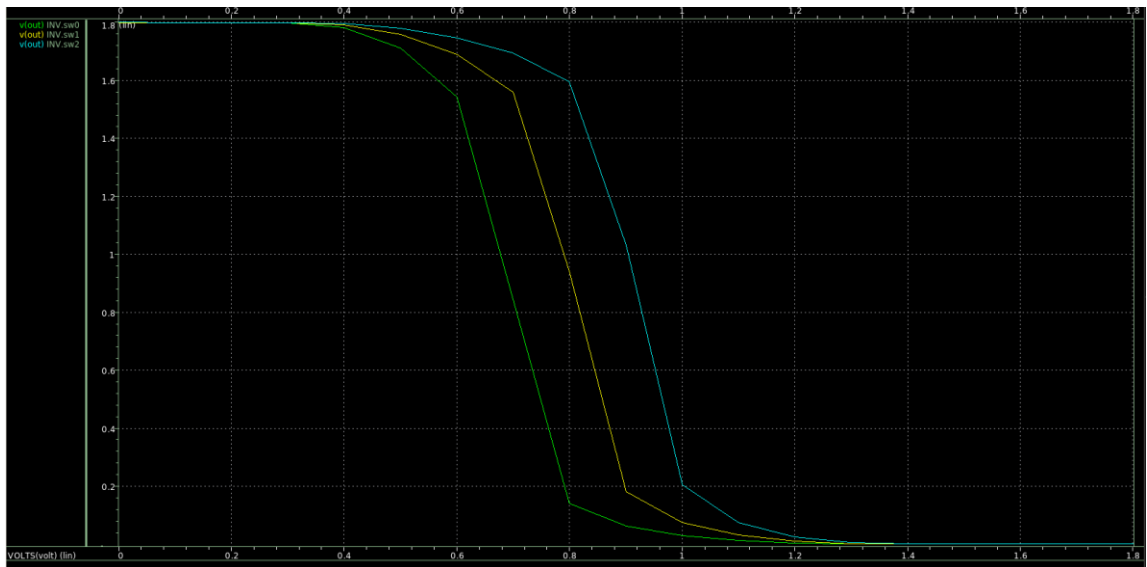
圖中可觀察到綠線，也就是 **output loading** 最小的 **inverter**，充電速度最快，藍線，也就是 **output loading** 最大的 **inverter**，充電速度最慢。我觀察到說 **output load** 會影響充放電速度，當 **output load** 越小，充放電速度越快，反之當 **output load** 越大，充放電速度越慢。電容就好比電池，越大的電池越慢充飽電，越慢消耗完，反之相反。

2. How to improve the driving capability of an inverter when the next stage's input capacitance is large? What is the side effect of your method?

就是將 **W/L** 變大，使得 **mobility** 變大，使充電速度變快。缺點就是 **W/L** 變大時，**glitch** 和 **clock coupling** 會更加的明顯，因此要在充電速度與 **glitch** 間取得一個平衡點。此外，提高 **VDD** 也是一種辦法，但功耗也會更大。

## II. CMOS Transfer Characteristics

Waveform picture:



綠線是 **beta = 0.5**

黃線是 **beta = 1**

藍線是 **beta = 2**

透過調製檔，可以得知

**Nmos mu=3.2613610E-02**

**Pmos mu= 7.1460100E-03**

然後我們知道 **beta ratio\* Nmos mu/ Pmos mu = width ratio**

於是得到以下結果。

Beta ratio	0.5	1	2
Width ratio	2.28194544928	4.56389089856	9.12778179711

Questions:

1. Compare the results of beta 2, 0.5, and your finding width ratio, what do you observe? Is that the same as the beta ratio that textbook suggests, i.e. 2, for your decision in PMOS width? What is the main reason leading to this?

我發現說當 **beta ratio** 越小，**Vout Vin** 關係圖的曲線會越往左偏，反之往右偏。然後發現實驗中 **beta ratio = 2** 時，剛好近似 **Vin=VDD/2** 時，**Vout=VDD/2**。

不過這不代表說 **beta ratio** 一定是多少，上下電流就一定平衡。原因是因為一來 **Vth** 不太一樣，所以就算 **beta ratio = 1**，也不能代表上下電流相等。再來電子學學的 **mosfet** 的公式僅供參考，那個是簡化後的公式，照著電子學公式算出來的 **beta = mu \* Cox \* W/L** 得到的 **width ratio**，實際上也會有 **bias** 有落差。至於要取多少，直接用 **hspice** 跑模擬取 **Vin=Vout=VDD/2** 最快。

不過還是能說明為甚麼 **PMOS** 的 **width** 比 **NMOS** 寬，這是因為通常 **PMOS** 的 **mobility** 比 **NMOS** 低，根據 **CMOS** 公式，可以得知 **PMOS** 的 **width** 要寬一點，才能使得上下電流相等。

2. Observe the current in Fig 2.26(d), what's the reason we want to keep the PMOS size to let the inverter work on this point C? (Hint: you can mention in these perspectives, power, speed, or noise margin)

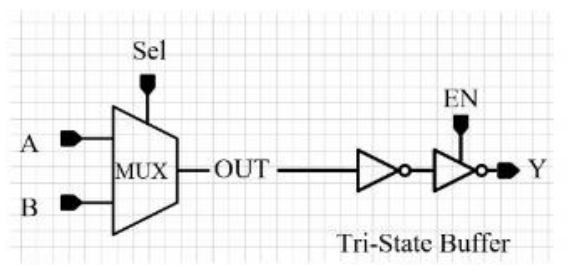
若 **vout-vin** 圖經過 **point C** 時，因為上下電流相同，充放電速度一樣，不會被拖慢。

此外，如果將 **vout-vin** 圖經過 **point C**，也代表說讓數位的 **1,0** 在 **VDD/2** 時反轉。假如訊號收到一些雜訊，因為 **threshold** 剛好在正中間，也最不容易使得訊息造成影響。

### III. CMOS Logic Gate Design

#### 1. Design code:

MUX and tristates:



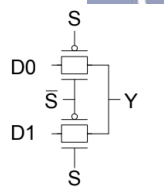
```

.subckt MUX A B SEL EN Y
X_SEL_INV SEL SEL_INV INV
X_EN_INV EN EN_INV INV
X_TRI1 A SEL SEL_INV OUT TRI
X_TRI2 B SEL_INV SEL OUT TRI
X_OUT_INV OUT OUT_INV INV
X_Y_NOISE OUT_INV EN_INV EN Y_NOISE TRI_INV
X_NODE1 Y_NOISE NODE1 INV
X_Y_NODE2 NODE1 Y INV
.ends

```

此外，為了讓輸出 **Y** 更加平穩，我又在 **Y** 後面接了兩顆 **inverter**。

**MUX:**



可看見 **MUX** 中會用到 **Tristate**

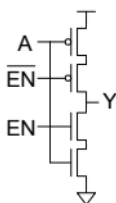
**Tristate** 的 **code** 如下:

```

.subckt TRI IN EN_P EN_N OUT
mp IN EN_P OUT VDD P_18_G2 l=0.18u w=wp
mn IN EN_N OUT GND N_18_G2 l=0.18u w=wn
.ends

```

**Tristate Inverter:**

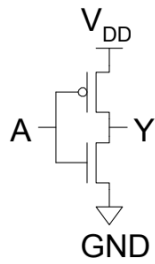


```

.subckt TRI_INV IN EN_P EN_N OUT
mp1 OUT EN_P mp1 VDD P_18_G2 l=0.18u w=wp
mp2 mp1 IN VDD VDD P_18_G2 l=0.18u w=wp
mn1 OUT EN_N mn1 GND N_18_G2 l=0.18u w=wn
mn2 mn1 IN GND GND N_18_G2 l=0.18u w=wn
.ends

```

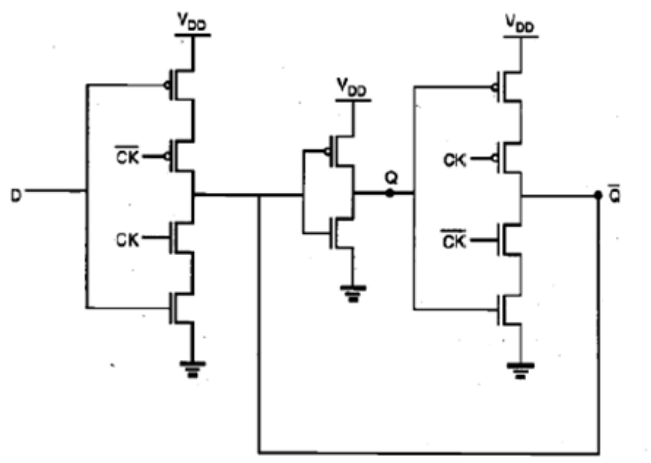
**Inverter:**



```
.subckt INV IN OUT
mp OUT IN VDD VDD P_18_G2 l=0.18u w=wp
mn OUT IN GND GND N_18_G2 l=0.18u w=wn
.ends
```

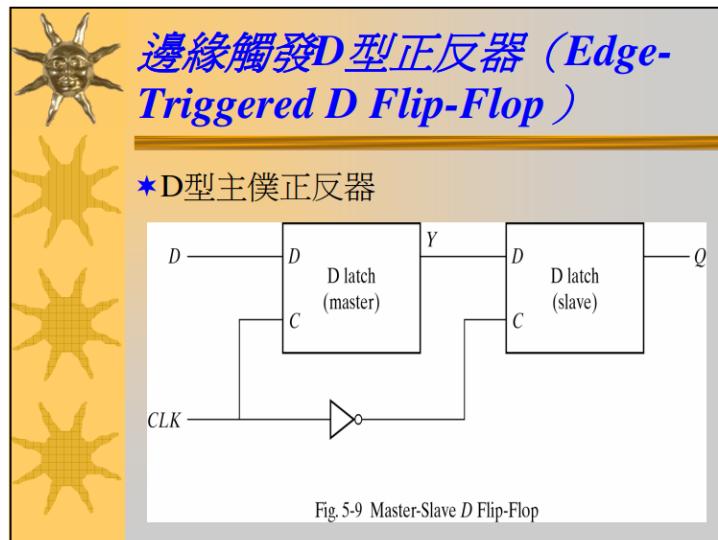
**BONUS:**

The architecture of d-latch:



```
.subckt D_latch D CLK CLK_INV Q Q_INV
X_TRI_INV_1 D CLK_INV CLK Q_INV_noise TRI_INV
X_Q_INV_noise Q_INV_noise Q INV
X_TRI_INV_2 Q CLK CLK_INV Q_INV_noise TRI_INV
X_Q_INV Q Q_INV INV
.ends
```

The architecture of d-flip-flop:



上面這張圖是負緣觸發，所以要將 clk 多加一個 inverter，才會變成正緣觸發。

把 MUX 和 DFF 接在一起：

```
.subckt MUX_seq A B SEL EN CLK Y_D
X_CLK CLK CLK_INV INV
X_MUX A B SEL EN Y MUX
X_DFF Y CLK_INV CLK Y_D Y_D_INV DFF
Cload Y GND load
.ends
```

稍微提一下，MUX 的部分，基本上我多用了許多 buffer，所以訊號很穩，缺點就是 buffer 會多消耗 mosfet。

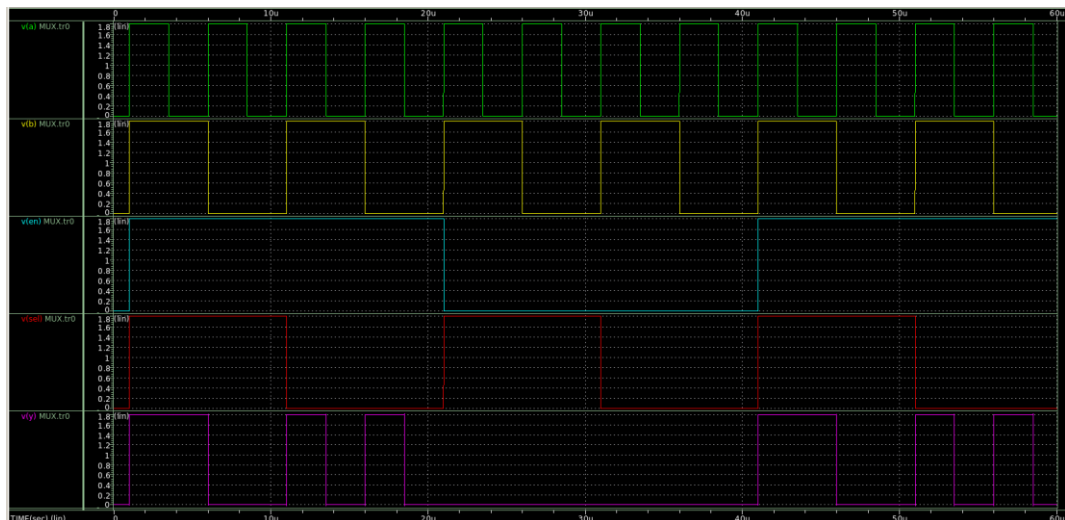
D flip flop 也是，因為我是做出兩個 d latch 下去拼接，而每個 d latch 的輸出也很穩，所以整體訊號很穩，缺點就是 mosfet 可能沒比助教給的 spec 少，但至少我照著助教給的 DFF spec 下去寫覺得訊號沒很穩定。

## 2. Input and output waveform(at least nine different setting):

為了方便觀察實驗結果，我調參比例非常大，大到能顯眼的看出各組波型的差異，基本上除了少數幾組看起來正常外，剩下都不正常，因為如果所有波型都正常，那也沒什麼好觀察了。如果助教想看這個程式的正常輸出，請看第一組波型。

(1).param load=10fF .param wp=1.02u .param wn=0.12u(正常的訊號)





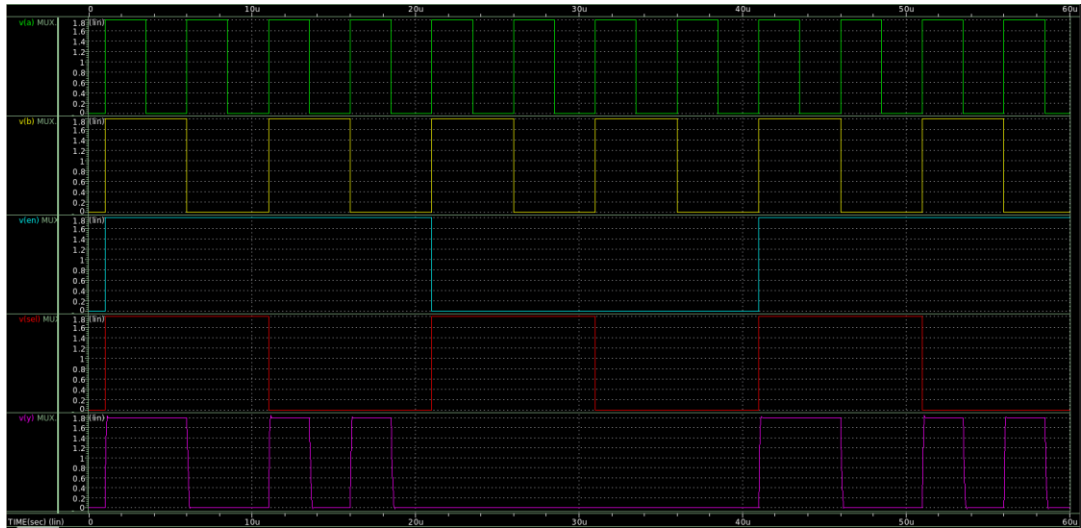
(2) .param load=10fF .param wp=0.51u .param wn=0.06u(壞掉的訊號，我覺得很有意思就丟上來了，並且後面有多做討論)



(3) .param load=10fF .param wp=10.2u .param wn=1.2u



(4).param load=10pF .param wp=1.02u .param wn=0.12u



(5).param load=10pF .param wp=0.51u .param wn=0.06u(壞掉的訊號，我覺得很有意思就丟上來了，並且後面有多做討論)

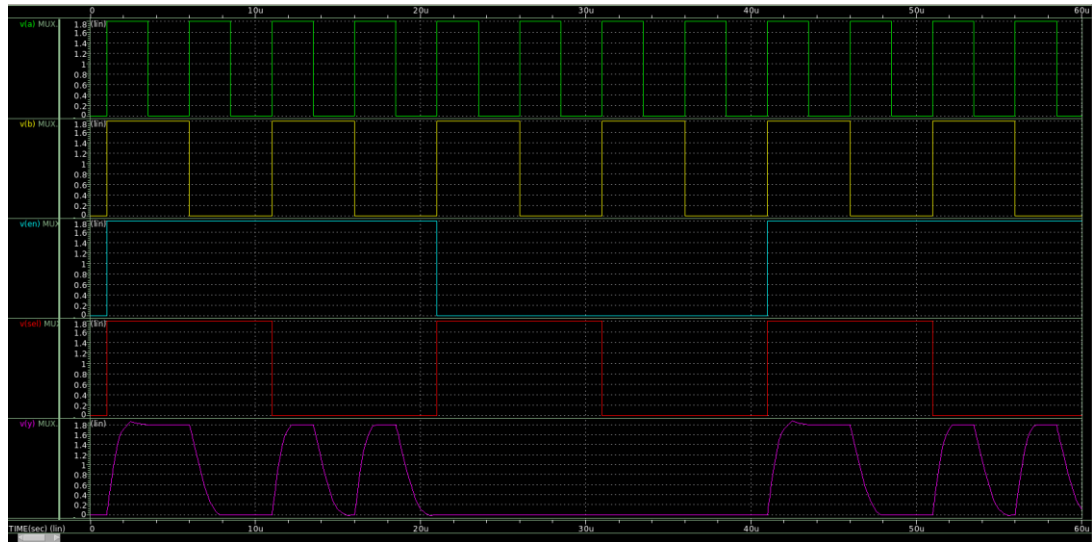


(6) .param load=10pF .param wp=10.2u .param wn=1.2u

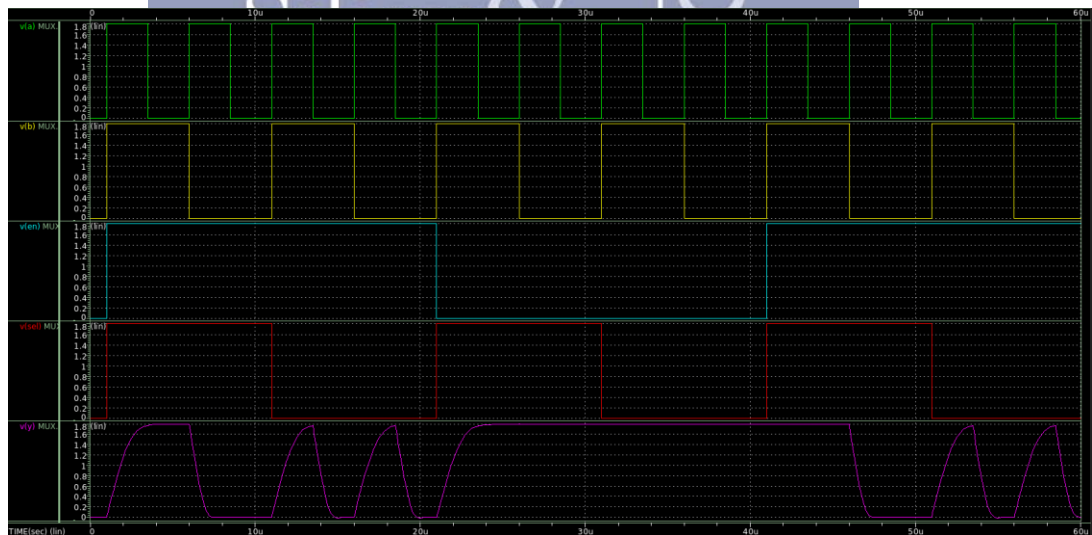


(7).param load=100pF .param wp=1.02u .param wn=0.12u

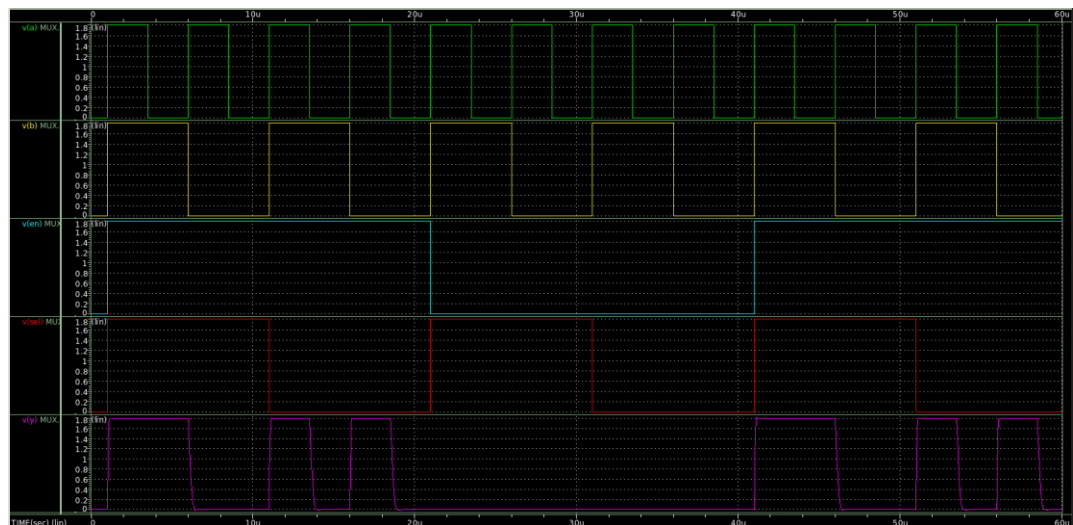




(8).param load=100pF .param wp=0.51u .param wn=0.06u(壞掉的訊號，我覺得很有意思就丟上來了，並且後面有多做討論)



(9) .param load=100pF .param wp=10.2u .param wn=1.2u



3. Describe how you measure the average power, propagation delay, rise, and fall time. You should show your code

**Average power** 就是測量時間內花的能量/測量時間。

**Propagation delay** 就是輸入訊號上升或下降到  $VDD/2$  時，使輸出訊號上升/下降到  $VDD/2$  所需要的時間。

**Rise time** 就是輸出訊號上升時，從  $0.1VDD$  到  $0.9VDD$  所需要的時間。

**Fall time** 就是輸出訊號下降時，從  $0.9VDD$  到  $0.1VDD$  所需要的時間。

code 如下:

```
***-----***
***      measurements      ***
***-----***
**measure power avg
.meas tran AVG_Ckt_Pwr AVG power

**measure propagation delay
.meas tran tprop trig v(A) val='supply/2' rise=1
+targ v(Y) val='supply/2' rise=1

**measure rise time
.meas tran tr trig v(Y) val='supply*0.1' rise=1
+targ v(Y) val='supply*0.9' rise=1

**measure fall time
.meas tran tf trig v(Y) val='supply*0.9' fall=1
+targ v(Y) val='supply*0.1' fall=1
```

測量結果:

(C,Wp,Wn)	AVG_PW	TPD	TRISE	TFALL
(10fF,1.02um,0.12um)	6.217e-07	2.485e-10	1.082e-10	1.465e-10
(10fF, 0.51um, 0.06um)	1.199e-05	2.242e-10	1.854e-10	9.867e-11
(10fF,10.2um,1.2um)	8.762e-06	2.913e-10	4.935e-11	7.279e-11
(10pF,1.02um,0.12um)	4.044e-06	3.683e-08	7.897e-08	1.243e-07
(10pF, 0.51um, 0.06um)	1.254e-05	7.301e-08	1.575e-07	8.809e-08
(10pF,10.2um,1.2um)	1.204e-05	4.002e-09	8.000e-09	2.522e-08
(100pF,1.02um,0.12um)	3.360e-05	3.640e-07	7.787e-07	1.259e-06
(100pF, 0.51um, 0.06um)	4.148e-05	7.373e-07	1.587e-06	8.777e-07
(100pF,1.02um,0.12um)	4.104e-05	3.742e-08	7.965e-08	2.496e-07

#### 4. Observations

- (1) 從第 7~第 9 組波型可以看出，當  $W/L$  越大，充電速度越快，且 **clock coupling** 越大，反之相反。

從第 1,4,7 組波型可以看出，當 **capacity loading** 越大時，充電速度越慢，反之相反。

上述結論又能呼應前面問題的結論。

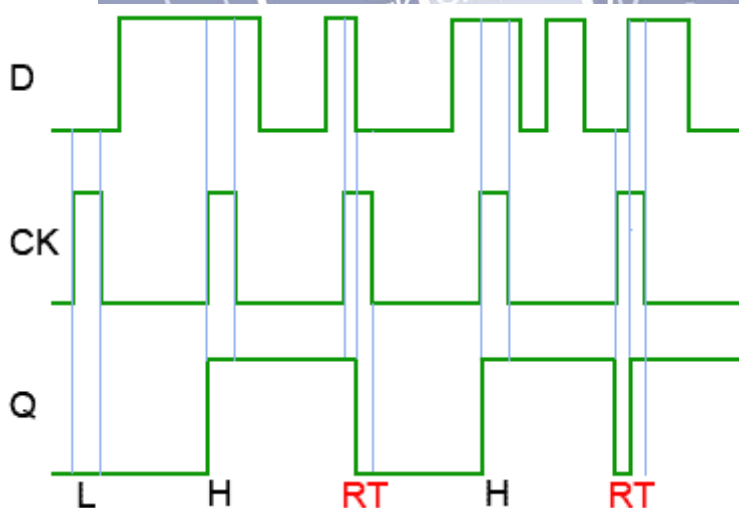
(2) 從第 1 組波型可看出，當 **output** 從 0 變 1 或從 1 變 0 時，會出現很小的雜訊，有一部分原因是因為輸入帶來的 **clock coupling**，通常這種很細微的雜訊可以透過讓 **W/L** 變小來壓低，尤其像這次的訊號是 **um** 量級，不像 **vlsi lab** 是 **nm** 量級，基本上調的還行是幾乎能忽略充電時間。

但是，這代表能一味壓低 **W/L** 的比例來降低輸出波型的雜訊嗎？第 2,5,8 組波型帶來了否定的結論，當 **W/L** 比例低到了一個很低的地步，像這三組 **Nmos** 的 **W/L** 只剩 0.33，這最後造成輸出錯誤。至於中途發生了甚麼事，看起來是因為 **tristate** 先讀到上升的訊號後，才將 **en** 變成 0。但至於為甚麼 **tristate** 會先讀到上升的訊號，這就比較類比，我也不是很懂。總之這件事告訴我們 **W/L** 的比例盡量設在一個合理的範圍，我個人認為 **W/L** 最少要有 1。

Question:

1. Explain why there are glitches in MUX combinational circuit sometimes, and how to fix it. Is it harmful for your overall design?

**Glitch** 對電路有非常大的危害。像說設計了一個 **d flip flop**，**d flip flop** 有個限制，假如是 **positive edge triggered**，那在 **clock** 是 1 的時間內，**D** 的訊號是不能亂變化的，否則就會像圖中的 **Q** 一樣輸出錯誤。若沒有 **glitch**，設計者可以通過算週期的方式確保 **D** 不會在 **clock=1** 時變化，但是只要出現 **glitch**，訊號 **D** 就有可能在 **clock=1** 時變化，就會影響到輸出 **Q**。



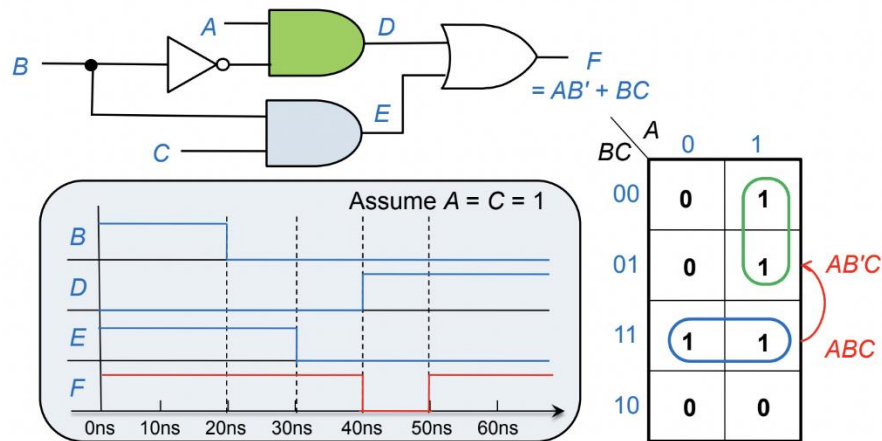
**Glitch** 會因為很多種原因發生，在 **FA combinational circuit** 比較常見的分別是 **hazard**。

**Hazard** 發生在過省 **gate** 的情況下，因為每個 **gate** 的 **propagation delay** 不同，導致出現短暫輸出錯誤，第一個解決方法就是增加冗餘項，將卡諾圖的所有圈圈連起來。

# 1-Hazards? When?

14

- e.g., assume each gate has a propagation delay of 10 ns  
If  $A = C = 1$ , **static-1 hazard** occurs when  $B$  changes from 1 to 0



Combinational circuit design & simulation

另外一種方法消除 glitch 是加個 buffer，強制將 glitch 壓掉，缺點就是成本變高，訊號要多經過幾個 gate，延遲時間增長。

2. Explain how you decide MOSFETs' width with fixed channel length in your circuit (Hint: explain with mobility of PMOS NMOS, prove it with HSPICE)?

教科書上都是寫說 2:1 是個不錯的比例。不過實務上最好是上電流和下電流一樣大，也就是接一顆 inverter 的情況下，當  $V_{IN} = V_{DD}/2$ ,  $V_{OUT} = V_{DD}/2$ 。所以我就拿 lab1 的 example 的 inverter 做 DC sweep，最後在  $w_p=10.2\mu m$   $w_n=1.2\mu m$  時，得到了下圖，也就是  $V_{in}=V_{out}=V_{DD}/2$ ，所以我最後  $w_p$  和  $w_n$  主要都設定成 10.2 和 1.2 $\mu m$ 。之所以  $w_p$  比  $w_n$  大很多的原因，是因為  $w_p$  的 mobility 比  $w_n$  慢。

