2022 NYCU EE VLSI Lab Report

Lab02 multiplexer with tristate buffer

Student ID: 0810749 Name: 張君實 Date: 2022/12/28

M Integration 🥠

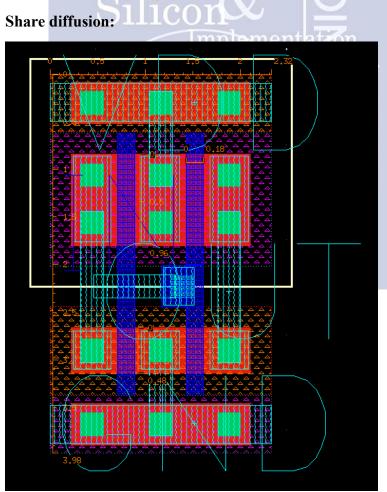
I. Layout dependent parasitic:

Layout picture with ruler (Please mention your W/L in words) 1.

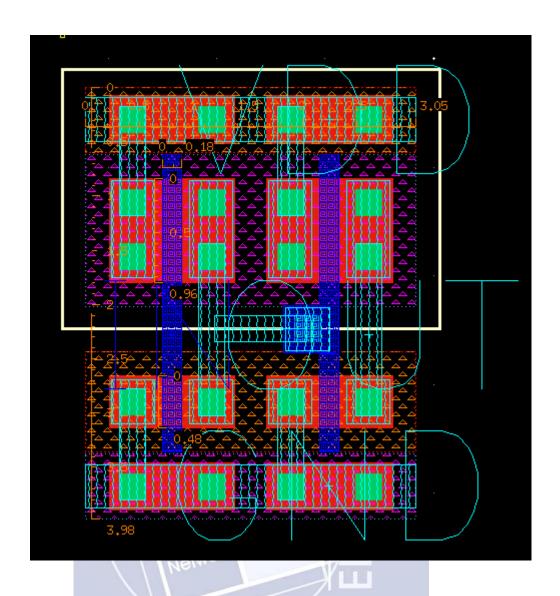
L 的話都是 0.18um

Nmos 的 W 是 0.48um

Pmos 的 W 是 0.96um



No share diffusion:



2. Compare the propagation delay, rising time, falling time, area and power for each other.

	Pre-	Post-sim	Post-sim
	sim	(No shared diffusion)	(shared diffusion)
Worst Rise Time (ns)	0.0286	2 0.03412	0.03423
Worst Fall time (ns)	0.0217	3 0.03133	0.03200
Worst Propagation Delay (ns)	0.0575	0.6064	0.0602
Average Power (uW)	7.148	8.428	8.426
Area (um^2)		12.139	9.2336

3. What's your observation in post-sim, is that the same as the lecture?

在這題中,我挑了inverter常用的寬度(wn=0.48um,wp=0.96um)下去跑postsim。 看了postsim的結果,發現說有沒有共用的情況下delay,share diffusion的上升 下降速度略慢於no share diffusion,好像跟上課所學的有點不太一樣。 依照我的看法,雖然我畫了大小滿正常的inverter,不過若要觀察共不共用 diffusion對效能的影響,diffusion面積似乎還是太小了,導致說其他因素對 performance影響比有沒有共用diffusion來的重要。至於對其他因素的分析,我又做了其他postsim,留到最後一個大題探討。

不過就算共用diffusion不一定對充放電速度和功耗有顯著的影響,肯定的是對面積有非常顯著的影響,畢竟上面的情況共用完diffusion後,面積直接少了1/4,所以畫layout時還是要盡可能的共用diffusion。

II. Long metal wire:

1. Layout picture with ruler (Please mention your W/L in words)

L 的話都是 0.18um

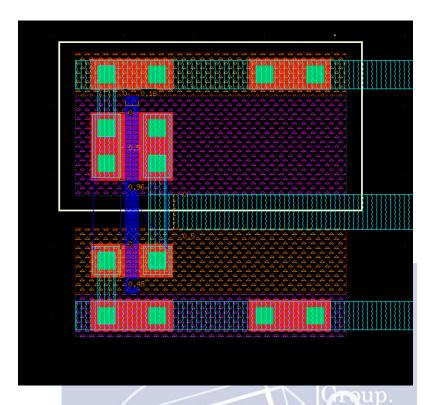
Nmos 的 W 是 0.48um

Pmos 的 W 是 0.96um

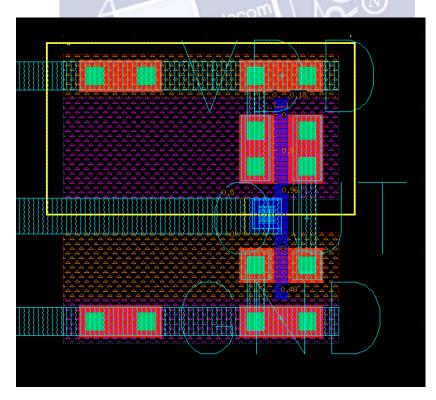
Without buffer:



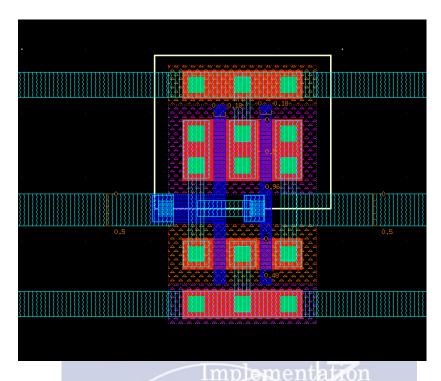
Implementation



右邊的 inverter:



中間的 buffer:



2. Compare the propagation delay(post-sim) for a long metal line with and without buffer.

	Pre-sim	Post-sim (without buffer)	Post-sim (with buffer)
Worst Propagation Delay	No_Buffer:0.0575	0.1455	0.2219
(ns)			

3. What's your observation in post-sim, is that the same as the lecture?

雖然上課都說 long wire 加上 buffer 可以減少 delay,但是從上面的實驗數據來看,加上 buffer 後速度不一定會變快。透過上課學過的 pi model,可以算出 buffer delay R'C'的值和導線 delay RC 的值,計算過程如下圖。算完以後我們發現 R'C'和 RC 約略相等。但透過計算,可以發現說在這次作業的條件下,當加上 buffer 時,導線 delay 變一半,但是buffer delay 變成原本的三倍。因為算出來的 R'C'和 RC 差不多,所以加了 buffer 後 delay 不會比較短。

Presim without buffer

P'C=0.0575 -(1)

Postsim without buffer

R'(C+C)+ R(\frac{C}{2}+C')

R'\(\frac{C}{2}+C'\)

R'\(\frac{C}{2}+C'\)

R'\(\frac{C}{2}+C'\)

R'\(\frac{C}{2}+C'\)

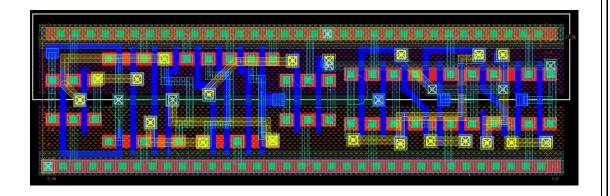
R'\(\frac{C}{2}+C'\)

R'\(\frac{C}{2}+C'\) = R'CTKC'+ RC+RC' =0.1455 =0.1 $= R'C+RC'+3R'C'+\frac{RC}{G}$ -12 2521g -(3) $(3)-(2) \Rightarrow 0.0764 = 2R'C' - \frac{RC}{4}$ RC = 0.115-0.0164 => RC=0.1544

III. Logic gate

Layout result

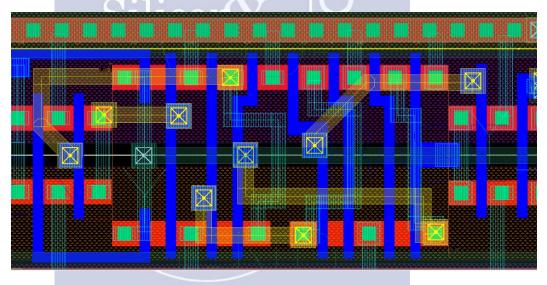
1. Layout picture with ruler



大小:17.56*5.04

題外話,我的 layout 符合這次 lab 要求的 standard cell 規格。

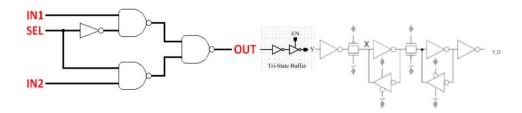
如下圖,沒共用的 diffusion 都切的開,沒有上下交錯重疊的情形。



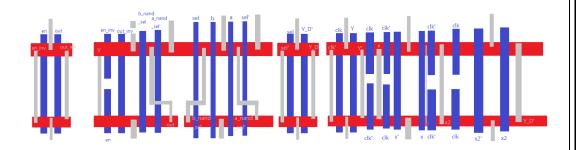
2. Design concept

(1) Stick Diagram / Circuit Schematic

Circuit Schematic:



Stick Diagram:



(2) Summary of structure (number of transistor / logic gate is used)

(XXXXXXX Time New Roman with size: 12)

因為需要 EN_bar 的訊號,DFF 前面的 MUX 總共會用到 3 個 inverter, 3 個 nand 和 1 個 tristate_inverter。因為需要 clock_bar 的訊號,DFF 會用到 5 個 inverter, 2 個 tristate 和 2 個 tristate_inverter。 總共用了 8 個 inverter, 3 個 nand, 2 個 tristate 和 3 個 tristate inverter。

然後因為每個 inverter 或 tristate 會用到 2 個 transistor。每個 NAND 或 tristate_inverter 會用到 4 個 transistor。根據上面算出來的 gate 數量,所以總共用了 2*8+3*4+2*2+4*3=44 個 transistor。

Simulation result

1. Timing report

Table 1: Post-sim of multiplexer (Unit: ps) (Measure Y, rather than Y_D)

Input order: a b sel en=1

Input	Ytd	Ytr	Ytf
0001→0011			
0011 > 0101			
0101→0111	272.6	225.6	
0111→1001			
1001 -> 1011	222.4		71.95
1011 -> 1101	170.4	230.6	
1101 → 1111			
1111→0001	183.4		74.33

^{*}Note 1: Please identify -- when no value, *Note 2: Remember to highlight worst case

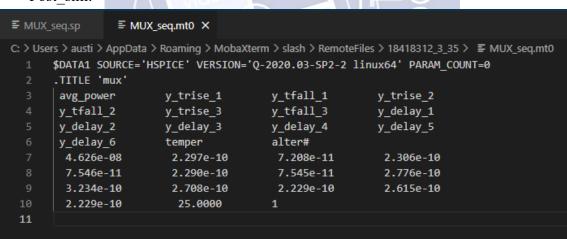
Table 2: Simulation Summary

	Spec.	Pre-sim	Post-sim
Worst Rise Time	< 0.6ns	1.781e-10s	2.306e-10s
Worst Fall time	< 0.6ns	5.547e-11s	7.546e-11s
Worst Propagation Delay	< 1ns	2.898e-10s	3.234e-10s
Average Power	< 100uw	3.376e-08w	4.626e-08w

(*paste measurement result of hspice, i.e. .mt0) Presim:

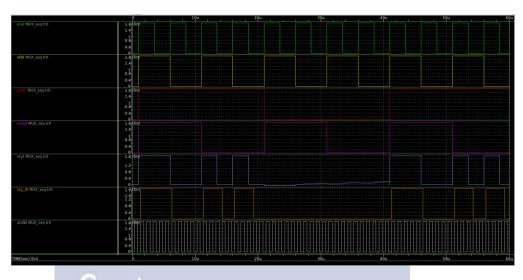
```
C: > Users > austi > AppData > Roaming > MobaXterm > slash > RemoteFiles > 18418312_3_15 > ≡ MUX_seq.mt0
      $DATA1 SOURCE='HSPICE' VERSION='Q-2020.03-SP2-2 linux64' PARAM_COUNT=0
       .TITLE 'mux'
                         y_trise_1
                                           y_tfall_1
                                                             y_trise_2
       avg_power
       y_tfall_2
                         y_trise_3
                                           y_tfall_3
                                                             y_delay_1
       y_delay_2
                         y_delay_3
                                           y_delay_4
                                                             y_delay_5
       y_delay_6
                         temper
                                           alter#
        3.376e-08
                          1.781e-10
                                            5.300e-11
                                                              1.770e-10
        5.547e-11
                          1.774e-10
                                            5.547e-11
                                                              2.329e-10
         2.898e-10
                          2.309e-10
                                            1.829e-10
                                                              2.163e-10
        1.829e-10
                           25.0000
```

Post sim:

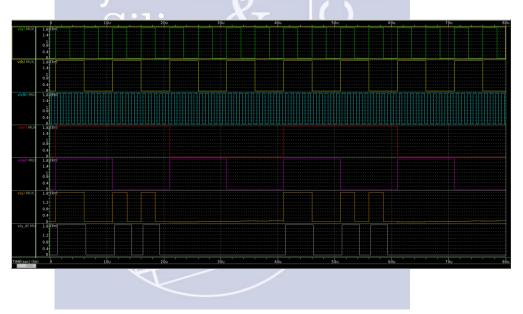


2. Output waveform

(1) Pre-sim

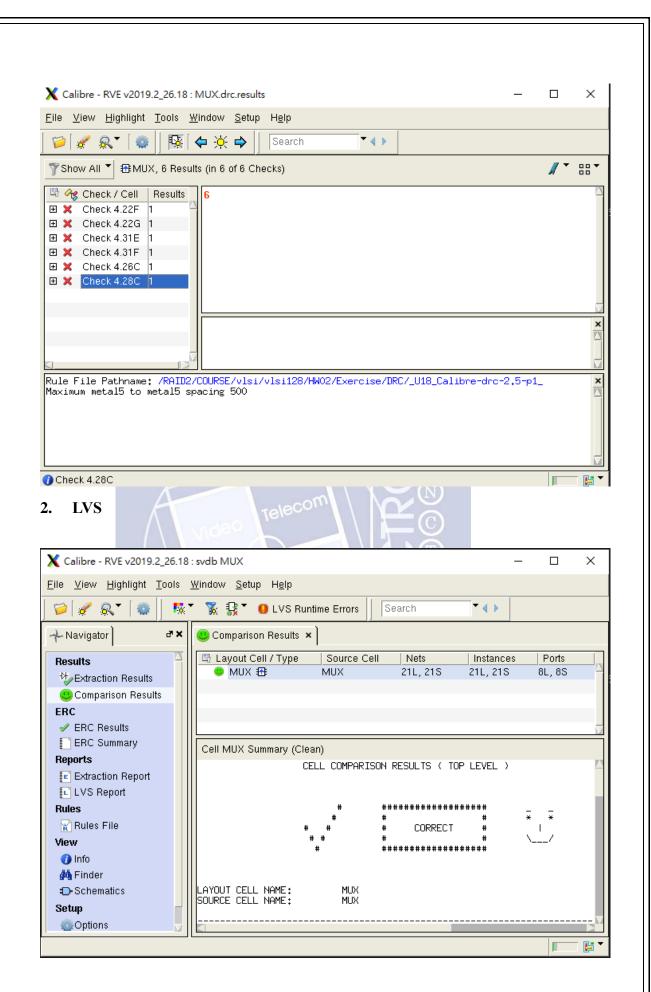


(2) Post-simyStem Integration (



Verification result

1. DRC



Discussion

1. How to reduce your area of layout? What are advantages and disadvantages of reducing area?

(XXXXXXX Time New Roman with size: 12)

我減少 layout 的方法主要是共用 diffusion。舉例來說,像說我將 3 個 nand 和 1 個 tristate_inverter 共用成一塊。另外將 3 個 inverter,2 個 tristate 和 2 個 tristate_inverter 共用成另一塊。透過大量共用,可以盡可能的壓面積下來。

此外,因為這次的 spec 速度上沒什麼要求,所以我就直接將所有 mos 寬度設為最小,而將所有 mos 寬度設為最小的好處在於,可以在遵守 standard cell 的規定下,盡可能的將所有 diffusion 透過巧妙的高低差,使 得兩個 diffusion 的水平距離大於 0 小於 0.28。透過這個方法,我又省了 2*(0.28-0.01)=0.54 的距離。

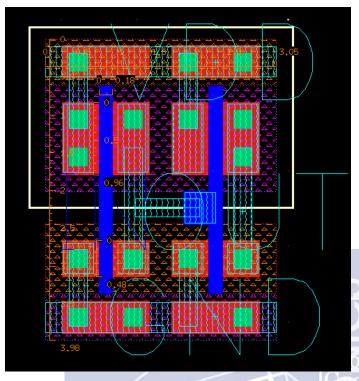
Layout 面積減少的直接好處在於,功耗和面積的減少。

缺點也很明顯,像是繞線問題,平行板電容效應,還有為了壓面積而沒將 mosfet 寬度調到完美比例,導致這次 lab 中充電速度比放電速度慢個 3 倍之類的。

2. Any else? (optional)

(XXXXXXX Time New Roman with size: 12)

為驗證我第一題的想法,也就是說其他因素在wn=0.48um,wp=0.96um的情形下更加容易影響第一題的結果。我又多跑了一個沒共用diffusion的情況,只是這次我拔了4個contact,讓有沒有共用diffusion的情況下有差不多的contact數量,具體layout如下圖,具體數據如下表。



	WINUD.		
	Post-sim	Post-sim	
A	(No shared diffusion	(shared diffusion	
/\ Vide	and 16 contacts)	and 15 contacts)	
Worst Rise Time (ns)	0.03423	0.03423	
Worst Fall time (ns)	0.03200	0.03200	
Worst Propagation Delay (ns)	0.0602	0.0602	
Average Power (uW)	8.426	8.426	
Area (um^2)	12.139	9.2336	

在diffusion大小不是很大的情況下,沒共用diffusion的那組拔到剩16顆 contacts後,其performance跟有共用diffusion,有15顆contacts那組一模一樣。我看到了數據也很驚訝,還重新postsim好幾遍檢查數據。沒想到contacts的數量在小面積的layout中影響比有沒有共用diffusion還更影響performance。

從這個驗證中我體會到,原來少打contacts對電路的performance也不小,以後 畫電路也要盡可能的把contacts畫滿。