

1. 计算机硬件由__运算器__、控制器、存储器、输入设备和输出设备五大部件组成。
2. 软件通常分为系统软件和__应用软件__两大类。
3. 数 x 的真值为-0.1011B，其原码表示为__1.1011__。
4. 已知“啊”的国际码为 3021H，其汉字机内码为__B0A1H__H。
5. 目前国际上普遍采用的字符编码系统是__ASCII 码__。
6. 指令通常由__操作码__字段和地址码字段两部分组成。
7. 一个字节等于__8__位二进制。
8. RISC 的中文含义是__精简指令系统计算机__。
9. 一个 4MB 的 SRAM 芯片，其地址线是__22__位。
10. 逻辑运算是按__位__进行的。
11. 要组成容量为 4K*8 位的存储器，需要__8__片 4K*1 位的存储芯片。
12. 微程序控制方式的核心部件是__控制存储器__。
13. 常见的硬拷贝输出设备为__打印机__。
14. 10 个 32×32 点阵的汉字字模信息共占用__1280__个字节的存储空间。
15. 在中断保护现场之前需要__关__中断。
1. 下列数中最大的数为__（1000）₁₆__。
2. 若待编信息位为 1 0 1 1 0 1 1，则该代码的奇校验码为__1 0 1 1 0 1 1 0__。
3. 指令系统中采用不同寻址方式的目的主要是__B. 缩短指令长度，扩大寻址空间，提高编程灵活性
4. 堆栈指针 SP 的内容是__B 栈顶单元地址
5. 浮点加减中的对阶__A. 将较小的一个阶码调整到与较大的一个阶码相同
6. 存储器进行一次完整的读写操作所需的全部时间称为__B. 存取周期
7. 衡量存储容量的常用单位有__D. B、KB、MB 和 GB
8. 在不同速度的设备之间传送数据，__B 必须采用异步控制方式
9. 在机器数__C_ 补码__中，零的表示形式是唯一的。
10. 中断系统是由__D_软硬件结合__实现的。
11. 为允许多重中断，通常将现场及断点保存在__D_堆栈__中。
12. 操作数在主存中，而操作数的地址在寄存器中的寻址方式称为__C__寄存器间接寻址__。
13. 在双符号位运算的方案中，当结果为负数且不发生溢出，双符号位应当为__D_11__。01
14. 在 DMA 传送方式中，由__A_外部设备__发出总线请求。
15. 采用 DMA 方式传送数据时，每传送一个数据要占用__C__一个存储周期__的时间。
1. BCD 码是有冗余状态的编码。（√）
2. 转子指令是一条零地址指令。（×）

3. 累加寄存器具有加法和寄存器的功能。（×）
4. 浮点数对阶的原则是：大阶向小阶看齐。（×）
5. 动态 RAM 存储单元电容用来存储信息。（√）
6. cache 一般采用静态存储器实现。（√）
7. 指令周期又称为 CPU 周期。（×）
8. 磁盘存储容量即为磁盘的格式化容量。（√）
9. 字符显示器的 VRAM 中存放着字符的行点阵信息。（×）
10. 中断请求的响应时间，必须安排在每个指令周期的末尾。（√）
- 四. （6 分）某机字长 32 位，用补码表示定点整数，写出下列几种情况的数值：

1. 最大正数: $2^{31}-1$
2. 最小正数:1
3. 绝对值最大的负数: -2^{31}
- 注：零除外。

五. （8 分）假定指令格式如下：

15	12	11	10	9	8	7	0
OP	I1	I2	Z/C	D/I	A		

有关寄存器内容（十六进制）：

PC: 3FEAH I1: 2763H I2: 6A8DH

主存容量 2^{16} 字，字长 16 位，主存共分为 2^8 个页面，每个页面有 2^8 个字。

各标志位的含义为：

I1=1，变址寄存器 1 寻址；

I2=1，变址寄存器 2 寻址；

Z/C（零页/现行页）=1，指令所在页面寻址；

D/I（直接/间接）=1，间接寻址。

试计算下列指令的有效地址。

A.D4C1H B.E253H C.C017H D.2828H

答案：

- A. $EA=(I2)+A=6A8D+C1=6B4EH$
- B. $EA=(PC)//A=3F//53=3F53H$
- C. $EA=A=0017H$
- D. $EA=(I1)+A=2763+28=278BH$

六. (10 分) 已知 $X = -\frac{11}{16}$, $Y = \frac{13}{16}$, 用补码加减交替除法计算 $X \div Y$ 的值。完成以上运算,

需要几个寄存器? 它们各自的作用是什么? 各个寄存器的初值是什么? 要求写出运算的中间过程。

完成以上除法运算, 需要三个寄存器 A, B, C。A 寄存器用来存放被除数和余数(扩大了若干倍), B 寄存器用来存放除数, C 寄存器用来存放商。它们的初值是:

$$[X]_{\text{补}} = 1.0101 \rightarrow A, [Y]_{\text{补}} = 0.1101 \rightarrow B, 0 \rightarrow C, [-Y]_{\text{补}} = 1.0011$$

$$X = -\frac{11}{16} = -0.1011, Y = \frac{13}{16} = 0.1101$$

$$[X]_{\text{补}} = 1.0101, [Y]_{\text{补}} = 0.1101, [-Y]_{\text{补}} = 1.0011$$

	A	C
	11.0101	0.0000
$+ [Y]_{\text{补}}$	<u>00.1101</u>	
	00.0010	00001
←	00.0100	
$[-Y]_{\text{补}}$	<u>11.0011</u>	
	11.0111	00010
←	10.1110	
$+ [Y]_{\text{补}}$	<u>00.1101</u>	
	11.1011	00100
←	11.0110	
$+ [Y]_{\text{补}}$	<u>00.1101</u>	
	00.0011	01001
←	00.0110	
$[-Y]_{\text{补}}$	<u>11.0011</u>	
	11.1001	10011

$$[x/y]_{\text{补}} = 1.0011 + 1.1001 * 2^{-4} / 0.1101$$

$$x/y = -0.1101 + (-0.0111) * 2^{-4} / 0.1101$$

七. (12 分) 设有若干片 $1K \times 8$ 位的 SRAM 芯片, 构成 $4K \times 32$ 位的存储器。

1. 该机所允许的最大主存空间为多少字节? **16K 字节**
2. 该机需要多少 SRAM 芯片? **16 片 SRAM 芯片**

3. 写出字扩展各组芯片的地址分配。

第一组 000H—3FFH

第二组 400H—7FFH

第三组 800H—BFFH

第四组 C00H—FFFH

4. 画出该存储器与 CPU 连接的结构图。注意画出与 CPU 连接的地址、数据、控制线以及选片逻辑?

选片逻辑:

第一组 A11'A10'

第二组 A11'A10

第三组 A11A10'

第四组 A11A10

1. CPU 中有哪些主要的寄存器, 这些寄存器的作用是什么?

在 CPU 中至少要有六类寄存器: 指令寄存器 (IR)、程序计数器 (PC)、地址寄存器 (AR)、数据寄存器 (DR)、累加寄存器 (AC)、程序状态字寄存器 (PSW)。这些寄存器用来暂存一个计算机字, 其数目可以根据需要进行扩充。

1. 数据寄存器

数据寄存器的作用是:

- (1) 作为 CPU 和主存、外围设备之间信息传送的中转站;
- (2) 弥补 CPU 和主存、外围设备之间在操作速度上的差异;
- (3) 在单累加器结构的运算器中, 数据寄存器还可兼作操作数寄存器。

2. 指令寄存器

指令寄存器 (Instruction Register, IR) 用来保存当前正在执行的一条指令。当执行一条指令时, 首先把该指令从主存读取到数据寄存器中, 然后再传送至指令寄存器。

3. 程序计数器

程序计数器 (Program Counter, PC) 用来指出下一条指令在主存储器中的地址。

4. 地址寄存器

地址寄存器 (Address Register, AR) 用来保存 CPU 当前所访问的主存单元的地址。

由于在主存和 CPU 之间存在操作速度上的差异, 所以必须使用地址寄存器来暂时保存主存的地址信息, 直到主存的存取操作完成为止。

5. 累加寄存器

累加器的功能是: 当运算器的算术逻辑单元 ALU 执行算术或逻辑运算时, 为 ALU 提供一个工作区, 可以为 ALU 暂时保存一个操作数或运算结果。显然, 运算器中至少要有有一个累加寄

寄存器。

6. 程序状态字寄存器

程序状态字（Program Status Word, PSW）用来表征当前运算的状态及程序的工作方式。

程序状态字寄存器用来保存由算术/逻辑指令运行或测试的结果所建立起来的各种条件码内容，如运算结果进/借位标志（C）、运算结果溢出标志（O）、运算结果为零标志（Z）、运算结果为负标志（N）、运算结果符号标志（S）等，这些标志位通常用 1 位触发器来保存。

2. DMA 方式为什么能实现高速外设与主存间的信息交换？DMA 的传送方法有几种？

设备若采用程序查询方式或程序中断方式来实现主机和外设之

间的数据交换，都是通过 CPU 执行程序来完成，数据交换都是以字或字节为单位，所以两种方式都不能满足批量数据的高速传递需求，从而极可能造成数据的丢失。因此，需要借助于硬件，比如 DMA 控制器来实现主存和高速外设之间的直接数据传送。

传送方法：

1. 单元传送方式（单字节传送方式）

2. 块传送方式（连续传送方式）

3. on-the-fly 传送方式（请求传送方式）

1. 主机由 CPU 和____主存储器____组成。

2. $[-0]_{反}$ 表示为____11111111____。

3. 8 位补码定点整数所能表示的绝对值最大负数的真值是____-128____。

4. 已知 8 位补码为 00001111，其对应的 8 位移码是____10001111____。

5. $(1978)_{10} = (\underline{0100\ 1100\ 1010\ 1011})_{余3码}$

6. 在 7 位 ASCII 码中，字母“A”的 ASCII 码是 1000001，不查表可知字母“F”的 ASCII 码是____1000110____。

7. 若某一数据为 10101010，采用奇校验，其校验位为____1____。

8. 已知某汉字的国标码为 324AH，其机内码为____B2CA____H。

9. 三态门电路比普通门电路多一种____浮空/高阻____状态。

10. 寄存器直接寻址时，操作数在____寄存器____中。

11. 对于自底向上生成的软堆栈，若栈指针总是指向栈顶满单元，出栈时，栈指针应____+1/增量____。

12. CISC 的中文含义是____复杂指令系统计算机____。

13. 微程序控制计算机中的微指令寄存器是用来存放____微指令____的。

14. 常见的软拷贝输出设备为____显示器____。

15. 在中断服务程序中，保护和恢复现场之后需要____开____中断。

1. 完整的计算机系统应包括____D____ D. 配套的硬件设备和软件系统。

2. 下列数中最小的数为：____A____ A. $(101001)_2$

3. 在双符号位判断溢出的方案中，出现负溢出时，双符号位应当为____C____ C. 10。

4. 存储器进行一次完整的读写操作所需的全部时间称为____B____ B. 存取周期。

5. 静态随机存储器是利用____A____ A. 双稳态触发器来存储信息的。

6. 在主存和 CPU 之间增加高速缓冲存储器的目的是 A. 解决 CPU 和主存之间的速度匹配问题

7. 微程序控制器中，微程序的入口地址是由____C____ C. 机器指令的操作码字段形成的。

8. 中断向量地址是指____C____ C. 中断服务程序入口地址或中断向量表的指针。

9. DMA 方式是在____A____ A. I/O 设备和主存之间建立一条直接数据通路。

10. n 位二进制定点整数表示的最大值是____D____ D. $2^{n-1}-1$

11. 已知大写字母 O 的 ASCII 码为十六进制数 30H，则字母 6 的 ASCII 码为____D____ D. 36H。

12. 操作数在主存中，而操作数的地址在寄存器中的寻址方式称为____B____ B. 寄存器间接寻址。

13. 下列逻辑部件中，不包括在运算器内的是____D____ D. 指令寄存器

14. 微程序控制器的速度比组合逻辑控制器慢，主要是因为____B____ B. 增加了从控制存储器读取微指令的时间。

15. 磁盘读写信息的最小单位是____C____ C. 扇区

(√) 1. 存储程序的基本含义是将编好的程序和原始数据事先存入主存中。

(×) 2. 返回指令一定是一条一地址指令。

(√) 3. 影响并行加法器的关键因素是进位信号的传递时间。

(×) 4. CPU 访问存储器的时间是由存储体的容量决定的，存储容量越大，访问存储器所需时间就越长。

(√) 5. 并非所有的随机存储器都需要定时地进行刷新。

(×) 6. 指令周期是指 CPU 从主存中读出一条指令的时间。

(×) 7. 取指周期也要受到具体指令的操作码字段的控制。

(√) 8. 在字段编码法中，应将互斥的微命令安排在同一字段内。

(×) 9. 字符显示器的 VRAM 中存放着字符的行点阵码。

(√) 10. DMA 请求的响应时间，可以安排在每个机器周期的末尾。

四. (6 分) 某浮点数长 16 位，阶码部分 6 位，尾数部分 10 位（各包含 1 位符号位），均用补码表示，写出下列几种情况的数值：

4. 最大正数： $(1-2^{-9}) \times 2^{31}$

2. 规格化的最小正数： $2^{-1} \times 2^{-32}$

3. 绝对值最大的负数： -1×2^{31}

五. (8 分) 假定指令格式如下：

15	12	11	10	9	8	7	0
OP		I1	I2	Z/C	D/I	A	

有关寄存器内容（十六进制）：

PC：08E8H I1：0563H I2：668DH

主存容量 2^{16} 字，字长 16 位，主存共分为 2^8 个页面，每个页面有 2^8 个字。

各标志位的含义为：

I1=1，变址寄存器 1 寻址； I2=1，变址寄存器 2 寻址；

Z/C（零页/现行页）=1，指令所在页面寻址；D/I（直接/间接）=1，间接寻址。

试计算下列指令的有效地址。

A.D431H B.E253H C.C009H D.2828H

答案：

A.EA=(I2)+A=668D+31=66BEH

B. EA=(PC)//A=08//53=0853H

C. EA=A=0009H

D. EA=(I1)+A=0563+28=058BH

六．（10 分）已知： $X=\frac{13}{16}$ ， $Y=(-\frac{11}{16})$

求： $X\times Y$

完成以上运算，需要几个寄存器？它们各自的作用是什么？各个寄存器的初值是什么？

假设采用补码 Booth 法进行运算，要求写出运算的中间过程。

完成以上乘法运算，需要三个寄存器 A，B，C。A 寄存器用来存放部分积和乘积的高位部分，B 寄存器用来存放被乘数，C 它用来存放乘数。它们的初值是：

$[X]_{补}=0.1101\rightarrow B$ ， $[Y]_{补}=1.0101\rightarrow C$ ， $0\rightarrow A$ ， $[-X]_{补}=1.0011$

结果： $[X\times Y]_{补}=1.01110001$ ， $X\times Y=-0.10001111$

过程略（请参考模拟题二答案）。

七．（12 分）设有一个具有 16 位地址和 16 位字长的存储器，问：

1. 该存储器能存储多少字节的信息？**128KB**
2. 如果存储器由 $8K\times 8$ 位的 RAM 芯片组成，需要多少芯片？**16 片**
3. 写出字扩展各组芯片的地址分配。

第一组 0000H—1FFFFH

第二组 2000H—3FFFFH

第三组 4000H—5FFFFH

第四组 6000H—7FFFFH

第五组 8000H—9FFFFH

第六组 A000H—BFFFFH

第七组 C000H—DFFFFH

第八组 E000H—FFFFFH

4. 画出这个存储器的逻辑框图，注意画出与 CPU 连接的地址、数据、控制线以及选片逻辑。

八．问答题：（每题 12 分，共 24 分）

1. 微程序控制计算机中的控制器比组合逻辑控制器要多出哪些器件？它们的作用如何？微程序控制的计算机共涉及哪两个层次？

主要表现在处理指令执行步骤的办法，提供控制信号的方案不一样。微程序的控制器是通过微指令地址的衔接区分指令执行步骤，应提供的控制信号从控制存储器中读出，并经过一个微指令寄存器送到被控制部件。组合逻辑控制器是用节拍发生器指明指令执行步骤，用组合逻辑电路直接给出应提供的控制信号。

微程序控制器主要由控制存储器、微指令寄存器和地址转移逻辑三大部分组成。

组合逻辑控制的特点

组合逻辑控制方法包括硬连线方法与门阵列方法两种。

硬连线方法是分立元件时代的产物，采用这种方法的一项重要指标是尽量减少所用的逻辑门数目，以降低成本。但这样造成控制器结构不规整，各种操作控制信号以明显的随机形式散布在整个计算机中，不便于维修，可靠性低，并且造价高。

而门阵列方法则是用大规模集成电路来实现上述随机逻辑，从而克服了前者的缺点。

组合逻辑控制的特点如下：

- （1）组合逻辑控制的设计和调试均非常复杂，且代价很大。
 - （2）与微程序控制相比，组合逻辑控制的速度较快，其速度主要取决于逻辑电路的延迟。
- 因此，尽管微程序控制技术已经在现代计算机设计中被广泛采用，但是近年来在某些新型的超高速计算机结构中，又重新选用了组合逻辑控制器，或与微程序控制器混合使用。

第三问答案：

微程序控制的计算机涉及到两个层次：一个是机器语言或汇编语言程序员所看到的传统机器层，包括：机器指令、工作程序和主存储器；另一个是机器设计者看到的微程序层，包括：微指令、微程序和控制存储器。

2. 主机与外设间的信息交换方式有哪几种？其中哪一种方式可以用于对随机事件进行处

理？CPU 响应时应满足什么条件？

- 第一问：1. 辐射式
2. 总线式
3. 通道式

第二问：没有找到正确答案，自我感觉应该是辐射式

- 第三问：1、有中断源发出的中断请求；
2、中断总允许位 EA=1，即 CPU 开中断；
3、申请中断的中断源的中断允许位为 1，即中断没有被屏蔽；
4、无同级或更高级中断正在被服务；
5、当前的指令周期已经结束

1. CPU 由运算器和__控制器__组成。
2. 八进制数 37.4Q 转换成二进制数为__011111.100__。
3. $(2578)_{10} = (\underline{\hspace{2cm}}0010\ 0101\ 0111\ 1000\underline{\hspace{2cm}})_{8421\text{码}}$
4. 若某一数据为 10101010，采用奇校验，其校验位为__1__。
5. 对于自底向上生成的软堆栈，若栈指针总是指向栈顶满单元，进栈时，栈指针应__-1/减量__。
6. 浮点加减运算首先要对阶，对阶应遵循__小阶向大阶看齐__的原则。
7. MOS 型半导体存储器可分为 SRAM 和__DRAM__两种类型。
8. 一个 $16\text{M} \times 32$ 的存储芯片有__24__条地址线。
9. 完成一条机器指令的一系列微指令的有序集合称为__微程序__。
10. 显示器的视频存储器（VRAM）的容量是由__分辨率__和灰度级决定的。
11. 寄存器间接寻址时，操作数在__主存__中。
12. 在采用中断向量表确定处理程序入口地址的计算机中，中断向量是__中断服务程序入口地址的地址__。
13. 外设的识别方法有两种，它们是统一编址和__独立__编址。
14. 已知 $X = -0.1010101$ ，则 $[1/2X]_{\text{补}} = \underline{\hspace{2cm}}1.10101011\underline{\hspace{2cm}}$ 。
15. 8 位无符号整数所能表示的最大数的真值是__255__。

1. n 位二进制定点整数表示的最大值是__D__ $2^{n-1}-1$
2. 下列数中最大的数为：__B__ (227)₈
3. 为了缩短指令中某个地址段的位数，有效的方法是采取__D__ 寄存器寻址
4. 定点数作补码加减运算时，其符号位是__B__ 与数位一起参与运算
5. 下列逻辑部件中，__C__指令寄存器__不包括在运算器内。

6. 某计算机的字长是 16 位，它的存储容量是 64KB，若按字编址，那么它的寻址范围应该是__C__ 0—32K
7. 可一次性编程的只读存储器是__B__ PROM __。
8. 下列说法中，合理的是__C__执行各条指令的机器周期数可变，各机器周期的长度均匀
9. 一台显示 256 种颜色的彩色显示器，其每个像素对应的显示存储单元的长度(位数)为__B8__ 位
10. 在程序中断处理过程中，最后一步必须执行__D__ 开中断
11. __A__SRAM__类型的存储器存取速度最快。
12. 取指令操作__C__不受指令操作码的控制
13. 在双符号位运算的方案中，当结果为正数且不发生溢出时，双符号位应当为__A__00__。
14. 运算器虽由许多部件组成，但核心部件是__A__算术逻辑运算单元__。
15. 在机器数__C__补码__中，零的表示形式是唯一的。

1. 存储程序的基本含义是将编好的程序和原始数据事先存入主存中。 (√)
2. $3\text{FFH} = 1024$ 。 (×)
3. 执行基本微操作的控制命令称为微命令。 (√)
4. 阶码采用移码是为了便于进行对阶操作。 (×)
5. 指令系统中的每一条指令都有一个操作码，指令不同其操作码也不同。 (√)
6. 寻址方式的最终目的是寻找操作数的有效地址。 (×)
7. 静态 RAM 存储单元用触发器电路来存储信息。 (√)
8. 取指周期的操作与指令的操作码无关。 (√)
9. 鼠标能将其位置的坐标输入给主机。 (√)
10. 外设与主机之间传送数据只能通过 CPU 直接执行 I/O 指令来实现。 (×)

四.（6 分）某浮点数，阶符 1 位，阶码 7 位，数符 1 位，尾数 23 位，两部分均用补码表示，尾数基数 $r=2$ ，写出下列几种情况的数值：

5. 最大正数： $(1-2^{-23}) \times 2^{127}$
6. 最小规格化正数： $2^{-1} \times 2^{-128}$
7. 绝对值最大的负数： -1×2^{127}

注：零除外，结果用十进制真值表示。

五. 某机的指令格式如下：

15	10	9	8	7	0
OP			X	A	

图中 X 为寻址特征位，且 $X=0$ 时不变址；

$X=1$ 时用变址寄存器 X1 进行变址；

$X=2$ 时用变址寄存器 X2 进行变址；

X=3 时当前页寻址。

设(PC)=ABCDH, (X1)=1234H, (X2)=5678H, 请确定下列指令的有效地址 (均用十六进制表示)。

- A. 7453H B. 9578H C. 13ABH D. 2345H

答案:

- A. 因为 X=0, 所以 EA=A=0053H
B. 因为 X=1, 所以 EA=(X1)+A=1234+78=12ACH
C. 因为 X=3, 所以 EA=(PC)//A=ABABH
D. 因为 X=2, 所以 EA=(X2)+A=5678+45=56BDH

六. (10 分) 已知 $X = -\frac{13}{16}$, $Y = \frac{11}{16}$, 用 Booth 乘法计算 $X \times Y$ 的值。完成以上运算, 需要

几个寄存器? 它们各自的作用是什么? 各个寄存器的初值是什么? 要求写出运算的中间过程。

完成以上乘法运算, 需要三个寄存器 A, B, C。A 寄存器用来存放部分积和乘积的高位部分, B 寄存器用来存放被乘数, C 寄存器用来存放乘数。它们的初值是:

$$[X]_{补} = 1.0011 \rightarrow B, [Y]_{补} = 0.1011 \rightarrow C, 0 \rightarrow A, [-X]_{补} = 0.1101$$

$$X = -\frac{13}{16} = -0.1101, Y = \frac{11}{16} = 0.1011$$

$$[X]_{补} = 1.0011, [Y]_{补} = 0.1011, [-X]_{补} = 0.1101$$

	A	C 附加位
	00.0000	0.10110
+[-X] _补	00.1101	
→	00.1101	
	00.0110	101011
+0	00.0000	
→	00.0110	
	00.0011	010101
+ [X] _补	11.0011	
	11.0110	
→	11.1011	001010
+ [-X] _补	00.1101	
	00.1000	

→	00.0100	000101
	+ [X] _补 11.0011	
	11.0111	
	[x*y] _补 = 1.01110001	
	x*y = -0.10001111	

七. (12 分) 用 $1K \times 4$ 片的存储芯片构成一个 $4K \times 8$ 的存储器, 地址线 $A_{15} \sim A_0$ (低), 双向数据线 $D_7 \sim D_0$, WE 控制读写, CE 为片选输入端。

1. 需要多少芯片: 需要 8 个芯片

2. 写出各组芯片的地址分配。

第 1 组 0000H~03FFH

第 2 组 0400H~07FFH

第 3 组 0800H~0BFFH

第 4 组 0C00H~0FFFH

3. 画出芯片级逻辑图, 注明各种信号线, 列出片选逻辑式。

8 个 $1K \times 4$ 芯片构成 4 行 2 列, 地址线 $A_9 \sim A_0$, 用于片内选择, A_{11}, A_{10} 用作片选信号; 数据线 $D_7 \sim D_0$, 高 4 位 $D_7 \sim D_4$ 接第一列 4 个芯片, 低 4 位 $D_3 \sim D_0$ 接第二列 4 个芯片; WE 线接全部 8 个芯片; 需要一个 2:4 译码器, 输入为 A_{11}, A_{10} , 4 个输出分别接 4 组 (4 行) 芯片。

片选逻辑:

第一组 $A_{11}' A_{10}'$

第二组 $A_{11}' A_{10}$

第三组 $A_{11} A_{10}'$

第四组 $A_{11} A_{10}$

八. 简答题 (每题 12 分, 共 24 分)

1. 试述调用子程序指令和返回指令的异同点。

子程序调用指令 CALL 的编号为 FNC01。操作数为 $P_0 \sim P_{127}$, 占用 3 个程序步。

子程序返回指令 SRET 的编号为 FNC02。无操作数, 占用 1 个程序步。

子程序存储在存储器中, 可供一个或多个调用程序 (主程序) 反复调用。主程序调用子程序时使用 CALL 指令, 由子程序返回主程序时使用 RET 指令。由于调用程序和子程序可以在同一个代码段中, 也可以在不同的代码段中, 因此, CALL 指令和 RET 指令也有近调用、近返回及远调用、远返回两类格式。

(1) CALL NEAR PTR <子程序名> 近调用 (near call)

近调用是 CALL 指令的缺省格式, 可以写为 "CALL <子程序名> routine"。它调用同一个代码段

内的子程序（子过程），因此，在调用过程中不用改变 CS 的值，只需将子程序的地址存入 IP 寄存器。CALL 指令中的调用地址可以用直接和间接两种寻址方式表示。

(2) CALL FAR PTR <子程序名> 远调用（far call）

远调用适用于调用程序（也称为主程序）和子程序不在同一段中的情况，所以也叫做段间调用。和近调用指令一样，远调用指令中的寻址方式也可用直接方式和间接方式。

(3) RET 返回指令（return）

RET 指令执行的操作是把保存在堆栈中的返回地址出栈，以完成从子程序返回到调用程序的功能。

2. 何谓中断方式？它主要应用在什么场合？请举例。

答：A、中断方式指：CPU 在接到随机产生的中断请求信号后，暂停原程序，转去执行相应的中断处理程序，以处理该随机事件，处理完毕后返回并继续执行原程序； B、主要应用于处理复杂随机事件、控制中低速 I/O； C、例：打印机控制，故障处理。

1. $[-0]_{\text{原}}$ 表示为 10000000。
2. 已知 8 位补码为 00001101，其对应的 8 位移码（偏置值为 2^7 ）是 10001101。
3. $(1638)_{10} = (\underline{0001\ 0110\ 0011\ 1000})_{8421\text{码}}$
4. 十进制数 a 的 ASCII 码为 1010001，则 f 的 ASCII 码为 1010110。
5. 若某一数据为 11101011，采用偶校验，其校验位为 0。
6. 若某个汉字的机内码为 B38AH，其国标码为 330A H。
7. 若操作数的地址在寄存器中，这是 寄存器间接 寻址方式。
8. 精简指令系统计算机的英文缩写为 RISC。
9. 算术左移一位相当于 原数 $\times 10$ 。
10. 某机的主存容量为 64MB，若采用字节编址，地址线需 26 位。
11. 静态 随机存储器是利用双稳态触发器来存储信息的。
12. 分散 刷新方式没有死区。
13. 在字段编码法中，应将 兼容 的微命令安排在不同一字段内。
14. 字符显示器中的 VRAM 用来存放字符的 ASCII 码。
15. 在中断服务程序中，保护和恢复现场之后需要 开 中断。

1. 完整的计算机系统应包括 B。配套的硬件设备和软件系统

2. 计算机的存储器系统是指 D。Cache、主存储器和辅助存储器

3. n 位二进制定点整数表示的最大值是 D $2^{n-1}-1$

4. 直接、间接、立即三种寻址方式指令的执行速度，由快至慢的排序是 C。立即、直接、间接

5. 指令译码器是对 B 指令的操作码字段进行译码。

6. 堆栈存储器存取数据的方式是 C 先进后出。

7. 在定点机中执行算术运算时会产生溢出，其原因是 D。运算结果无法表示

8. 运算器虽由许多部件组成，但核心部件是 。算术逻辑运算单元

9. EPROM 是指 C。可擦除可编程的只读存储器

10. 动态 RAM 的刷新是以 B 行为单位进行的。

11. 所谓指令周期是指 D。取指令和执行指令的时间

12. 微程序控制器中，机器指令与微指令的关系是 B。一条机器指令由一段用微指令编成的微程序来解释执行

13. 磁盘的每个盘面上有很多半径不同的同心圆，这些同心圆称为 A 磁道

14. 当有中断源发出请求时，CPU 可执行相应的中断服务程序。提出中断请求的可以是 C。外部事件

15. DMA 方式是在 A I/O 设备和主存之间建立一条直接数据通路。

(☒) 1. 三态门电路比普通门电路多一种高阻状态。

(☒) 2. 进位信号串行传递的加法器就称为串行加法器。

(☒) 3. 断电后，RAM 中的数据不会丢失。

(☒) 4. 高速缓冲存储器中保存的信息是主存活跃块的副本。

(☒) 5. 指令周期又称为 CPU 周期。

(☒) 6. 执行基本微操作的控制命令称为微命令。

(☒) 7. 在串行接口电路中，设备和接口一侧的数据传送是串行的。

(☒) 8. 打印机字库中存放着字符的 ASCII 码。

(☒) 9. 在允许多重中断的计算机系统中，只要外部有新的中断请求，就要打断正在处理的中断服务程序。

(☒) 10. 微型机中的系统总线包括数据总线、地址总线、控制总线，所以称它为三总线。

五.（6 分）某机字长 24 位，用补码表示定点整数，写出下列几种情况的数值：

8. 最大正数 $2^{23}-1$

2.最小正数 1

3.绝对值最大的负数 -2^{23}

注：零除外。

五.（8 分）假定指令格式如下：

15	12	11	10	9	8	7	0
OP			I1	I2	Z/C	D/I	A

有关寄存器内容（十六进制）：

PC: 14E8H I1: 0563H I2: 6687H

主存容量 2^{16} 字，字长 16 位，主存共分为 2^8 个页面，每个页面有 2^8 个字。

各标志位的含义为：

I1=1，变址寄存器 1 寻址；I2=1，变址寄存器 2 寻址；

Z/C（零页/现行页）=1，指令所在页面寻址；D/I（直接/间接）=1，间接寻址。

试计算下列指令的有效地址。（必须写出中间过程）

A. A02BH B. 12A8H C. D4C4H D. 7834H

答案：

A. EA=A=002BH

B. EA=(PC)//A=14//A8=14A8H

C. EA=(I2)+A=6687+C4=674BH

D. EA=(I1)+A=0563+34=0597H

六.（10 分）已知： $X = -\frac{13}{16}$ ， $Y = -\frac{11}{16}$

求： $X \times Y$

完成以上运算，需要几个寄存器？它们各自的作用是什么？各个寄存器的初值是什么？

采用 BOOTH 乘法进行运算，要求写出运算的中间过程。

完成以上乘法运算，需要三个寄存器 A，B，C。A 寄存器用来存放部分积和乘积的高位部分，B 寄存器用来存放被乘数，C 它用来存放乘数。它们的初值是：

$[X]_{\text{补}} = 1.0011 \rightarrow B$ ， $[Y]_{\text{补}} = 1.0101 \rightarrow C$ ， $0 \rightarrow A$ ， $[-X]_{\text{补}} = 0.1101$

结果： $[X \times Y]_{\text{补}} = 0.10001111$ ， $X \times Y = 0.10001111$

七.（12 分）设有一个字长 8 位的存储器，具有 18 位地址线，问：

1. 该存储器能存储多少字节的信息？ **256KB**

2. 如果存储器由 $32K \times 4$ 位的 RAM 芯片组成，需要多少芯片？ **16 片**

3. 写出字扩展各组芯片的地址分配。

第一组 00000H—07FFFH

第二组 08000H—0FFFFH

第三组 10000H—17FFFH

第四组 18000H—1FFFFH

第五组 20000H—27FFFH

第六组 28000H—2FFFFH

第七组 30000H—37FFFH

第八组 38000H—3FFFFH

4. 画出这个存储器的逻辑框图，注意画出与 CPU 连接的地址、数据、控制线以及选片逻辑。

1. 微程序设计的计算机共涉及哪两个层次？它们各包括哪些内容？

第一问第二问在一起：

微程序控制的计算机涉及到两个层次：一个是机器语言或汇编语言程序员所看到的传统机器层，包括：机器指令、工作程序和主存储器；另一个是机器设计者看到的微程序层，包括：微指令、微程序和控制存储器。

2. 主机和外设之间的信息传送控制方式有哪几种？它们各有哪些特点？各适用于什么场合？

1. 程序查询方式、中断方式、DMA 方式和通道方式.

2. 程序查询方式：程序查询方式是一种程序直接控制方式,这是主机与外设间进行信息交换的最简单的方式,输入和输出完全是通过 CPU 执行程序来完成的。

一旦某一外设被选中并启动后，主机将查询这个外设的某些状态位，看其是否准备就绪？若外设未准备就绪，主机将再次查询；若外设已准备就绪，则执行一次 I/O 操作。

这种方式控制简单，但外设和主机不能同时工作，各外设之间也不能同时工作，系统效率很低，因此，仅适用于外设的数目不多，对 I/O 处理的实时要求不那么高，CPU 的操作任务比较单一，并不很忙的情况。

中断方式:为了减少程序直接控制方式中 CPU 等待时间以及提高系统的并行工作程度，用来控制外围设备和内存与 CPU 之间的数据传送称为中断方式。

特点：具有随机性。

场合：程序切换 实现方法：

保存断点,保护现场;

恢复现场,返回断点.

DMA 方式: DMA 是所有现代电脑的重要特色，他允许不同速度的硬件装置来沟通，而不需要依于 CPU 的大量 中断 负载。否则，CPU 需要从 来源 把每一片段的资料复制到暂存器，然后把他们再次写回到新的地方。在这个时间中，CPU 对于其他的工作来说就无法使用。

DMA 传输将一个内存区从一个装置复制到另外一个， CPU 初始化这个传输动作，传输动作本身是由 DMA 控制器来实行和完成。典型的例子就是移动一个外部内存的区块到芯片内部更快的内存去。像是这样的操作并没有让处理器工作拖延，反而可以被重新排程去处理其他的工作。DMA 传输对于高效能嵌入式系统算法和网络是很重要的。

场合: DMA 方式主要适用于一些高速的 I/O 设备。这些设备传输字节或字的速度非常快。对于这类高速 I/O 设备，如果用输入输出指令或采用中断的方法来传输字节信息，会大量

占用 CPU 的时间，同时也容易造成数据的丢失。而 DMA 方式能使 I/O 设备直接和存储器进行成批数据的快速传送。

通道方式:衡量通道性能的指标是通道的流量，它指通道在传送数据时，1 秒钟时间内传送的位数(b/s)。通道所能达到的最大流量称为通道的极限流量。对于采用字节多路通道，通道的极限流量应大于所接外设的字节传送速率之和，因为字节多路通道同时为多个外设传输数据；对于采用其他两种方式的通道，通道的极限流量应大于所接外设中字节传送速率最大的设备，因为数组多路通道和选择通道是轮流为外设传输数据的。

通道的功能:

- (1) 接受 CPU 的输入输出操作指令，按指令要求控制外围设备。
- (2) 从内存中读取通道程序，并执行，即向设备控制器发送各种命令。
- (3) 组织和控制数据在内存与外设之间的传送操作。根据需要提供数据中间缓存空间以及提供数据存入内存的地址和传送的数据量。
- (4) 读取外设的状态信息，形成整个通道的状态信息，提供给 CPU 或保存在内存中。
- (5) 向 CPU 发出输入输出操作中断请求，将外围设备的中断请求和通道本身的中断请求按次序报告 CPU。

CPU 通过执行输入输出指令以及处理来自通道的中断，实现对通道的管理。来自通道的中断有两种：一种是数据传输结束中断；另一种是故障中断。通道的管理是操作系统的任务。通道通过使用通道指令控制设备进行数据传送操作，并以通道状态字的形式接收设备控制器提供的外围设备的状态。因此，设备控制器是通道对输入输出设备实现传输控制的执行机构。

1. $[-0]_{反}$ 表示为 11111111。
2. 移码常用来表示浮点数的 阶码 部分。
3. $(2947)_{10} = (\underline{0010\ 1001\ 0100\ 0111})_{8421\ 码}$
4. 若某一数据为 10101101，采用奇校验，其校验位为 0。
5. 已知某汉字的国标码为 394AH，其机内码为 C9DA H。
6. 寄存器寻址时，操作数在 寄存器 中。
7. 对于自底向上生成的堆栈，出栈时应先 数据弹出。
8. 复杂指令系统计算机的英文缩写为 CISC。
9. 运算器的基本功能是实现算术和 逻辑 运算。
10. 算术右移一位相当于 $\div 2$ 。
11. 一个 512KB 的存储器，其地址线应有 19 根。
12. 在字段编码法中，应将 互斥 的微命令安排在同一字段内。
13. 完成一条机器指令的一系列微指令的有序集合称为 微程序。

14. 常见的软拷贝输出设备为 显示器。

15. 在中断服务程序中，保护和恢复现场之前需要 关 中断。

1. 中央处理器 (CPU) 是指 C。运算器和控制器
2. 定点 8 位字长的字，采用补码表示时，一个字所表示的整数范围是 A。-128~127
3. 设计微程序的人员是 D。硬件设计人员
4. 在存储器堆栈中，保持不变的是 C。栈底
5. 下列哪种指令不属于程序控制指令 C。中断隐指令
6. 运算器虽由许多部件组成，但核心部件是 B。算术逻辑运算单元
7. 通常计算机的主存储器包括 a。RAM 和 ROM
8. 下述说法正确的是 B。EPROM 是可改写的，但它不能用作随机存储器
9. 为了保证程序能连续执行，CPU 必须确定下一条指令的地址，起到这一作用的是 D。程序计数器
10. 指令译码器是对 B 指令的操作码字段进行译码。
11. 微程序控制器中，微程序的入口地址是由 C 机器指令的操作码字段形成的。
12. 磁盘存储器的平均等待时间通常是指 B 磁盘旋转半周所需的时间。
13. 对于字符显示器，主机送给显示器的应是显示字符的 A ASCII 码。
14. CPU 响应中断的时间是 A。一条指令结束
15. DMA 方式中，周期“窃取”是窃取一个 B。存取周期

- (☒) 1. 浮点数的取值范围由阶码的位数决定，而浮点数的精度由尾数的位数决定。
- (☒) 2. 转子指令是一条零地址指令。
- (☒) 3. 影响并行加法器的关键因素是进位信号的产生时间。
- (☒) 4. CPU 访问存储器的时间是由存储体的容量决定的，存储容量越大，访问存储器所需时间就越长。
- (☒) 5. 动态 RAM 的异步刷新方式没有读写死区。
- (☒) 6. 取指周期的操作与指令的操作码无关。
- (☒) 7. 在微程序控制器中，控制存储器用来存放微程序。
- (☒) 8. 利用光学方式读写信息的存储器称为光盘。
- (☒) 9. I/O 接口电路也是一种输入/输出设备。
- (☒) 10. DMA 请求的响应时间，必须安排在每个指令周期的末尾。

四. (6 分) 某浮点数，阶符 1 位，阶码 3 位，数符 1 位，尾数 11 位，两部分均用补码表示，尾数基数 $r=2$ ，写出下列几种情况的数值：

9. 最大正数: $(1-2^{-11}) \times 2^7$
10. 规格化的最小正数: $2^{-1} \times 2^{-8}$

3.绝对值最大的负数： -1×2^7

注：零除外。

五.（8分）假定指令格式如下：

15	12	11	10	9	8	7	0
OP		I1	I2	Z/C	D/I	A	

有关寄存器内容（十六进制）：

PC: 56E8H I1: 5163H I2: 368DH

主存容量 2^{16} 字，字长 16 位，主存共分为 2^8 个页面，每个页面有 2^8 个字。

各标志位的含义为：

I1=1，变址寄存器 1 寻址；I2=1，变址寄存器 2 寻址；

Z/C（零页/现行页）=1，指令所在页面寻址；D/I（直接/间接）=1，间接寻址。

试计算下列指令的有效地址。（必须写出中间过程）

A. D83BH B. 1079H C. F27AH D. 4422H

答案：

A. $EA=(I1)+A=5163+3B=519EH$

B. $EA=A=0079H$

C. $EA=(PC)/A=56/7A=567AH$

D. $EA=(I2)+A=368D+22=36AFH$

六.（10分）已知： $X=\frac{9}{16}$ ， $Y=-\frac{13}{16}$

求： $X \times Y$

完成以上运算，需要几个寄存器？它们各自的作用是什么？各个寄存器的初值是什么？

假设采用补码 Booth 法进行运算，要求写出运算的中间过程。

完成以上乘法运算，需要三个寄存器 A，B，C。A 寄存器用来存放部分积和乘积的高位部分，B 寄存器用来存放被乘数，C 它用来存放乘数。它们的初值是：

$[X]_{补}=0.1001 \rightarrow B$ ， $[Y]_{补}=1.0011 \rightarrow C$ ， $0 \rightarrow A$ ， $[-X]_{补}=1.0111$

结果： $[X \times Y]_{补}=1.10001011$ ， $X \times Y = -0.01110101$

过程略（请参考模拟题二答案）。

七.（12分）设 CPU 具有 20 位地址线和 8 位数据线，问：

1.该机所允许的最大主存空间为多少字节？1MB

2.如果由 128K×4 位的 RAM 芯片组成该机所允许的最大主存储器，需要多少芯片？16

片

3. 写出字扩展各组芯片的地址分配。

第一组 00000H—1FFFFH

第二组 20000H—3FFFFH

第三组 40000H—5FFFFH

第四组 60000H—7FFFFH

第五组 80000H—9FFFFH

第六组 A0000H—BFFFFH

第七组 C0000H—DFFFFH

第八组 E0000H—FFFFFH

4. 画出这个存储器的逻辑框图，注意画出与 CPU 连接的地址、数据、控制线以及选片逻辑。

八. 问答题：（每题 12 分，共 24 分）

1. 试简述组合逻辑控制器和微程序控制器的优缺点。

微程序的控制器的优点是设计与实现简单些，易于实现系列计算机产品的控制器，理论上可实现动态微程序设计，缺点是运行速度要慢一些。组合逻辑控制器的优点是运行速度明显地快，缺点是设计与实现复杂些，但随着 EDA 工具的成熟，该缺点已得到很大缓解

2. 简述 DMA 方式的特点，在输入输出系统中，DMA 方式是否可以替代中断方式？为什么？

第一问：

DMA 是所有现代电脑的重要特色，他允许不同速度的硬件装置来沟通，而不需要依赖于 CPU 的大量中断负载。否则，CPU 需要从来源把每一片段的资料复制到暂存器，然后把他们再次写回到新的地方。在这个时间中，CPU 对于其他的工作来说就无法使用。

DMA 传输将一个内存区从一个装置复制到另外一个，CPU 初始化这个传输动作，传输动作本身是由 DMA 控制器来实行和完成。典型的例子就是移动一个外部内存的区块到芯片内部更快的内存去。像是这样的操作并没有让处理器工作拖延，反而可以被重新排程去处理其他的工作。DMA 传输对于高效能嵌入式系统算法和网络是很重要的。

第二问：

DMA 方式不能替代中断方式，因为 DMA 的结束处理还需要中断。