

```

1 module DECODER(
2     input clk,
3     input [5:0] from_cu,
4     input [5:0] from_selector,
5     output reg [0:0] out_AR,
6     output reg [0:0] out_PC,
7     output reg [0:0] out_MIDR,
8     output reg [0:0] out_MDDR_BUS,
9     output reg [0:0] out_MDDR_IM,
10    output reg [0:0] out_MDDR_DM,
11    output reg [0:0] out_BASE_C,
12    output reg [0:0] out_I,
13    output reg [0:0] out_I_Ref,
14    output reg [0:0] out_Base_A,
15    output reg [0:0] out_J,
16    output reg [0:0] out_J_Ref,
17    output reg [0:0] out_Base_B,
18    output reg [0:0] out_K,
19    output reg [0:0] out_K_Ref,
20    output reg [0:0] out_P,
21    output reg [0:0] out_R
22 );
23     reg [5:0] reg_select;
24 always @(*)
25     begin
26         if (from_selector==5'd0)reg_select=from_cu;
27         else reg_select=from_selector;
28         case (reg_select)
29             5'd0:begin
30                 out_AR=0;
31                 out_PC=0;
32                 out_MIDR=0;
33                 out_MDDR_BUS=0;
34                 out_MDDR_IM=0;
35                 out_MDDR_DM=0;
36                 out_BASE_C=0;
37                 out_I=0;
38                 out_I_Ref=0;
39                 out_Base_A=0;
40                 out_J=0;
41                 out_J_Ref=0;
42                 out_Base_B=0;
43                 out_K=0;
44                 out_K_Ref=0;
45                 out_P=0;
46                 out_R=0;
47             end
48             5'd1:begin
49                 out_AR=1;
50                 out_PC=0;
51                 out_MIDR=0;
52                 out_MDDR_BUS=0;
53                 out_MDDR_IM=0;
54                 out_MDDR_DM=0;

```

```

55         out_BASE_C=0;
56         out_I=0;
57         out_I_Ref=0;
58         out_Base_A=0;
59         out_J=0;
60         out_J_Ref=0;
61         out_Base_B=0;
62         out_K=0;
63         out_K_Ref=0;
64         out_P=0;
65         out_R=0;
66     end
67     5'd2:begin
68         out_AR=0;
69         out_PC=1;
70         out_MIDR=0;
71         out_MDDR_BUS=0;
72         out_MDDR_IM=0;
73         out_MDDR_DM=0;
74         out_BASE_C=0;
75         out_I=0;
76         out_I_Ref=0;
77         out_Base_A=0;
78         out_J=0;
79         out_J_Ref=0;
80         out_Base_B=0;
81         out_K=0;
82         out_K_Ref=0;
83         out_P=0;
84         out_R=0;
85     end
86     5'd3:begin
87         out_AR=0;
88         out_PC=0;
89         out_MIDR=1;
90         out_MDDR_BUS=0;
91         out_MDDR_IM=0;
92         out_MDDR_DM=0;
93         out_BASE_C=0;
94         out_I=0;
95         out_I_Ref=0;
96         out_Base_A=0;
97         out_J=0;
98         out_J_Ref=0;
99         out_Base_B=0;
100        out_K=0;
101        out_K_Ref=0;
102        out_P=0;
103        out_R=0;
104    end
105    5'd4:begin
106        out_AR=0;
107        out_PC=0;
108        out_MIDR=0;

```

```

109         out_MDDR_BUS=1;
110         out_MDDR_IM=0;
111         out_MDDR_DM=0;
112         out_BASE_C=0;
113         out_I=0;
114         out_I_Ref=0;
115         out_Base_A=0;
116         out_J=0;
117         out_J_Ref=0;
118         out_Base_B=0;
119         out_K=0;
120         out_K_Ref=0;
121         out_P=0;
122         out_R=0;
123     end
124     5'd5:begin
125         out_AR=0;
126         out_PC=0;
127         out_MIDR=0;
128         out_MDDR_BUS=0;
129         out_MDDR_IM=0;
130         out_MDDR_DM=1;
131         out_BASE_C=0;
132         out_I=0;
133         out_I_Ref=0;
134         out_Base_A=0;
135         out_J=0;
136         out_J_Ref=0;
137         out_Base_B=0;
138         out_K=0;
139         out_K_Ref=0;
140         out_P=0;
141         out_R=0;
142     end
143     5'd6:begin
144         out_AR=0;
145         out_PC=0;
146         out_MIDR=0;
147         out_MDDR_BUS=0;
148         out_MDDR_IM=1;
149         out_MDDR_DM=0;
150         out_BASE_C=0;
151         out_I=0;
152         out_I_Ref=0;
153         out_Base_A=0;
154         out_J=0;
155         out_J_Ref=0;
156         out_Base_B=0;
157         out_K=0;
158         out_K_Ref=0;
159         out_P=0;
160         out_R=0;
161     end
162     5'd7:begin

```

```

163         out_AR=0;
164         out_PC=0;
165         out_MIDR=0;
166         out_MDDR_BUS=0;
167         out_MDDR_IM=0;
168         out_MDDR_DM=0;
169         out_BASE_C=1;
170         out_I=0;
171         out_I_Ref=0;
172         out_Base_A=0;
173         out_J=0;
174         out_J_Ref=0;
175         out_Base_B=0;
176         out_K=0;
177         out_K_Ref=0;
178         out_P=0;
179         out_R=0;
180     end
181     5'd8:begin
182         out_AR=0;
183         out_PC=0;
184         out_MIDR=0;
185         out_MDDR_BUS=0;
186         out_MDDR_IM=0;
187         out_MDDR_DM=0;
188         out_BASE_C=0;
189         out_I=1;
190         out_I_Ref=0;
191         out_Base_A=0;
192         out_J=0;
193         out_J_Ref=0;
194         out_Base_B=0;
195         out_K=0;
196         out_K_Ref=0;
197         out_P=0;
198         out_R=0;
199     end
200     5'd9:begin
201         out_AR=0;
202         out_PC=0;
203         out_MIDR=0;
204         out_MDDR_BUS=0;
205         out_MDDR_IM=0;
206         out_MDDR_DM=0;
207         out_BASE_C=0;
208         out_I=0;
209         out_I_Ref=1;
210         out_Base_A=0;
211         out_J=0;
212         out_J_Ref=0;
213         out_Base_B=0;
214         out_K=0;
215         out_K_Ref=0;
216         out_P=0;

```

```

217         out_R=0;
218     end
219     5'd10:begin
220         out_AR=0;
221         out_PC=0;
222         out_MIDR=0;
223         out_MDDR_BUS=0;
224         out_MDDR_IM=0;
225         out_MDDR_DM=0;
226         out_BASE_C=0;
227         out_I=0;
228         out_I_Ref=0;
229         out_Base_A=1;
230         out_J=0;
231         out_J_Ref=0;
232         out_Base_B=0;
233         out_K=0;
234         out_K_Ref=0;
235         out_P=0;
236         out_R=0;
237     end
238     5'd11:begin
239         out_AR=0;
240         out_PC=0;
241         out_MIDR=0;
242         out_MDDR_BUS=0;
243         out_MDDR_IM=0;
244         out_MDDR_DM=0;
245         out_BASE_C=0;
246         out_I=0;
247         out_I_Ref=0;
248         out_Base_A=0;
249         out_J=1;
250         out_J_Ref=0;
251         out_Base_B=0;
252         out_K=0;
253         out_K_Ref=0;
254         out_P=0;
255         out_R=0;
256     end
257     5'd12:begin
258         out_AR=0;
259         out_PC=0;
260         out_MIDR=0;
261         out_MDDR_BUS=0;
262         out_MDDR_IM=0;
263         out_MDDR_DM=0;
264         out_BASE_C=0;
265         out_I=0;
266         out_I_Ref=0;
267         out_Base_A=0;
268         out_J=0;
269         out_J_Ref=1;
270         out_Base_B=0;

```

```

271         out_K=0;
272         out_K_Ref=0;
273         out_P=0;
274         out_R=0;
275     end
276     5'd13:begin
277         out_AR=0;
278         out_PC=0;
279         out_MIDR=0;
280         out_MDDR_BUS=0;
281         out_MDDR_IM=0;
282         out_MDDR_DM=0;
283         out_BASE_C=0;
284         out_I=0;
285         out_I_Ref=0;
286         out_Base_A=0;
287         out_J=0;
288         out_J_Ref=0;
289         out_Base_B=1;
290         out_K=0;
291         out_K_Ref=0;
292         out_P=0;
293         out_R=0;
294     end
295     5'd14:begin
296         out_AR=0;
297         out_PC=0;
298         out_MIDR=0;
299         out_MDDR_BUS=0;
300         out_MDDR_IM=0;
301         out_MDDR_DM=0;
302         out_BASE_C=0;
303         out_I=0;
304         out_I_Ref=0;
305         out_Base_A=0;
306         out_J=0;
307         out_J_Ref=0;
308         out_Base_B=0;
309         out_K=1;
310         out_K_Ref=0;
311         out_P=0;
312         out_R=0;
313     end
314     5'd15:begin
315         out_AR=0;
316         out_PC=0;
317         out_MIDR=0;
318         out_MDDR_BUS=0;
319         out_MDDR_IM=0;
320         out_MDDR_DM=0;
321         out_BASE_C=0;
322         out_I=0;
323         out_I_Ref=0;
324         out_Base_A=0;

```

```

325         out_J=0;
326         out_J_Ref=0;
327         out_Base_B=0;
328         out_K=0;
329         out_K_Ref=1;
330         out_P=0;
331         out_R=0;
332     end
333     5'd16:begin
334         out_AR=0;
335         out_PC=0;
336         out_MIDR=0;
337         out_MDDR_BUS=0;
338         out_MDDR_IM=0;
339         out_MDDR_DM=0;
340         out_BASE_C=0;
341         out_I=0;
342         out_I_Ref=0;
343         out_Base_A=0;
344         out_J=0;
345         out_J_Ref=0;
346         out_Base_B=0;
347         out_K=0;
348         out_K_Ref=0;
349         out_P=1;
350         out_R=0;
351     end
352     5'd17:begin
353         out_AR=0;
354         out_PC=0;
355         out_MIDR=0;
356         out_MDDR_BUS=0;
357         out_MDDR_IM=0;
358         out_MDDR_DM=0;
359         out_BASE_C=0;
360         out_I=0;
361         out_I_Ref=0;
362         out_Base_A=0;
363         out_J=0;
364         out_J_Ref=0;
365         out_Base_B=0;
366         out_K=0;
367         out_K_Ref=0;
368         out_P=0;
369         out_R=1;
370     end
371     5'd18:begin
372         out_AR=1;
373         out_PC=0;
374         out_MIDR=0;
375         out_MDDR_BUS=0;
376         out_MDDR_IM=1;
377         out_MDDR_DM=0;
378         out_BASE_C=0;

```

```

379         out_I=0;
380         out_I_Ref=0;
381         out_Base_A=0;
382         out_J=0;
383         out_J_Ref=0;
384         out_Base_B=0;
385         out_K=0;
386         out_K_Ref=0;
387         out_P=0;
388         out_R=0;
389     end
390     5'd19:begin
391         out_AR=1;
392         out_PC=0;
393         out_MIDR=0;
394         out_MDDR_BUS=0;
395         out_MDDR_IM=0;
396         out_MDDR_DM=1;
397         out_BASE_C=0;
398         out_I=0;
399         out_I_Ref=0;
400         out_Base_A=0;
401         out_J=0;
402         out_J_Ref=0;
403         out_Base_B=0;
404         out_K=0;
405         out_K_Ref=0;
406         out_P=0;
407         out_R=0;
408     end
409     default:
410     begin
411         out_AR=0;
412         out_PC=0;
413         out_MIDR=0;
414         out_MDDR_BUS=0;
415         out_MDDR_IM=0;
416         out_MDDR_DM=0;
417         out_BASE_C=0;
418         out_I=0;
419         out_I_Ref=0;
420         out_Base_A=0;
421         out_J=0;
422         out_J_Ref=0;
423         out_Base_B=0;
424         out_K=0;
425         out_K_Ref=0;
426         out_P=0;
427         out_R=0;
428     end
429 endcase
430 end
431 endmodule

```