

長沙工學院

计算机硕士考研 历年真题合集

九三西域府前進四委員會 編
The Ahead Four Committee of Jiusan Western Region

使用说明

- 本作已针对奇偶页进行了优化，可不经修改直接带本文件去打印店以 **A4** 双面打印
- 本合集由三部分构成
 - **2021 年真题**，是“弟中弟”为主，“九三西域府”补充的回忆版
 - **2020 年真题**，是“大娃、阿七、LXB、LHQ 等”的回忆版，“弟中弟”进行了进一步的补充
 - **2019~1996 年真题**，是公布的原真题，“皮皮”对其进行了收集整理
- 回忆版真题难免会有缺漏和瑕疵，复习时请慎重使用
- 过往公布的真题，也可能存在一些错误和漏洞，请结合掌握情况自行识别
- **2009 年**使用的是 **408** 统考，不做收录
- 此合集不进行 **CC 4.0** 的许可，但请勿用于商业用途
- 未来如果您要补充新一年度的真题，请直接拆分本 **PDF** 进行新的合并，但切记请勿打上各种难看的水印

2021 年计算机专业基础综合真题（回忆版）

CC BY-NC-ND 4.0

本作品采用知识共享署名-非商业性使用-禁止演绎 4.0 国际许可协议进行许可

你可以自由地

共享 – 在任何媒介以任何形式复制、发行、传播本作品

但需遵守以下条例

署名 – 你必须给出原作者（弟中弟）的署名，并标明是否对原作品进行了修改

非商业性使用 – 你不得将本作品用于商业目的

禁止演绎 – 如果你基于原作品进行了修改编辑转换，则不得分发修改作品

原作者

弟中弟（主体贡献者）（chengyue997@163.com）

九三西域府（补充者、排版）（tianwenzy@tianwenzy.com）

一、选择题（九三西域府）

（选择题过于繁多，且时间过久已遗忘，故仅记下了考察知识点）

1. 数据结构的逻辑结构，四个选项判对错
2. 时间复杂度计算，一层 for 循环，实现累加功能的
3. 中缀转后缀表达式，问符号栈最多时几个符号
4. 问哪个排序的平均和最坏时间复杂度不一样
5. 问哪个是标准的大根堆
6. 折半插入的判定树高
7. 二叉树的一些概念四个选项判正误
8. 二叉树给中序前序遍历选后序遍历
9. 一个 n 结点无向图的最多最少联通分量和结点关系
10. 写深度遍历
11. 给 CPI 和主频算时间耗费比
12. 寻址方式的特性
13. 各种字长的概念的正误判断
14. 原码补码加减判溢出

15. (遗忘)
16. 问非规格化数, 没说 IEEE754, 但感觉又像是
17. 低位交叉编址给出单体周期和传输周期问需要几个体
18. 五级流水线加速比计算
19. 中断发生在哪一时刻
20. 总线带宽计算, 也就是传输速率

二、填空题(弟中弟)

1. 在数据的存储结构中, () 和 () 方式不关心元素之间的逻辑关系。
2. 一个好的算法具有正确性、()、() 和高效性等特性。
3. 含有 100 个字符的串有 () 个子串。
4. 从稳定性来说, Shell 排序是 () 的, 基数排序是 () 。
5. IEEE754 标准下, $x=-48.5$, $y=8$, 分别存放于寄存器 A、B 中, A 中的内容为(), B 中的内容为 ()。 $x+y$ 与 $x-y$ 的结果存放于寄存器 C、D 中, C 中的内容为 (), D 中的内容为 ()。
6. 对于一个 16 位补码 0xF800, 扩展成 32 位后的机器数是 () , 算术左移 4 位后的机器数是 () , 算术右移 4 位后的机器数是 () , 逻辑右移 4 位后的机器数是 () 。
7. 在 KMP 算法中, 字符串 $t = \text{'abcabcd'}$, $\text{next}[3] = ()$, $\text{next}[5] = ()$ 。
8. 对于含有 n 个元素的数组, 采用折半插入排序, 时间复杂度为 () 。
9. 有 1000 个结点的二叉树, 其深度至少为 () 。
10. 具有 n 个结点的扩充二叉树, 其外部路径与内部路径之差为 () 。
11. 对于一颗平衡二叉树需要进行 RR 旋转, 共需要 () 次 () 时针旋转。
12. 一个无向图有 10 个顶点, 15 条边, 度为 4 的结点 4 个, 度为 3 的结点 3 个, 那么度为 2 的结点有 () 个。
13. (微操作码编码, 遗忘)
14. 已知某 64 位字长的计算机, 按字编址, 地址线 23 根, 使用 $1\text{M} \times 4$ 位的 DRAM 存储芯片, 存储芯片有 () 个数据引脚, () 地址引脚, 存储器需要 () 个 DRAM 存储芯片。
15. Cache 存取次数为 2000 次, 主存存取次数为 200 次, Cache 存取时间是 100ns, 主存存取时间 1000ns, 则 Cache 命中率为 () , 平均存取时间为 () 。

三、简答题（弟中弟）

1. 试比较顺序存储、链式存储的优缺点。
2. 对一个有 m 个非 0 元素稀疏矩阵 ($n \times n$)，求对角线元素之和，分析使用二维数组和三元组表存储该稀疏矩阵的时间复杂度和空间复杂度。
3. 什么是指令流水线？如何求指令流水线的加速比？理论上 k 段指令流水线的加速比能达到多少？
4. 程序中断与子程序调用有何区别？

四、综合应用题（弟中弟）

1. 已知对字符的访问频率为 a:20、b:7、c:13、d:15、e:11、f:5
 - (1) 构建哈夫曼树，要求左子结点权值小于右子节结点，编码方式左 0 右 1，并求出编码后的信息长度；
 - (2) 采用堆排序对访问频率进行从大到小的排序，并画出排序时堆的变化过程。

2.

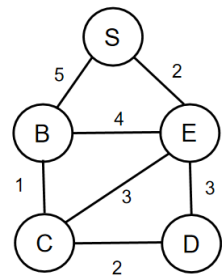


图 a

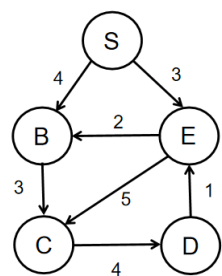


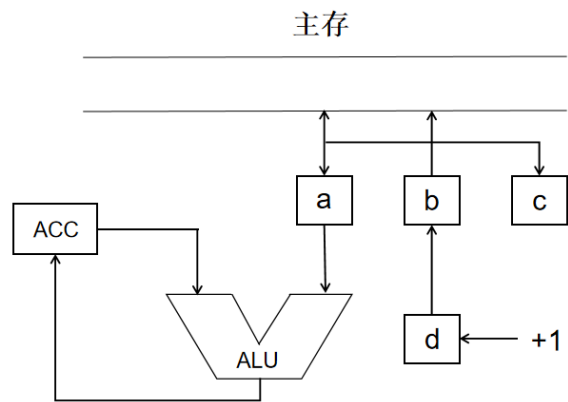
图 b

- (1) 利用 Prim 算法，构造图(a)从顶点 S 开始的最小生成树，给出过程；（a 的权值瞎填）
- (2) 利用 Dijkstra 算法，构造图(b)从顶点 S 出发到各个顶点的最短路径，写出 length, pre 数组的变化过程。

示例：

| 编号 | length | pre |
|-----|--------|-----|
| S→0 | | |
| B→1 | | |
| C→2 | | |
| D→3 | | |
| E→4 | | |

3. 已知取指令流程为 PC→MAR→MDR→IR, 内部包含 MAR(地址寄存器)、MDR (数据寄存器)、PC (程序计数器)、IR (指令寄存器)



- (1) a、b、c、d 分别是什么寄存器，写出名称；
- (2) 简述取数指令 LDA X 的执行过程，其中 X 为主存地址；
- (3) 简述加法指令 ADD Y 的执行过程，其中 Y 为主存地址（ACC+Y→ACC）。

4. 已知某程序 P 代码段为：

```
for ( int i = 0; i<N; i++)
```

```
    sum += A[i];
```

执行上述代码的计算机 M，虚拟地址 32 位，物理地址 30 位，页大小 4KB，TLB 采用 4 路组相联，共 16 个页表项。指令 Cache 与数据 Cache 均采用直接映射，指令 Cache 共 16 行，数据 Cache 共 256 行，程序 P 起始地址为 0804 8100H，Cache 与主存交换块大小为 32 字节，其中 i=0，sum=0，N=600：

| 编号 | 地址 | 机器代码 | 汇编代码 | 注释 |
|----|-----------|-----------|---------------------|--------------------------|
| 1 | 08048100H | 00022080H | loop: sll R4, R2, 2 | (R2) << 2 → R4 |
| 2 | 08048104H | 00083020H | add R4, R4, R3 | (R4) + (R3) → R4 |
| 3 | 08048108H | 8C850000H | load R5, 0(R4) | ((R4) + 0) → R5 |
| 4 | 0804810CH | 00250820H | add R1, R1, R5 | (R1) + (R5) → R1 |
| 5 | 08048110H | 20420001H | add R2, R2, 1 | (R2) + 1 → R2 |
| 6 | 08048114H | 1446FFFAH | bne R2, R6, loop | if(R2) != (R6) goto loop |

（没错偷的 408 那个原题的图）

(1) 计算机 M 的编址单位是什么？

(2) 程序结束时，存放 i 变量的寄存器 R2 中的内容是什么？

(3) 虚页号有几位？页内偏移字段有几位？TLB 的标记项偏移字段有几位？组号字段有几位？

(4) Cache 的标记项偏移字段是哪几位？行号字段是哪几位？块内偏移字段是哪几位？（如：第 0 位到第 5 位为....）

(5) M 的指令 Cache 与数据 Cache 分离，其数据区容量为多少？若仅考虑程序 P 的执行，指令 Cache 的命中率为多少？

(6) 程序 P 的执行过程中，哪条指令的执行可能会发生溢出异常？哪条指令的执行可能会发生缺页异常？对于数组 A 的访问，至少要读磁盘和 TLB 各多少次？

国防科技大学 2020 年计算机专业基础综合

说明：试题为上一届考生回忆版，**免费提供，仅供参考，严禁贩卖**

鸣谢：大娃 阿七 LXB LHQ 等人热心回忆，望下一届继续传承

一. 选择题 (20 × 2) **给定顶点集 $V=\{0, 1, 2, 3, 4, 5, 6\}$ 和边集 $E=\{(0, 1)7, (0, 2)5, (0, 3)11, (1, 5)9, (2, 3)10, (2, 4)13, (3, 5)14, (3, 6)8, (3, 7)16, (4, 6)6, (5, 7)25\}$**

1. 给定顶点集和边集，逻辑结构为 ()

A、线性表 B、二叉树 C、树 D、图

2. 单链表，p 指向其中一个结点，若要删除 p 结点，操作应该是 ()

A、 $q=q \rightarrow next$; $p \rightarrow data=q \rightarrow data$; $p \rightarrow next=q \rightarrow next$; free(q) ;

B、 $q=q \rightarrow next$; $q \rightarrow data=p \rightarrow data$; $p \rightarrow next=q \rightarrow next$; free(q) ;

应该是 $q = p \rightarrow next$

3. 一段程序 `int i=1, j=0; while(i+j<=n) { if(i>j) j++; else i++;}`，该程序的时间复杂度 ()

A、 $O(n)$ B、 $O(n^2)$ C、 $O(n^3)$ D、 $O(n \log n)$

4. 一棵树的先根序列为 12354，后根序列 25341，问层次序列为 ()

A、14235 B、12345 C、14235 D、12345

5. 采用双散列函数探测法改善堆积现象，使用 2 个散列函数 Hash1 和 Hash2，当 $Hash1(key)=d$ 时发生冲突，再计算 $k=Hash2(key)$ ，得到探测序列为 $(d+k)\%n$ ， $(d+2k)\%n$ ， $(d+3k)\%n$ ，则 Hash2(key) 可以取 ()

A、6 B、8 C、9 D、10

6. 给了一个计算表达式 ???，用栈实现，问数字栈内容为 (8, 3, 5) 的时候，符号栈的内容是 () **$8*(3+5)+4$**

A. 8 6 2 5 4 1 3

B. 8 6 3 5 4 1 2

C. 8 5 3 6 4 1 2

D. 8 3 6 5 4 1 2

7. 以下是大根堆的是 () 选项是四个序列，记不清了

8. 有 n 个结点的强连通图至少有多少条边 ()

A、n B、n+1 还是 n-1 不记得了 C、 $n(n+1)$ D、 $n(n+1)/2$

9. `int i=0x12345678; char x=i;` 问在大端存储情况下，x 是多少 ()

A、0x12 B、0x34 C、0x56 D、0x78

10. 以下排序中稳定的是 ()

A、希尔排序 B、简单选择排序 C、冒泡排序 D、快速排序

B、

11. 给了两个数，两数相加后，问 IEEE754 形式下，和的表示为 ()

1

a: 42 28 00 00 b: 42 08 00 00

c = a+b

A. 84 36 00 00 B. 42 36 00 00

C. 42 90 00 00 D. 42 30 00 00

选项是四个 16 进制的表示

12. Cache 有 8 行，每行大小??，2 路组相连，问主存的第 58 单元，在 cache 的哪一组 ()
 A、0 组 B、1 组 C、2 组 D、3 组 **每行大小4个字节，补充一个按字节编址的条件，不然算不出**
13. 计算机中指令和数据都是二进制存储，能区分指令和数据的部件是 ()
 A、存储器 B、控制器 C、译码器 D、运算器
14. 以下不是偏移寻址的是 ()
 A、相对寻址 B、基址寻址 C、变址寻址 D、直接寻址
15. 某程序下指令和其地址为：
 A 1000
 B 1001
 C 1002
 D 1003
 问在执行 A 指令的时候出现中断，则 PC 保存的地址为 ()
 A、1000 B、1001 C、1002 D、1003
16. 有一个 2048*8 位的 SRAM，忽略其电源线和地线，则引脚数最低多少根 ()
 A、21 B、22 C、23 D、24
17. 以下 I/O 中对 CPU 打扰最多的是 ()
 A、程序查询方式 B、程序中断方式 C、DMA 方式 D、通道
18. Load、store、add、分支转移、出入栈等指令是否可以在指令系统中表示 ()
19. 忘 qq 群 756084430 免费提供，严禁抄袭贩卖
20. 忘 qq 群 756084430 免费提供，严禁抄袭贩卖

二. 填空题 (30 × 1)

- 存储结构有 ()、()、散列存储，索引存储。
- P 指针指向单链表某结点，要将 q 指针指向的结点插入单链表 p 后的位置，操作应为 ()、()。
- 简单选择排序算法，最好情况下时间复杂度()，最坏情况下时间复杂度()
- 20, 10, 5, 30, 15，问冒泡排序第一趟后序列为 ()，第二趟后为 ()
- 50, 60, 20, 80, 16，问以 50 为基数快速排序第一趟后序列为 ()
- 深度为 10 的满二叉树最多有 () 结点
- 一个完全二叉树有 400 个结点，则二叉链表中空指针域为 () 个
- 设一个满二叉树结点从 0 开始编号，编号 100 的左孩子节点编号是 ()，父节点编号是 () **补充：n号结点的左孩子编号是 ()，右孩子编号是 ()**
- 给了两个数，问 A&B 是 ()，A&&B 是 ()
- 给定一个符号序列 ‘hehehellor’，问 KMP 算法下 next[0]= ()、next[3]=

hehehellor

()、next[6]=()

11. 流水线 5 个阶段，是 ()、译码、()、访存、回写，理想情况下 100000 条指令需要 () 个时钟周期
12. 硬布线和微程序设计法，硬布线的优势是 ()，缺点是 ()，微程序缺点是时间和空间上 ()，硬布线可用来设计 () 指令，微程序可用来设计 () 指令
13. 一个 DRAM，访问周期是 60，一次可传送的地址数和数据数为 32 位，一次传输 4 个字 (字长 32 位)，则 CPU 传送地址需要 () 周期，访问 DRAM 需要 () 周期，传送一次数据需要 () 周期，共需要 () 周期

补充条件：总线周期为 4 个时钟周期 (访问周期后面也添个时钟周期)

三. 综合题 (80)

1. (1) 建哈夫曼树求编码，次数如下，计算总编码长度，如果有多种，请都写出来。

a:35 b:2 c:8 d:10 e:50 f:20

- (2) 证明叶结点为 n 的哈夫曼树的分支节点数为 $n-1$

2. 画散列表存储情况并求平均查找长度。(具体的数已经忘了)

- (1) 用链地址法
- (2) 用开放地址法

关键字序列为 (7、8、12、19、21、34、25、32、16、23)，散列函数为 $H(key) = key \bmod 12$

3

- (1) 图 a 分别画深度优先遍历树，广度优先遍历树，
- (2) 图 a 最小生成树 (边上的具体数字记不清楚了)
- (3) 图 b 给另一个图，写出所有拓扑排序

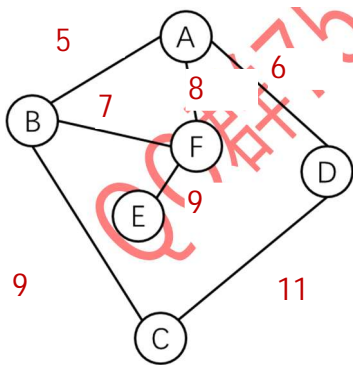


图 a

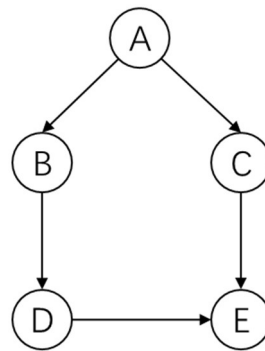


图 b

4. 无访存冲突时平均 CPI 为 1.8，内存访问指令占比百分之三十，其中 load 指令占 80%，store 指令占 20%；非内存访问指令占百分之 70%。指令 cache 命中率 95% (有人回忆的 98%)，数据 cache 命中率 80% (有人回忆的 95%)。取数据缺失代价为 20 个时钟周期，存数据缺失代价 5 个时钟周期。

- (1) 考虑访存冲突计算有效 CPI。

(2) 分别给出提高命中率或降低缺失代价的方法。

5. 磁盘。给了 CPU 时钟频率 2GHZ，磁盘盘片数 4，每盘面磁道数 6000，每磁道扇区数 400，每扇区大小 512kb，CPU 处理 DMA 开始结束用消耗 1000 个时钟周期，DMA 方式每次取八个扇区。 **平均寻道时间为8ms**

- (1) 求格式化容量
- (2) 求平均访问时间
- (3) 求平均传输速率
- (4) 求访问连续取八个扇区耗时
- (5) 求随机访问八个扇区耗时
- (6) 求 CPU 处理 IO 的时间占比。

6. 流水线

(1) 四句汇编代码哪些之间存在数据冲突

```
I1  LW    R1 , MEM[1000]    MEM[1000]->R1
I2  LW    R2 , MEM[2000]    MEM[2000]->R2
I3  ADD   R3 , R1, R2       R1+R2->R3
I4  SW    R3 , MEM[3000]    R3->MEM[3000]
```

(2) 只考虑 ADD 指令的情况下，量化分析四个流水段寄存器中的内容。

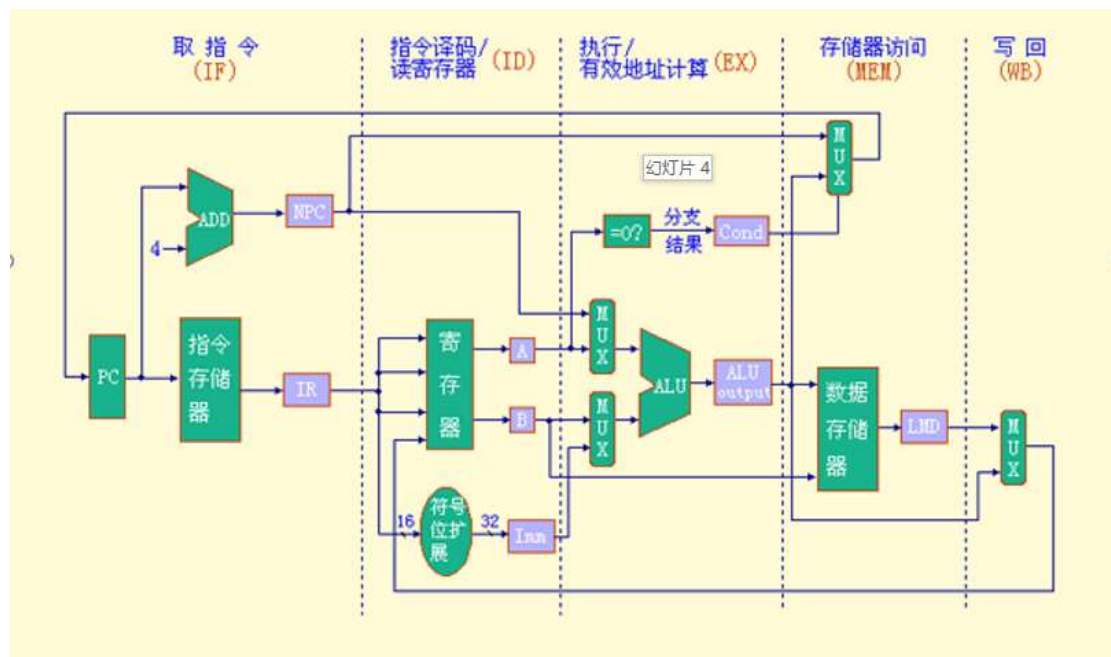
(就是表中描述的内容，流水线的图都差不多，难画，就找了个差不多的，区别就是这个图中蓝色的真题都没有，还有执行阶段 ALU 前面的 MUX 只有下面的。)

四个流水线段寄存器

| | | |
|------|----|--|
| FBUF | 取指 | 从指令存储器中取出的指令 |
| DBUF | 译码 | 指令译码信息，以及从寄存器中取出的数据 |
| EBUF | 执行 | 运行结果 |
| MBUF | 访存 | LW 和 SW 指令包含的是存储器中的取出来的结果，非 LW/SW 指令和上一个相同 |

ADD 指令

| | | | | |
|-----------|----------|----------|----|--------|
| 31~28 操作码 | 27~24 RS | 23~20 RT | 未用 | 3~0 RD |
|-----------|----------|----------|----|--------|



国防科大 2019 考研试题 (821 计算机原理)

一、(40 分)单项选择题(共 20 小题, 每小题 2 分)

- 通常划分计算机发展时代的标准是【 】
A. 所用电子器件 B. 运算速度 C. 计算机结构 D. 计算机语言
- 某计算机 M 的 CPU 主频为 2.5GHz, 若 M 上运行程序 P 的指令数为 1.25×10^{10} , 且执行时间是 10s, 则程序 P 的 CPI 和 M 的 MIPS 数分别是【 】
A. 2.5, 2.5×10^3 B. 2, 1.25×10^3
C. 2.5, 2.5×10^4 D. 2, 1.25×10^4
- 转移指令属于【 】
A. 位操作类指令 B. 控制类指令 C. 传送类指令 D. 特权指令
- 采用拓展操作码的重要原则是【 】
A. 使用频度高的指令采用短操作码 B. 满足整数边界原则
C. 使用频度低的指令采用短操作码 D. 操作码长度可变
- 变址寻址和基址寻址的有效地址形成方式类似, 在程序 P 的执行过程中, 下列选项正确的是【 】
A. 变址寄存器内容不能改变而基址寄存器内容可变
B. 基址寄存器内容不能改变而变址寄存器内容可变
C. 变址寄存器的内容是不能改变的
D. 基址寄存器的内容是可以改变的
- 某计算机采用标准 IEEE754 规格化浮点数表示, 其中浮点数最高位表示符号位, 阶码用移码表示, 尾数用原码表示。下列数中, 非规格化浮点数表示的是【 】
A. 11111111, 1.1000.....00 B. 00011111, 1.0111.....01
C. 00000000, 1.1111.....01 D. 10011111, 1.1000.....10
- 如果采用补码双符号位表示定点小数, 下列数中有负溢出的是【 】
A. 11.0000000 B. 10.0000000 C. 01.0000000 D. 00.0000000
- 以下有关不恢复余数除法以及何时需要恢复余数的描述中, 正确的是【 】
A. 最后一次余数为正时, 需要恢复一次余数
B. 最后一次余数为负时, 需要恢复一次余数

- C. 最后一次余数为 0 时，需要恢复一次余数
D. 任何时候不恢复余数
9. 如果微操作总数为 64，采用最短字长编码，微指令中的微操作控制字段是【 】
- A. 64 位 B. 7 位 C. 6 位 D. 5 位
10. 在微型计算机中，字母及其字符编码最常用的是【 】
- A. BCD 码 B. 奇偶校验码 C. 汉明码 D. ASCII 码
11. 下列存储器中，存储速度最快的是【 】
- A. SRAM B. DRAM C. 磁盘 D. 光盘
12. 某存储器容量为 1GB，由 $16\text{M} \times 8$ 位的 DRAM 存储芯片组成，该 DRAM 芯片的地址引脚和数据引脚之和是【 】
- A. 38 B. 32 C. 23 D. 20
13. 以下有关快表的描述中，说法错误的是【 】
- A. 快表的英文缩写是 TLB
B. 快表中存放的是当前进程的常用页表项
C. 若在快表中命中，则在 L1 Cache 中一定命中
D. 快表是一种高速缓存，通常集成在 CPU 芯片中
14. 磁盘转速提高一倍，可使【 】
- A. 平均寻道时间缩小到原来的一半 B. 存取速度提高一倍
C. 平均等待时间缩小到原来的一半 D. 最大寻道时间缩小到原来的一半
15. 某计算机主存空间大小为 256MB，按字节编址，虚拟地址空间大小为 4GB，采用页式存储管理，页面大小为 1KB，TLB 采用全相联映射，有 4 个页表项，内容如下表所示

| 有效位 | 标记 | 页框号 |
|-----|--------|--------|
| 0 | 07F80H | 00021H |
| 1 | 38F7FH | 00135H |
| 1 | 0E3DFH | 00245H |
| 1 | 038F7H | 00351H |

对虚拟地址 038F 7F80H 进行虚实地址变换的结果是【 】

- A. 00351F80H B. 0091780H C. TLB 缺失 D. 缺页

16. 下列选项中, 可用于提高 RAID 可靠性的措施有【 】
- I. 磁盘镜像 II. 条带化 III. 奇偶校验 IV. 汉明校验
- A. 仅 I、II B. 仅 I、III C. 仅 I、III和IV D. 仅 II、III和IV
17. 主机与外设之间传送数据时, 对 CPU 干扰最少的 I/O 控制方式是【 】
- A. 程序中断传送 B. DMA 控制传送
- C. 程序直接控制传送 D. 通道控制传送
18. 下列情形中, 会产生中断请求的是【 】
- A. 产生存储周期“窃取” B. 按下键盘的一个键
- C. 两数相加结果为零 D. 结果溢出
19. 采用主存和外设统一编址的计算机, 区别存储单元和外设端口的依据是【 】
- A. 不同的地址码 B. 不同的地址总线
- C. 不同的操作码 D. 不同的操作码和地址码
20. 中断响应时, 由硬件保护断点并更新程序计数器, 目的是【 】
- A. 提高处理机响应速度
- B. 节省主存空间
- C. 正确进入中断处理程序并能返回中止的程序
- D. 中断处理程序易于编制

二、(30 分) 填空题(共 10 小题, 每空 1 分)

1. 冯诺依曼结构的计算机是由()()()和输入/输出这五大部件组成, 它采用()工作方式, 即: 计算机把事先编制好的程序装入内存, 按照()的顺序自动地取出执行, 不需要人的干预。
2. 计算机内部用二进制 0, 1 编码表示的数称为(), 其真正的数值称为()。
3. 已知 $X=10111100$, $Y=00110011$, 则 $X \wedge Y=(\quad)$, $X \oplus Y=(\quad)$ 。
4. 一个 C 程序中定义的变量 x 的类型为 float, 其值为 -4.25。假定计算机内部用 IEEE754 单精度浮点数表示 float, 则变量 x 在一个 32 位寄存器中的值是(); 若变量 x 的类型为 double, 则变量 x 在一个 64 位寄存器中的值是()。(用十六进制表示)

5. 某机器有 64 条指令, 平均每条指令由 6 条微指令组成, 其中 2 条取指微指令是所有指令公用。如果用断定法确定下条微指令地址, 则微指令中地址字段的位数至少需 () 位; 如果微指令长度为 32 位, 则控制存储器容量至少是 () 位。
6. 某计算机的主存地址空间大小为 16MB, 按字节编址, 其 Cache 数据区的容量为 4KB。假设 Cache 采用 2 路组相联映射, LRU 替换算法和写回策略, 块大小 64B, 则 Cache 的标识字段为 () 位, 索引字段为 () 位、块内偏移字段为 () 位。除该数据区外, 该 Cache 还需要 () 字节的容量。
7. 某计算机的主存地址空间大小为 1024MB, 存储器按字节编址, 如果采用 $16\text{M} \times 1$ 位的 DRAM 芯片组成 256MB 的主存, CPU 一次读写存储器最多可以读取 32 位数据。在不考虑其他因素的情况下, 则存储器地址寄存器 MAR 和存储器数据寄存器的位数至少是 () 和 ()。
8. 按照刷新操作周期分配方式的不同, DRAM 刷新可分为 () 刷新和 () 刷新。
9. 在单级中断系统中, 中断服务程序内的执行顺序是 () () () () 和 ()。这里, I、保存断点; II、保护现场; III、中断处理; IV、关中断; V、设置新屏蔽字; VI、开中断; VII、恢复现场; VIII 恢复旧屏蔽字; IX 恢复断点; X、中断返回。(用编号填空)
10. 光盘依据读写特性可分为 () () 和 () 三种类型。

三、(30 分) 简答题(共 5 小题, 每小题 6 分)

1. 试从硬件角度, 简述提高计算机运算器速度和存储器速度的途径与方法。

2. 计算机流水线中存在哪些冒险？分别叙述消除流水线中这些冒险的方法。

3. 采用多周期控制器实现的 CPU，问在哪个时钟周期检测以下异常或中断：除数为 0、结果溢出、无效指令地址、缺页和外部中断？

4. RAID 磁盘阵列的主要目的是什么？什么是条带化？RAID 盘列中，哪些采用大条区交叉分布方式？哪些采用小条区交叉分布方式？试述这两种条带化方式的优点。

5. 简述 CPU 控制 I/O 操作采用的中断控制传送和 DMA 传送的区别。

四、(50 分)综合应用题(共 4 小题)

1. (16 分) 在一个 8 位计算机上运行如下两段伪代码:

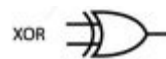
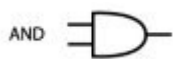
| | |
|--------------------------------------|--------------------------------------|
| <code>add_ok(char x, char y){</code> | <code>sub_ok(char x, char y){</code> |
| <code> char sum;</code> | <code> char sub;</code> |
| <code> sum = x + y;</code> | <code> sub = x - y;</code> |
| <code>}</code> | <code>}</code> |

程序定义了四个 char 型(用补码表示)的变量 x, y, sub 和 sum, 已知 $x=127$, $y=-128$ 。请回答下列问题:

- (1) 按照计算机内部定点数的补码运算规则完成上述 2 个运算(要求写出计算过程, 并判断是否溢出, 结果用十进制数, 同时进行验证)。

(2) 如果上述运算有溢出, 计算机应该进行如何处理?

(3) 给定如下器件, 试实现一个能够完成上述运算的加法器(要求画出逻辑示意图。实现方式不限)。



2. (12 分) 图 (a) 所示是一个非流水线化的硬件实例, 它由一些执行计算的组合逻辑和一个保存计算结果的寄存器组成。该组合逻辑分为 6 个模块, 依次命名为模块 A~模块 F, 每个模块延迟分别为 60, 30, 40, 45, 10 和 70ps。一般在哪里插入流水线寄存器, 就会有不同深度的流水线及其相应的最大吞吐率。假设 A 流水线寄存器的延迟为 20ps。请回答下列问题:

(1) 如果要得到一个最大吞吐率的流水线设计, 至少需要几个流水段? 描述这个流水线设计, 此刻最大吞吐量和延迟各是多少?

- (2) 某计算机指令系统中的部分指令格式如图 (b) 所示。其 CPU 采用五级流水线，包括取指 (Ifetch)、译码/读寄存器 (Reg/Dec)，执行 (Exec)，访问存储器 (MEM)、结果写回寄存器 (Wr)。假设单个指令执行过程的多周期流水线如图 (c) 所示，流水线没有采用任何转发技术处理数据相关，且同一寄存器的读和写操作不能在同一个时钟周期内进行。某高级语言的赋值语句为 $x=x+y$, x 和 y 均为 int 型变量，其存储单元分别为 $[x]$ 、 $[y]$ ，则执行这条赋值语句至少需要多少个时钟周期？为什么？并画出指令执行过程的多周期流水线图。

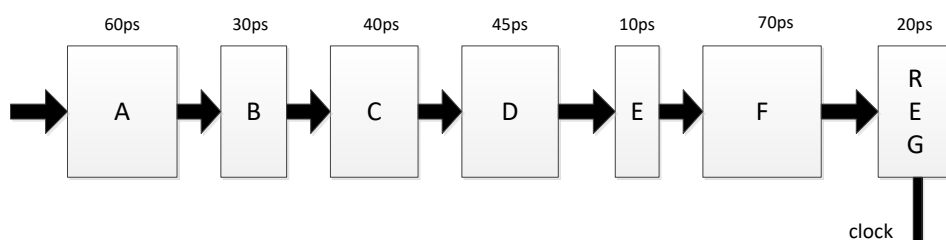


图 (a) 一个简单的非流水线化硬件实例

指令系统中部分指令格式

| 名称 | 指令的汇编格式 | 指令功能 |
|------|---------------|--|
| 加法指令 | ADD Rs, Rd | $(Rs) \rightarrow (Rd) \rightarrow Rd$ |
| 取数指令 | LOAD Rd, mem | $(mem) \rightarrow Rd$ |
| 存数指令 | STORE Rs, mem | $(Rs) \rightarrow mem$ |

图 (b) 某指令系统的部分指令格式实例

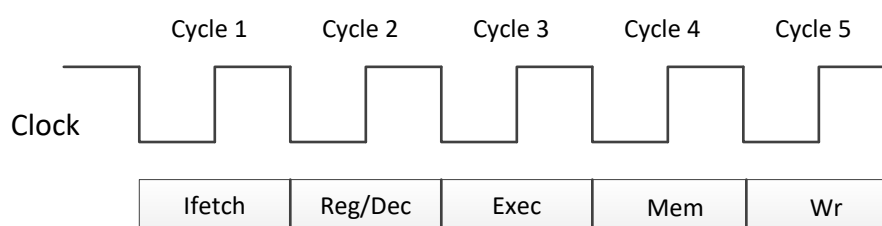


图 (c) 单个指令在流水线中执行的多周期流水线图

3. (12 分) 某处理器拥有一个容量为 256B 的数据 Cache, 其块大小为 32B, 该 CPU 上运行以下 C 程序段, $\text{sizeof}(\text{int}) = 4$. 编译器将变量 i, j, c, s 都分配了寄存器, 一维数组 a 保存在存储器中, 请回答下列问题(请说明理由):

- (1) 若 Cache 采用直接映像方式, 有几个 Cache 行? 当 $s=64$ 和 $s=63$ 时, Cache 失效率分别是多少?
- (2) 若 Cache 采用 2 路组相联映射方式, 有几个 Cache 组? 当 $s=64$ 和 $s=63$ 时, Cache 失效率又分别是多少?

```
int i, j, c, s, a[128];  
.....  
for(i=0; i<1000; i++)  
    for(j=0; j<128; j=j+s)  
        c=a[j];
```

4. （10 分）某计算机系统的 CPU 主频为 1GHz，所配置的磁盘有 8 个磁头，每个盘面有 40000 个磁道，每个磁道有 600 个扇区，每个扇区的数据容量是 512B，磁盘转速为 10000RPM，平均寻道时间为 5ms。假定在一个相当长的时间内，磁盘一直执行 I/O 操作，磁盘与主存之间的数据传送采用 DMA 方式控制，DMA 的平均传送长度为 8 个扇区，每次 DMA 传送时，处理器需要花费 1000 个时钟周期进行 DMA 初始化及其后处理。请回答下列问题：

- (1) 磁盘容量约为多少？（单位用 GB）
- (2) 磁盘平均存取时间是多少？（不考虑数据传输时间，单位用 ms）
- (3) 如何组织磁盘地址？
- (4) 处理器用于磁盘 I/O 的时间占整个处理器时间的百分比是多少？

国防科大 2018 考研试题 (821 计算机原理)

一、(40 分)单项选择题(共 20 小题, 每小题 2 分)

1. 下面关于摩尔定律的描述中, 错误的是【 】
- A. 每 18 个月, 集成电路芯片集成的晶体管数将翻一番
- B. 每 18 个月, 集成电路芯片的速度将提高一倍
- C. 每 18 个月, 集成电路芯片的价格将降低一半
- D. 集成电路技术将一直遵循摩尔定律发展下去
2. 某基准程序在主频 400MHz 的处理器上运行, 其目标代码有 100000 条指令, 由如下各类指令及时钟周期计数混合组成:

| 指令类型 | 指令条数 | 执行每条指令的周期数 |
|-------|--------|------------|
| 整数运算 | 45 000 | 1 |
| 数据传送 | 32 000 | 2 |
| 浮点数运算 | 15 000 | 3 |
| 控制传送 | 8000 | 2 |

该程序的执行时间和有效 MIPS 分别是【 】

- A. 250us、400 B. 400us、250 C. 425us、235 D. 500us、200
3. 下列选项中, 能缩短程序执行时间的措施是【 】
- ①提高 CPU 时钟频率 ②优化数据通路结构 ③编译优化程序
- A. 仅①和② B. 仅①和③ C. 仅②和③ D. 全部
4. 下列各进制数据中, 最小的数是【 】
- A. $(2F)_{16}$ B. $(63)_8$ C. $(1001\ 0110)_2$ D. $(1001\ 0110)_{BCD}$
5. 设 $[x]_{\text{原}} = 1.x_1x_2x_3x_4$, 为使 $x > -1/2$ 成立, 应满足的条件是【 】
- A. x_1 必须为 0, $x_2x_3x_4$ 至少有一个为 1
- B. x_1 必须为 0, $x_2x_3x_4$ 任意
- C. x_1 必须为 1, $x_2x_3x_4$ 至少有一个为 1
- D. x_1 必须为 1, $x_2x_3x_4$ 任意
6. 某数采用 IEEE754 单精度浮点数格式表示为 C5100000H, 该数的真值是【 】
- A. $(-0.125)_{10} \times 2^{10}$ B. $(-0.125)_{10} \times 2^{11}$
- C. $(-1.125)_{10} \times 2^{11}$ D. $(-1.125)_{10} \times 2^{10}$

7. 下列有关浮点数加减运算的叙述中, 正确的是【 】
- ①对阶操作不会引起阶码上溢或下溢
 ②右规和尾数舍入都可能引起阶码上溢
 ③左规时可能引起阶码下溢
 ④尾数溢出时结果不一定溢出
- A. ②③ B. ①②④ C. ①③④ D. 全部
8. 有关计算机的指令和数据存放位置的叙述中, 下列选项正确的是【 】
- A. 程序启动后, 其指令和数据才被装入内存
 B. 指令和数据任何时候都存放在内存
 C. 指令和数据任何时候都存放在内存
 D. 指令存放在内存, 数据存放在外存

9. 某存储器从总址 1000H 到地址 1003H 中字节填充为如下数字:

| 存储器地址 | 十六进制数 |
|-------|-------|
| 1000H | 23H |
| 1001H | F7H |
| 1002H | 32H |
| 1003H | ABH |

假定采用二进制补码表示且操作数对齐, 按照小端字节序存储方式, 分别给出地址 1000H 和 1002H 处的 16 位半字所对应的十进制数的值分别是【 】

- A. 63267、43826 B. 9207、12971 C. -2269、-21710 D. -56329、-52565
10. CPU 从存储器取出一条指令并执行完成所需的总时间称之为【 】
- A. 时钟周期 B. CPU 周期 C. 机器周期 D. 指令周期
11. 假设内存地址为 0400H 单元中的内容为 5200H, 5200H 内存单元的内容为 3400H, 3400H 内存单元的内容为 5600H, 5600H 内存单元的内容为 1200H。某条指令的操作数寻址方式是变址寻址, 执行该指令时变址寄存器的内容为 0400H, 指令中给出的形式地址为 5200H, 则该指令操作数为【 】
- A. 1200H B. 3400H C. 5200H D. 5600H
12. 有关指令和微指令之间关系的描述中, 下列选项正确的是【 】
- A. 一条指令的功能可通过一条微指令实现

- B. 一条指令的功能可通过执行一个微程序实现
C. 一条微指令的功能可通过执行一条指令实现
D. 一条微指令的功能可通过执行一个程序实现
13. 下列有关数据冒险和转发技术的叙述中, 正确的是【 】
- ①并不是所有的数据冒险都能通过转发解决
②可以通过调整指令顺序和加入 nop 指令消除所有数据冒险
③五段流水中 Load-Use 数据冒险会引起一个时钟周期的阻塞
④前面的分支指令和后面的 ALU 运算指令肯定不会发生数据冒险
- A. ①③ B. ①②④ C. ②③④ D. 全部
14. 下列关于半导体存储器的描述中, 错误的是【 】
- A. 半导体存储器都采用随机存取方式进行读写操作
B. ROM 芯片属于半导体随机存储器芯片, 可用作 BIOS
C. SRAM 是半导体静态随机访问存储器, 可用作 Cache
D. DRAM 是半导体动态随机访问存储器, 可用作主存
15. 若主存地址空间大小为 1024MB, 按字节编址, 每个存储器读写操作一次最多可以存取 32 位。不考虑其他因素, 则存储器地址寄存器 MAR 和存储器数据寄存器 MDR 的位数至少各为【 】
- A. 30, 8 B. 30, 32
C. 28, 8 D. 28, 32
16. 假定采用单体存储器组织方式, CPU 通过存储器总线读取数据的过程为: 发送地址和读命令需 1 个时钟周期, 存储器准备好一个数据需 8 个时钟周期, 总线上每传送一个数据需 1 个时钟周期。若主存和 Cache 之间交换的主存块大小为 64B, 存取宽度和总线宽度均为 8B, 则 Cache 失效开销所需的时钟周期数至少是【 】
- A. 64 B. 72 C. 80 D. 160
17. 外设发生异常事件或完成特定任务时, 会通过“外部中断”请求 CPU 执行相应的中断服务程序进行处理。下列选项中, 能够引起外部中断的事件是【 】
- A. 访问内存时缺页 B. Cache 没有命中
C. 磁盘寻道结束 D. 运算发生溢出

18. 下列总线仲裁方式中, 对电路故障最敏感的是【 】
- A. 链式查询 B. 冲突检测 C. 独立请求 D. 自举分布
19. 下列有关总线的叙述中, 错误的是【 】
- A. 总线是一组共享的信息传输线
- B. 系统总线中有地址、数据和控制 3 组传输线
- C. 同步总线一定有时钟信号线, 用于总线操作中的定时
- D. 系统总线始终由 CPU 控制和管理
20. 假定一个事务处理系统 A, 其处理器速度为每秒钟执行 5 千万条指令, 每个事务处理需要 5 次 I/O 操作, 每次 I/O 操作需要 10000 条指令。如果系统 A 每秒钟最多完成 1000 次 I/O 操作, 若忽略延迟且事务可以不受限制地并行处理, 则每秒钟处理器的事务数最多能达到【 】
- A. 200 B. 1000 C. 2000 D. 10000

二、(30 分)填空题(共 10 小题, 每空 1 分)

1. 某计算机字长 8 位, 内有一个 8 位加法器。已知无符号数 $x=69$, $y=38$, 现要在加法器上完成 $x+y$ 的运算, 此刻加法器的两个输入端和输入低位进位的二进制数值分别是 ()、()、()。
2. 某变量 x 存放在寄存器 R1 中, 其值为 1111 1111 1111 1111 1111 1011 1100 0000B。变量 x 在屏幕上用 16 进制数显示为 ()。若变量 x 的类型为 int, 则 x 的真值为 (); 若对 R1 进行算术左移 4 位后的值在屏幕上显示为 (); 若对 R1 进行算术右移 4 位后的值在屏幕上显示为 (); 若对 R1 逻辑右移 4 位后在屏幕上显示为 ()。
3. 静态存储器 SRAM 是利用 () 存储信息, 动态存储器 DRAM 是利用 () 存储信息, 需要定时刷新的存储器是 ()。
4. 某计算机主存地址空间大小为 4GB, 按字节编址, 主存块大小为 128B。Cache 可存放 64KB 的数据, 采用直接映射和 Write Through 策略, 主存地址中标识字段长 () 位, 索引字段长 () 位, 块内偏移字段长 () 位。
5. 在存储器层次式结构中, 存储器按访问速度从快到慢排列的次序是 ()、()、主存和 ()。

6. 现代计算机的主存大多采用字节编址。假定一个页面虚拟存储器系统的虚拟地址位数为 36 位, 则虚拟 (逻辑) 地址空间大小应为 ()。若页面大小为 4KB, 则一个程序最多可以有 () 个页面。
7. 可以用一个特殊的 Cache 来记录最近使用页的页表项, 页表项主要用于虚实地址转换, 把这种特殊的 Cache 称之为转换后援缓冲器, 简称 ()。
8. 在 DMA 控制方式中, DMA 控制器完全从 CPU 接管了对 () 的控制, 数据交换不再经过 CPU, 直接在 () 和 () 之间进行。
9. CPU 响应中断的三个条件如下: 一是中断源有 (); 二是 CPU () 中断; 三是 CPU 运行的一条指令 (), 且没有更紧迫的任务或事件, 如断电中断、DMA 传送等。
10. 某磁盘存储器有 20 个数据盘面, 每个盘面有 2000 个磁道, 每个磁道均记录 45000B 信息, 最小磁道直径是 240mm, 最大磁道直径是 340mm。每个磁道划分 64 个扇区, 每个扇区 512 个字节。则该磁盘存储器的道密度为 () 道/mm, 柱面数为 (), 非格式化容量为 (), 格式化容量为 ()。

三、(30 分) 简答题(共 5 小题, 每小题 6 分)

1. 请说明以下措施对缩短程序的响应时间、提高系统的吞吐率有何影响?
 - (1) 使用更快的处理器;
 - (2) 优化编译器生成的代码使程序执行的总时钟周期数减少。

2. 下面是一个 C 语言程序, 用来计算一个数组 a 中每个元素之和。当参数 len 为 0 时, 返回值应该是 0, 但在执行时, 却发生了存储器访问异常。请问是什么原因造成的, 程序应该如何修改才能正确执行?

I. float sum_elements(float a[], unsigned int len)

II. {

III. int i;

IV. float result = 0;

V.

VI. for(i=0; i<=len-1; i++)

VII. result+=a[i];

VIII. return result;

IX. }

3. 带有 TLB 和 Write Back 写策略 Cache 的 CPU 执行一条 Store 指令 (向存储器写数据) 时, 最少需要访问几次主存? 为什么?

4. 中断响应优先级和中断处理优先级一样吗? 为什么?

5. 什么是总线突发传送? 它有何好处? 适用于什么场合?

四、(50 分)综合应用题(共 5 小题)

1. (10 分)已知: 被乘数 $A=+0.10101$, 乘数 $B=-0.11011$, 请用补码一位比较乘法(Booth 乘法)规则, 求 $[A \times B]_{\text{补}}=?$, 要求写出计算步骤和运算竖式。

2. (10 分) 某计算机字长 16 位, 标志寄存器 Flag 中的 ZF、SF 和 OF 分别是零标志、符号标志和溢出标志, 采用双字节定长指令。假定 bgt (大于零转移) 指令的第一个字节指明操作码 OP 和寻址方式 MOD, 第二个字节为偏移地址 imm8, 用补码表示。指令功能是:

若 $(ZF + (SF \oplus OF) == 0)$, 则 $PC = PC + 2 + imm8 \times 2$, 否则 $PC = PC + 2$ 。

其中, PC 表示程序计数器。请回答下列问题:

(1) 该计算机的编址单位是多少? 为什么?

(2) bgt 指令执行的是带符号数比较还是无符号数比较? 偏移地址 imm8 表示相对地址还是相对指令条数? 转移目标地址的范围是什么?

3. (10 分) 某汇编程序中的一段代码如下:

```
Load    1#, A           ; 存储器地址 A 中的内容 → 寄存器 1#
Load    2#, B           ; 存储器地址 B 中的内容 → 寄存器 2#
Add     3#, 1#, 2#       ; (寄存器 1# + 寄存器 2#) 的结果 → 寄存器 3#
Store   C, 3#           ; 寄存器 3# 的内容 → 存储器地址 C
Load    4#, E           ; 存储器地址 E 中的内容 → 寄存器 4#
Load    5#, F           ; 存储器地址 F 中的内容 → 寄存器 5#
Sub     6#, 4#, 5#       ; (寄存器 4# - 寄存器 5#) 的结果 → 寄存器 6#
Store   D, 6#           ; 寄存器 6# 的内容 → 存储器地址 D
Add     7#, 3#, 6#       ; (寄存器 3# + 寄存器 6#) 的结果 → 寄存器 7#
Store   H, 7#           ; 寄存器 7# 的内容 → 存储器地址 H
```


请回答下列问题：

- (1) 这段汇编代码实现了哪三条 C 语句的功能？

- (2) 在采用转发技术的五级流水线处理器中，这段汇编代码是否存在数据相关性？并指出哪些指令可能存在数据相关性？

- (3) 为了提高指令流水线的执行效率，应尽量减少指令之间的数据相关性。在保证程序功能不变的前提下，如何调整上述指令顺序以减少数据相关性？要求写出调整顺序后的汇编代码段。

4. (10 分) 假设计算机的虚地址 42 位，配置 1GB 物理内存。机器字长 64 位，地址按字节编址并且按字节对齐。虚拟地址表示为 $V_{41} \sim V_0$ ，物理地址表示为 $P_{29} \sim P_0$ 。请回答下列问题

(1) 假定页表配置如下：采用一级页表、页大小为 4KB、页表项为 4B。则虚拟地址中哪些位用于表示虚页号？哪些位用来表示页面地址？页表项中必须有的 1 位信息是什么？页表大小是多少(以字节为单位)？

(2) 假定 TLB 配置如下：TLB 大小为 256 项、采用两路组相联。则虚页号中哪些位用于 TLB 标识(tag)？哪些位用作 TLB 组索引？TLB 中标识大小是多少？

(3) 假定 Cache 配置如下：Cache 大小为 128KB、块大小为 64B，采用四路组相联，Cache 用物理地址访问。则物理地址中哪些位作为标识 Tag？哪些位用作组索引？哪些位用于块内地址？

5. (10 分) 若有 8 个盘面的磁盘驱动器, 每面有 512 个磁道, 每道有 64 个扇区, 扇区大小为 1KB。平均寻道时间是 8ms, 道间移动时间是 1.5ms, 磁盘转速为 3600rpm。可以读取同一柱面上的连续磁道而磁头不需要移动。请回答下列问题:

(1) 磁盘容量是多少?

(2) 平均存取时间是多少? (不考虑数据传输时间, 单位用 ms)

(3) 假设某文件被存储在连续柱面的连续扇区和连续磁道上, 起始位置为柱面 i 上第 0 道的第 0 号扇区。那么, 传送 5MB 大小的文件所需要的时间是多少?

(4) 突发传输率是多少?

国防科大 2017 考研试题 (821 计算机原理)

一、(40 分)单项选择题(共 20 小题, 每小题 2 分)

1. 下面关于冯·诺依曼计算机的描述, 不正确的是【 】
 - A. 计算机硬件系统由运算器、存储器、控制器、输入和输出设备组成
 - B. 存储程序并按地址顺序执行是处理器(CPU)自动工作的关键
 - C. 指令和数据都是以二进制形式保存在存储器中
 - D. 指令存储器和数据存储器使用了不同的存储器
2. 下面关于 RISC(精简指令集体系结构)的描述中, 错误的是【 】
 - A. 指令条数比 CISC(复杂指令集体系结构)少
 - B. 指令长度固定, 指令格式、寻址方式种类少
 - C. 只有 load/store 指令可以访问存储器
 - D. 在程序中出现频率 80%的指令占指令总数的 20%
3. 下列选项中, 不能缩短程序执行时间的措施是【 】
 - A. 提高 CPU(处理器)时钟频率
 - B. 降低 CPU 功耗
 - C. 编译优化程序执行
 - D. 优化数据通路结构
4. 下列各进制的数据中, 最小的数是【 】

A. 00100100_2 B. 43_8 C. 32_{10} D. 25_{16}
5. 下列算术右移指令执行的操作选项中, 正确的是【 】
 - A. 符号位填 0, 顺序右移 1 位, 最低位移至进位标志位
 - B. 符号位不变, 顺序右移 1 位, 最低位移至进位标志位
 - C. 符号位填 1, 顺序右移 1 位, 最低位移至进位标志位
 - D. 进位标志位移至符号位, 顺序右移 1 位, 最低位移至进位标志位
6. 某机器数为 1000 0000, 其真值是-127, 则该有符号数表示采用的是【 】
 - A. 原码
 - B. 反码
 - C. 补码
 - D. 移码
7. 在定点二进制运算器中, 实现减法运算通常使用【 】
 - A. 原码运算的二进制减法器
 - B. 补码运算的二进制减法器

- C. 原码运算的二进制加法器
- D. 补码运算的二进制加法器
- 8. 指令系统中采用不同寻址方式的目的主要是【 】
 - A. 实现存储程序及其控制
 - B. 可以直接访问主存
 - C. 缩短指令长度, 扩大寻址空间, 提高编程灵活性
 - D. 提供扩展操作码, 降低指令译码难度
- 9. 程序控制类指令的功能是【 】
 - A. 进行算术运算和逻辑运算
 - B. 完成主存与 CPU 之间的数据传送
 - C. 改变程序执行的顺序
 - D. 完成 CPU 与 I/O 设备之间的数据传送
- 10. 在 CPU 中, 跟踪指令后继地址的寄存器是【 】
 - A. 通用寄存器 B. 指令寄存器 C. 程序计数器 D. 状态寄存器
- 11. 微程序控制器中, 机器指令与微指令的关系是【 】
 - A. 每条机器指令由一段用微指令编写的微程序解释执行
 - B. 一条微指令由若干机器指令组成
 - C. 每条机器指令由一条微指令来执行
 - D. 一段机器指令组成的程序可以由一条微指令来执行
- 12. 假定用若干个 $1\text{M} \times 8$ 位的 DRAM 芯片组成一个 $16\text{M} \times 32$ 位的主存储器, 则地址 $1\text{C}1\text{F}00\text{H}$ 所在芯片的最小地址是【 】
 - A. 000000H B. 100000H C. 180000H D. $1\text{C}0000\text{H}$
- 13. 在主存储器和 CPU 之间, 增加 Cache(高速缓冲存储器)的目的是【 】
 - A. 解决 CPU 和主存之间速度不匹配的问题
 - B. 解决 CPU 和主存之间容量不足的问题
 - C. 增加 CPU 中通用寄存器的数量
 - D. 上述都是
- 14. 某计算机中 Cache 有 16 个行(cache line), 块大小为 16 个字节, 其映射方式可配置为直接映射或 2 路组相联。主存按字节编址, 主存单元从 0 开始编

- 号。若依次访问以下主存单元,可能引起 Cache 冲突失效的是【 】
- A. 52 号和 102 号单元
B. 48 号和 308 号单元
C. 60 号和 160 号单元
D. 46 号和 236 号单元
15. 某 Cache 有 4 行,采用全相联地址映射和 LRU 替换算法。假设初始时 Cache 为空,若一个主存块访问序列为 3、5、7、3、8、20、7、11,则执行该访存序列的 Cache 命中率为【 】
- A. 0 B. 25% C. 50% D. 75%
16. 个人计算机中,一般不使用的 I/O 控制方式是【 】
- A. 程序查询方式 B. 中断方式
C. DMA 方式 D. 通道方式
17. CPU 响应中断的时刻是【 】
- A. 中断源发出中断请求 B. 取指周期结束
C. 执行周期结束 D. 间址周期结束
18. 计算机外部设备指的是【 】
- A. 输入/输出设备 B. 外存储器
C. 远程通信设备 D. 除了 CPU 和内存以外的其他设备
19. 某处理器主频为 2GHz,假定在相当长的时间内 CPU 一直在进行磁盘 I/O 操作,磁盘数据传输率为 40MB/s,采用中断控制方式与主机进行数据传送,磁盘每准备好 64 位数据申请一次中断,CPU 处理一次磁盘 I/O 中断的时间为 400 个时钟周期。则 CPU 用于该磁盘的 I/O 时间占整个 CPU 时间的百分比至少是【 】
- A. 40% B. 50% C. 80% D. 100%
20. 下列选项中,英文缩写均为总线标准的是【 】
- A. PCI、CRT、USB、EISA
B. ISA、EISA、PCI、SCSI
C. ISA、SCSI、RAM、MIPS
D. ISA、CPI、VESA、EISA

二、(30 分)填空题(共 10 小题, 每个空 1 分)

1. 当机器字长一定时, 阶码越长, 浮点数的 () 越大, () 越低。
2. 设一个定点数的位数 $n=8$ (不包括符号位), 则原码一位乘需要做 () 次移位和最多 () 次加法, 补码 Booth 算法需要做 () 次移位和最多 () 次加法。
3. 某计算机字长为 16 位, 主存容量为 64 字, 采用单字长单地址指令, 共有 50 条指令。假设采用直接寻址、间接寻址、变址寻址、相对寻址四种寻址方式, 其指令格式中的操作码为 () 位, 寻址方式为 () 位, 地址码为 () 位。
4. 某 CPU 指令流水线由五个功能段组成, 指令流经各功能段的时间分别为 85ns、80ns、75ns、70ns 和 65ns, 则该 CPU 时钟周期至少是 ()。
5. 在 MIPS 基本流水线中, 一共使用了 () 个多路选择器, 其中 EX 段有 () 个, WB 段有 () 个。
6. 主存与 Cache 的地址映射有 ()、() 和 () 三种方式。
7. 若 CPU 执行一段程序时, 访问 Cache 的次数为 500 次, 访问主存的次数为 200 次。已知 Cache 存取周期为 40ns, 主存存取周期为 160ns, 则 Cache 命中率 H 为 (), 平均访存时间是 ()。
8. 假设 CPU 在中断周期中, 采用堆栈保护程序断点, 且进栈时栈指针减一, 出栈时栈指针加一。在微程序控制器中, 若要实现中断返回指令, 则在取指阶段所需的微操作有 ()、() 和 (), 在执行阶段所需的微操作有 ()、() 和 ()。
9. 在 DMA 方式中, DMA 控制器从 CPU 完全接管对 () 的控制, 数据交换不再经过 CPU, 直接在 () 和 () 之间进行。
10. 在计算机系统中, 多个功能部件/系统部件之间传送信息的公共数据通路称为 ()。就其所传送信息的性质而言, 在公共通路上传送的信息包括数据、() 和 () 信息。

三、(30 分)简答题(共 5 小题, 每小题 6 分)

1. 什么是指令? 什么是指令周期? 什么是指令系统?

2. 什么是程序局部性原理? 硬件如何利用局部性来提高程序的执行时间?

3. 什么是关中断? CPU 响应中断及中断处理过程中要做几次关中断操作? 为什么?

4. CPU 执行访存操作是否总是要进行虚拟地址至物理地址的转换吗? 为什么?

5. 请列举出三种能够提高总线带宽的技术/方法。

四、(50 分)综合应用题(共 5 小题)

1. (11 分)假设浮点数的格式为: 阶码 4 位, 包含一位符号位; 尾数 6 位, 包含一位符号位; 阶码和尾数均用补码表示, 排列顺序为: 阶符(1 位) 阶码(3 位) 数符(1 位) 尾数(5 位)。请按照上述浮点数的格式, 回答下列问题:

(1) 若 $X_{10}=22/64$, $Y_{10}=-2.75$, 则求 X , Y 的规格化浮点数表示。

(2) 求 $[X+Y]_{\text{浮}}$ 之值(要求用补码计算, 并列出计算步骤, 舍入采用恒置 1 法)。

2. (9 分) 图 1 描述了基本的 MIPS 流水线, 其 5 级流水段分别为: 取指 (IF) 段、译码 (ID) 段、执行 (EX) 段、访存 (MEM) 段和写回 (WB) 段。请写出进行数据定向所需的全部数据通路。注意: 写出每条通路的起点和终点 ((1)~(12)) 即可, 例如 (6) (8), 表示起点为 (6), 终点为 (8) 的数据通路。

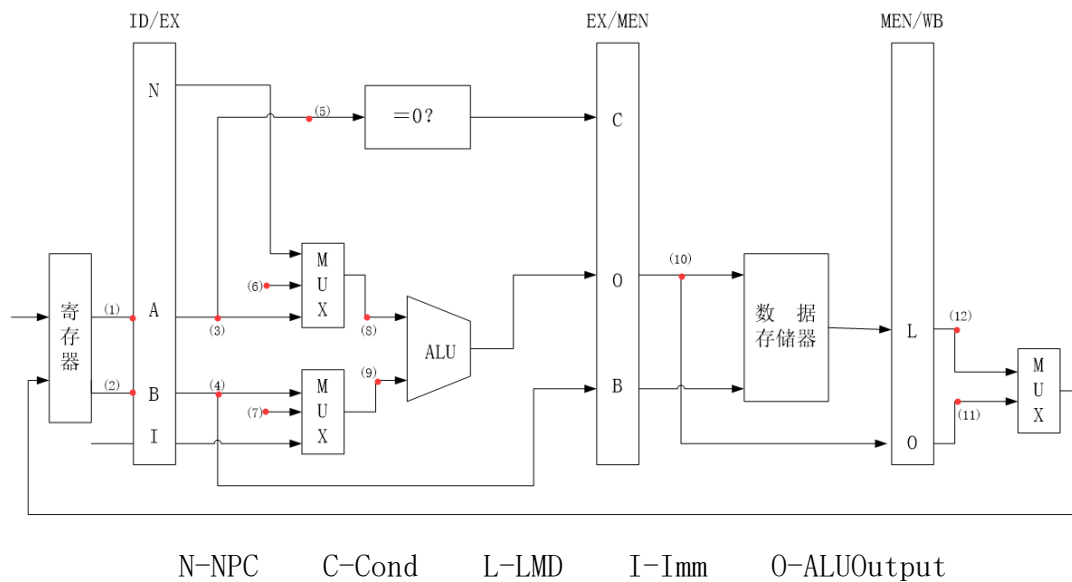


图 1 MIPS 流水线的数据通路示意图

3. (9 分) 在 16 位字长的主存储器中设置向上生长的堆栈, 数据压入栈顶, 堆栈指针 (SP) 加 1; 数据弹出栈顶, SP 减 1。某时刻 SP 的内容是 200H, 栈顶内容是 2000H, 双字长的子程序调用指令位于主存储器地址为 3000H、3001H 处, 指令第二个字是地址字段, 该地址存储的数值为 1000H。下列三种情况时, PC(程序计数器)、SP 和栈顶的内容各是什么?

(1) 子程序调用指令被读取之前;

(2) 子程序调用指令被执行之后;

(3) 子程序返回之后。

4. (10 分) 某计算机字长为 32 位, 主存采用字节编址, 其地址线为 24 根, 使用 512K×4 位的 DRAM 芯片组成该机最大存储空间存储器。外围电路采用 TTL 电路, 假定一个 TTL 门电路可驱动 8 个 \overline{WE} 端。请回答下列问题:

(1) 计算存储器的容量;

(2) 存储器需要多少 DRAM 存储芯片?

(3) 存储器地址码位数是多少? 作为片选的地址码位数又是多少?

(4) 计算存储器的 \overline{WE} 端需多少 TTL 门电路驱动?

5. (11 分) 某磁盘机的盘组由 5 个盘片组成。其中专设一个盘面为伺服面, 其它为记录面。盘面的存储区域内直径为 6.4cm, 外直径为 12.4cm。道密度为 2000TPM, 位密度为 6000bpm, 转速为 7200RPM, 假定 $\pi=3$ 。请回答下列问题

(1) 磁盘的记录盘面数和柱面数各是多少?

(2) 磁盘的非格式化容量 C_n 为多少字节?

(3) 磁盘的数据传输率 f_n 为多少字节/秒?

(4) 若一个磁道分成 64 个扇区, 计算机系统配备该磁盘 10 台, 试为磁盘控制器设计一个地址方案。

国防科大 2016 考研试题 (821 计算机原理)

一、(40 分)单项选择题(共 20 小题, 每小题 2 分)

- 冯诺依曼计算机的最根本特征是【 】
A. 顺序执行指令操作
B. 控制流驱动指令执行
C. 按地址访问存储器
D. 采用存储程序原理
- 假定处理器 P 的主频为 3GHz, CPI 为 1.5, P 运行某个程序的执行时间是 10s, 则处理器 P 的时钟周期数、所运行程序的指令数分别是【 】
A. 3×10^9 , 20×10^9
B. 3×10^{10} , 20×10^9
C. 3×10^9 , 30×10^9
D. 3×10^{10} , 30×10^{10}
- 在定点运算器中, 无论采用变形补码(双符号位)法, 还是单符号法, 都必须有溢出判断电路, 其实现电路常用的是【 】
A. 异或门 B. 与非门 C. 或非门 D. 与门
- 若编译器规定 int 和 short 数据类型长度占 32 位和 16 位, 执行下列 C 语言语句:

```
unsigned short x=65530;
```

```
int y=x;
```

得到 y 的机器数是【 】
A. 0x0000 7FFA B. 0x0000 FFFA C. 0xFFFF 7FFA D. 0xFFFF FFFA
- 在处理器(CPU)中, 存储下一条要执行指令的地址的寄存器是【 】
A. 存储器地址寄存器(MAR) B. 存储器数据寄存器(MDR)
C. 程序计数器(PC) D. 指令寄存器(IR)
- 下列寻址方式中, 源操作数不在存储器的是【 】
A. 立即数寻址 B. 寄存器寻址 C. 偏移寻址 D. 存储器寻址
- 下列关于 RISC 的叙述中, 错误的是【 】
A. RISC 普遍采用组合逻辑控制器

- B. RISC 的大多数指令都在一个时钟周期内完成
- C. RISC 的内部通用寄存器数量相对 CISC 少
- D. RISC 的指令数、寻址方式和指令格式种类相对 CISC 少
8. 某计算机指令流水线由四个功能段组成, 指令流经各功能段的时间分别是 90ns、80ns、70ns 和 60ns, 则该计算机 CPU 时钟周期至少是【 】
- A. 90ns B. 80ns C. 70ns D. 60ns
9. 下列选项中, 不会引起指令流水阻塞的是【 】
- A. 数据旁路 B. 数据相关 C. 条件转移 D. 资源冲突
10. 相对于微程序控制器, 硬布线控制器的特点是【 】
- A. 指令执行速度慢, 指令功能的修改和扩展易
- B. 指令执行速度慢, 指令功能的修改和扩展难
- C. 指令执行速度快, 指令功能的修改和扩展易
- D. 指令执行速度快, 指令功能的修改和扩展难
11. 垂直型微指令的特点是【 】
- A. 微指令格式垂直表示 B. 控制信号经过编码产生
- C. 采用微操作编码 D. 采用微指令编码
12. 某计算机主存容量为 64KB, 存储总线宽度为 32 位, 其中 ROM 区为 16KB, 其余为 RAM 区, 按字节编址。现要用 $1K \times 8$ 位的 ROM 芯片和 $4K \times 4$ 位的 RAM 芯片设计该存储器, 则需上述规格的 ROM 和 RAM 的芯片数至少是【 】
- A. 8、12 B. 16、12 C. 8、24 D. 16、24
13. 下列有关 RAM 和 ROM 的叙述中, 正确的是【 】
- A. RAM 是易失性存储器, ROM 是非易失性存储器
- B. RAM 采用随机存取的方式进行信息访问, ROM 不是
- C. RAM 和 ROM 都可用作高速缓存 (Cache)
- D. RAM 和 ROM 都需要进行定时刷新
14. 某计算机的 Cache 共有 16 行, 采用 4 路组相联映射方式 (即每组 4 行)。每个主存块大小为 64 字节, 按字节编址。主存第 130 号单元 (从 0 开始编址) 所在主存块应装入到的 Cache 组号是【 】
- A. 0 B. 1 C. 2 D. 3

15. 某计算机的主存按字编址, Cache 有 4 行, Cache 和主存之间交换的块为 1 个字。若 Cache 的内容初始为空, 采用 2 路组相联映射方式和 LRU 替换算法。当处理器访问的主存地址依次为 0, 4, 8, 2, 0, 6, 0, 4, 8 时, 命中 Cache 的次数是【 】
- A. 0 B. 1 C. 2 D. 3
16. 下列选项, 一次访存过程中不可能发生的是【 】
- A. TLB 未命中, Cache 未命中, Page 未命中
B. TLB 未命中, Cache 命中, Page 命中
C. TLB 命中, Cache 未命中, Page 命中
D. TLB 命中, Cache 命中, Page 未命中
17. 假定一台计算机的显示存储器用 DRAM 芯片实现, 若要求显示分辨率为 1920×1080 , 颜色深度为 24 位, 帧频 60Hz, 显示总带宽的 50% 用来刷新屏幕, 则需要的显存总带宽至少约为【 】
- A. 249Mbps B. 1493Mbps
C. 2986Mbps D. 5972Mbps
18. 某磁盘转速为 10000 转/分, 平均寻道时间为 6ms, 磁盘传输速率为 20MB/s, 磁盘控制器延迟为 0.2ms, 读取一个 4KB 的扇区所需的平均时间约为【 】
- A. 9ms B. 9.4ms
C. 12ms D. 12.4ms
19. 中断向量提供的是【 】
- A. 被选中的设备地址
B. 传送数据的起始地址
C. 中断服务程序入口地址
D. 主程序的断点地址
20. 下列关于 USB 总线特性的描述中, 错误的是【 】
- A. 可实现外设的即插即用和热拔插
B. 可通过级联方式连接多台外设
C. 是一种通信总线, 连接不同外设
D. 可同时传输 8 位数据, 数据传输率高

二、(30 分)填空题(共 11 小题, 每空 1 分)

1. 存储程序原理的基本思想是: 计算机要自动完成解题任务, 必须将事先设计好的、用以描述计算机解题过程的 () 和 () 一样, 采用 () 形式存储在机器内部, 计算机在工作时自动高速从机器中逐条取出指令, 并加以执行。
2. 某个 C 语言程序在一台 32 位机器上运行, 程序定义了三个变量 x 、 y 、 z , 其中 x 和 z 是 `int` 型, y 是 `short` 型。当 $x=127$, $y=-9$ 时, 执行赋值语句 $z=x+y$ 后, x 、 y 、 z 的机器数分别为 ()、() 和 () (用 16 进制表示)。
3. 某机器有 120 条指令, 平均每条指令由 5 条微指令组成, 其中有一条取指微指令是所有指令公用。已知微指令长度为 32bit, 则控制存储器的容量最少是 () bit。
4. 微程序控制器采用字段直接编码时, 将能同时产生的微命令分配在 () 字段编码, 这些微命令称之为 (); 将不能同时出现的微命令分配在 () 字段编码, 这些微命令称之为 ()。
5. 某计算机采用 IEEE754 表示浮点数, 主存按字节编址, 大端方式存储信息。若变量 x 的主存地址为 0000 1000H, 其数据类型为 `float`, 已知 $x=-1.75$, 则 x 的机器数应该是 () (16 进制表示), 主存地址 0000 1000H 和 0000 1003H 中存放的内容分别是 () 和 ()。
6. 控制器的功能是从 () 取指令, 并对 () 进行译码, 生成相应的 ()。
7. 虚拟存储器只是一个抽象概念, 是一种 () 机制, 物理上是不存在的。虚拟存储器的大小不等于磁盘容量与内存容量之和, 其大小由 () 决定, 与计算机系统实际安装的磁盘容量和内存容量没有直接关系。
8. 某 DRAM 芯片, 其字位结构为 $1\text{M} \times 1$ 位, 则地址引脚是 () 个、数据引脚是 () 个。

9. 检查有无中断请求的操作安排在 () 之后, 而检查有无 DMA 请求操作安排在 () 之后。
10. 在多级中断系统中, 中断服务程序内的执行程序是 ()、()、()、中断处理、()、()、() 和中断返回。这里, ①保护现场和旧屏蔽字; ②开中断; ③关中断; ④保存断点; ⑤设置新屏蔽字; ⑥恢复现场和旧屏蔽字; ⑦恢复断点 (用编号填空)。
11. 2015 年 11 月, “天河-2 号”再次排名 Top500 排行榜榜首。这是“天河-2 号”连续第 () 次名列 Top500 排行榜第一。

三、(30 分)简答题(共 5 小题, 每小题 6 分)

1. 指令和数据均存放在内存中, 计算机如何从时间和空间上来区分它们是指令还是数据?

2. 如何确定指令流水线的瓶颈段? 有哪些方法可以消除流水线的瓶颈段?

3. 在存储器层次结构中, 引入 Cache 和主存层次的目的是什么? 该层由谁实现?
引入主存和辅存层次的目的是什么? 该层又由谁实现?

4. Windows 系统中打开一个 Word 文件的方法一般是双击鼠标左键, 请问这个过程中 CPU 会处理哪些中断?

5. 请列举三种能够提高总线带宽的技术。

四、(50 分) 综合应用题 (共 4 小题)

1. (16 分) 某计算机字长为 32 位, 整数用补码表示。主存地址空间大小为 4GB, 按字节编址。采用定长指令格式, 指令字段定义如下:

| | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|-----|---|
| 31 | 26 | 25 | 24 | 23 | 21 | 20 | 19 | 18 | 16 | 15 | 0 |
| Op | | Md | | Rd | | Ms | | Rs | | Imm | |

操作码

目的操作数

源操作数

立即数或偏移量

转移指令采用相对寻址方式，相对偏移用补码表示。寻址方式定义如下：

| Ms/Md | 寻址方式 | 助记符 | 含义 |
|-------|---------|-------|-----------------|
| 00B | 立即数寻址 | Im | 操作数=Imm |
| 01B | 寄存器直接寻址 | Rn | 操作数=(Rn) |
| 10B | 寄存器间接寻址 | (Rn) | 操作数=((Rn)) |
| 11B | 相对寻址 | D jmp | 转移目标地址=(PC)+Imm |

注：(X)表示存储地址 X 或寄存器 X 中的内容。请回答下列问题：

(1) 该指令系统最多有多少条指令？该计算机最多有多少个通用寄存器？存储器地址寄存器 (MAR) 和存储器数据寄存器 (MDR) 至少各需要多少位？

(2) 转移指令的目标地址范围是多少？

(3) 若操作码 001010B 表示含立即数的加法操作(助记符为 addi), addi 指令中给的立即数为 9ABCH, 寄存器 R4 和 R5 的编号分别为 100B 和 101B, R4 中的内容为 1234H, R5 中的内容为 5678H, 主存地址 1234H 中的内容为 5678H, 地址 5678H 中的内容为 1234H, 则汇编语言为 addi (R5), R4, 9ABCH (addi 之后第 1 个是目的操作数, 第 2 个是源操作数, 第 3 个是立即数)所对应的机器码是什么(用十六进制表示)? 该指令执行后, 哪些寄存器或者存储单元的内容会改变? 改变后的内容是多少?

2. (10 分) 已知两浮点数: $A = (-0.11110) \times 2^{+001}$, $B = (+0.11011) \times 2^{-010}$, 假定阶码和尾数都用补码表示, 阶码 4 位 (含 1 位符号位), 尾数 6 位 (含 1 位符号位)。请按规格化补码加减运算规则和步骤, 采用恒置 “1” 法舍入, 计算 $[A-B]_{\text{补}} = ?$

3. (12 分) 下面一个循环程序段:

```
for(i=0; i<3; i=i+1)
    for(j=0; j<100; j=j+1)
        a[i][j]=b[j][0] × b[j+1][0];
```

试判断一共会导致多少次数据 Cache 失效? 失效率是多少? 说明理由, 假定:

- (1) 使用容量为 8KB、块大小为 16B 的直接映射 Cache, 采用写回和写分配策略。
- (2) 数组 a、b 分别为 3×100 (3 行 100 列) 和 101×3 的双精度浮点数组, 每个数组元素内都是 8B, 按列优先顺序存放。程序开始执行时, 数据都不在 Cache 内。

4. (12 分) 某计算机的 CPU 主频为 500MHz, CPI 为 5 (即执行每条指令平均需 5 个时钟周期)。若一个外设的数据传输率为 0.5MB/s, 采用中断方式与主机进行数据传送, 以 32 位为传输单位, 对应的中断服务程序包含了 18 条指令, 中断服务的其他开销相当于 2 条指令的执行时间。请回答下列问题, 要求给出计算过程:

(1) 中断方式下, CPU 用于 I/O 的时间占整个 CPU 时间的百分比是多少?

(2) 当该外设的数据传输率提高到 5MB/s 时, 改用 DMA 方式传送数据。若每次 DMA 传送的数据大小为 5000B, CPU 进行 DMA 预处理和后处理的总开销为 500 个时钟周期, 则 CPU 用于 I/O 的时间占整个 CPU 时间的百分比是多少? (假设 DMA 与 CPU 之间没有任何访存冲突)

国防科大 2015 考研试题 (821 计算机原理)

一、(40 分)单项选择题(共 20 小题, 每小题 2 分)

- 对于同一指令集, 若采用不同方法设计两台计算机 A、B。机器 A 的时钟周期为 1.5ns, 机器 B 的时钟周期为 2ns。某程序在机器 A 上的 CPI 为 2, 在机器 B 上的 CPI 为 1。那么机器 A、B 分别执行该程序时, 两者速度之间的关系是【 】
A. 机器 A 的速度是机器 B 的 1.5 倍 B. 机器 B 的速度是机器 A 的 1.5 倍
C. 机器 A 比机器 B 快 1.5 倍 D. 机器 B 比机器 A 快 1.5 倍
- 下面关于程序 P 执行时间的描述中, 正确的是【 】
A. 时钟周期数越少, 执行时间越短 B. CPI 越大, 执行时间越短
C. CPU 利用率越高, 执行时间越短 D. 系统吞吐率越高, 执行时间越短
- 某定点整数 $x = -127$, 以补码形式存放在一个 8 位寄存器 R1 中。若将寄存器 R1 中的数据进行符号扩展至 32 位操作, 则扩展操作前、后的数据分别为【 】
A. 7FH, 0000 007FH B. 81H, 0000 0081H
C. 7FH, FFFF FF7FH D. 81H, FFFF FF81H
- 在 32 位大端方式的计算机上执行如下 C 程序段, 当带*的语句执行完成后, 变量 i2, i3, i4 的取值分别为【 】
unsigned short i1=12345;
short i2=i1;
int i3=i2;
*unsigned i4=i1;
A. 12345, 12345, 12345 B. 53191, 12345, 53191
C. 12345, 53191, 12345 D. 53191, 53191, 12345
- 某机器字长 16 位, 主存按字节编址, 转移指令采用相对寻址, 由两个字节组成, 第一字节为操作码字段, 第二字节为相对位移量字段。假定取指令时, 每取一个字节 PC 自动加 1。若某转移指令所在主存地址为 2000H, 相对位移量字段的内容为 12H, 则该转移指令成功转移后的目标地址是【 】
A. 2012H B. 2013H C. 2014H D. 2015H

6. 一个指令字中, 必须有的字段是【 】
A. 操作码 B. 操作数 C. 寻址方式 D. 偏移量
7. 下列微操作中, 不是指令公共微操作的是【 】
A. $MAR \leftarrow PC$ B. $PC \leftarrow PC+1$ C. $IR \leftarrow MBR$ D. $MAR \leftarrow IR$
8. 字位结构为 $4M \times 4$ 位 SRAM 存储芯片, 其地址引脚与数据引脚之和为【 】
A. 15 B. 19 C. 26 D. 30
9. 某 Cache 采用 2 路组相联映射方式, Cache 大小为 16 行 (Cache line, 第 0 行~第 1 行), 每个主存块为 32B, 按字节编址。主存的第 1023 个单元 (从 0 开始编址) 所主存块应装入的 Cache 组号是【 】
A. 15 B. 7 C. 6 D. 1
10. 下列选项中, 正确的是【 】
A. “Cache 缺失” 和 “页面缺失” 均由硬件处理
B. “Cache 缺失” 和 “页面缺失” 均由软件处理
C. “Cache 缺失” 由硬件处理、“页面缺失” 由软件处理
D. “Cache 缺失” 由软件处理、“页面缺失” 由硬件处理
11. 下列选项中, 没有利用程序局部性原理工作的是【 】
A. Cache B. 快表 C. 虚存 D. 页表
12. 下列存储层次结构中, 具有非易失特性的存储部件是【 】
A. 寄存器 B. Cache C. 主存 D. 辅存
13. 若外设中的数据不直接和处理器 (CPU) 中的寄存器进行信息交换, 则采用的 I/O 控制方式是【 】
A. 程序查询方式 B. 程序中断方式 C. DMA 传输方式 D. 都不是
14. 某处理器主频为 500MHz, 采用定时查询方式控制设备 A 的 I/O 操作, 查询程序运行一次所用的时钟周期数至少为 500。在设备 A 工作期间, 为保证数据不丢失, 每秒需要对其查询至少 200 次, 则 CPU 用于该设备的 I/O 时间占整个 CPU 时间的百分比至少是【 】
A. 0.02% B. 0.05% C. 0.20% D. 0.50%
15. 下列选项中, 能引起外部中断的事件是【 】
A. 单击鼠标左键 B. 除数为 0 C. 浮点运算上溢 D. 访存缺页

16. 多重中断是指允许优先级高的中断中止低优先级中断的处理。通常, 进入中断服务程序后, 首先保存现场和旧屏蔽字, 然后设置新屏蔽字和开中断。下列设置新屏蔽字的选项中, 正确的是【 】
- I. 允许所有中断请求 II. 屏蔽所有中断请求
III. 屏蔽本次中断请求 IV. 屏蔽不允许处理的中断请求
- A. 仅 I B. 仅 II C. 仅 III D. 仅 III 和 IV
17. I/O 采用统一编址时, 实现数据输入输出操作的指令是【 】
- A. I/O 指令 B. 通道命令
C. 访存指令 D. 控制指令
18. 某同步总线在一个总线周期内并行传送 8 个字节信息, 一个总线周期占用 2 个时钟周期, 总线时钟频率为 20MHz, 则总线带宽是【 】
- A. 40MB/s B. 80MB/s C. 160MB/s D. 320MB/s
19. 下列不属于“三总线结构计算机”中“三总线”的是【 】
- A. I/O 总线 B. 存储总线 C. 数据总线 D. DMA 总线
20. 以下关于总线主设备和从设备的描述中, 正确的是【 】
- A. 一条总线上只允许存在一个总线主设备
B. 一个物理设备, 要么是总线主设备, 要么是从设备
C. 总线仲裁机制负责确定哪个总线主设备可以获得总线的使用权
D. 总线主设备和从设备都可以引发总线操作, “主从”是由数据传输方向决定的

二、(30 分) 填空题(共 9 小题, 每空 1 分)

1. 2014 年 11 月发布的最新一期世界 Top500 排行榜上, () 超级计算机系统排名榜首, 它的峰值计算性能为 54.9 ()。
2. 某时刻计算机中寄存器 R1 的数值为 2000H, 存储单元地址 2000H 中的内容为 3000H, 存储单元地址 3000H 中的内容为 4000H。此时, CPU 进行取数 (Load) 操作, 若采用直接寻址方式, 则访问寄存器 R1 后所得操作数的值是 (); 若采用间接寻址方式, 则访问寄存器 R1 后所得操作数的值是 ()。

3. 考虑下列 C 代码

I. int func1(unsigned word)

II. {

III. return (int) ((word << 24) >>24);

IV. }

V. int func2(unsigned word)

VI. {

VII. return ((int) word << 24) >>24;

VIII. }

若在一个 32 位计算机上执行上述函数, 该机采用二进制补码表示带符号整数。无符号整数采用逻辑移位, 带符号整数采用算术移位。请填写下表 (机器数采用 16 进制)

| word | | func1(word) | | func2(word) | |
|----------|-----|-------------|----|-------------|----|
| 机器数 | 真值 | 机器数 | 真值 | 机器数 | 真值 |
| 0000007F | 127 | | | | |
| 00000080 | 128 | | | | |

4. 某 32 位计算机的主存容量为 64KB, 按字节编址。若用 $1K \times 8$ 位的 DRAM 芯片构成该存储器, 则需要 () 个这样的 DRAM 芯片, 主存地址至少为 () 位, 若地址从第 0 位开始编号, 则第 () ~ () 位可用于片选。
5. 组相连映射方式结合了直接映射和全相连映射的优点。当 Cache 的组数为 1 时, 则为 (); 当 Cache 中每组只有一个行时, 则为 ()。某 Cache 有 8 个行 (0~7), 若采用直接映射方式, 则主存第 58 块应该放在 Cache 第 () 行。
6. 通常每个外设都用一个 () 电路与主机连接。而一个 I/O 接口中可能有多个 (), 每个端口都有一个 (), 因此主机可用多个地址来访问一个外设。
7. 消除 CPU 与 DMA 设备竞争访问主存的方法有全串行方式、() 和 ()。

8. RAID 盘阵是由多个 () 构成, 它被操作系统当成一个 ()。数据分布在不同的物理磁盘上, 校验盘用来保存数据的 () 信息。该信息是为了保证在某个磁盘出现损坏时, 能够有效地恢复数据。
9. 根据导致流水线冒险的原因的不同, 流水线冒险可分为 ()、() 和 () 三种冒险。

三、(30 分) 简答题(共 5 小题, 每小题 6 分)

1. 计算机内部为什么采用二进制表示信息? 这些信息包括指令和数据均不被加以区分地存放在存储器中, 计算机工作时是如何识别指令和数据的?

2. IEEE 754 浮点数运算中, 当结果的尾数出现什么形式时需要进行左规? 如何进行左规? 又在什么形式下需要进行右规? 如何进行右规?

3. 单周期处理器的设计思想是什么? 每条指令的 CPI 是否相同? 其性能如何? 为什么?

4. 替换策略是否对直接映射 Cache 的性能有影响? 为什么?

5. 简述同步总线和异步总线的优缺点。

四、(50 分)综合应用题(共 4 小题)

1. (8 分) 已知 $[X]_{\text{补}} = 1\ 101$, $[Y]_{\text{补}} = 0\ 110$, 要求用布斯(Booth)乘法计算 $[X \times Y]_{\text{补}}$ 。

2. (14 分) 某 32 位计算机采用 5 段流水方式执行 MIPS 指令, 各流水段分别是取指、(IF) 译码/读寄存器(ID)、执行/计算有效地址(EX)、访问存储器(M)和结果写回寄存器(WB)。流水线“按序发射, 按序完成”, “时钟上半周期寄存器写、下半周期寄存器读”, 没有采用转发技术处理数据冒险。若一个 MIPS 汇编代码段如下:

I1: lw \$1, 20(\$6) : (\$1 ← Mem(\$6+20))

I2: add \$6, \$2, \$3 : (\$6 ← \$2+\$3)

I3: shr \$1 : (\$1 ← \$1 >> 1)

I4: sw \$2, 20(\$6) : (Mem(\$6+20) ← \$2)

I5: or \$5, \$2, \$3 : (\$5 ← \$2 || \$3)

请回答下列问题：

(1) 假设某时间段有连续 5 条指令进入流水线，若在该计算机执行指令过程中没有发生任何阻塞，则执行这 5 条指令所需的时钟周期数为多少？

(2) 上述汇编代码段中，I1 指令中访问的存储单元地址与 I4 指令中访问的存储单元地址是否相同？要求说明原因。

(3) 上述汇编代码段中的指令序列及其在指令流水线中的执行过程如下图所示。分析该代码存在着什么样的冒险？说明 I₃ 指令的 ID 段和 I₄ 指令的 IF 段被阻塞的原因是什么？

| | 时间单元 | | | | | | | | | |
|----------------|------|----|----|----|----|----|----|----|----|----|
| 指令 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| I ₁ | IF | ID | EX | M | WB | | | | | |
| I ₂ | | IF | ID | EX | M | WB | | | | |
| I ₃ | | | IF | | ID | EX | M | WB | | |
| I ₄ | | | | | IF | ID | EX | M | WB | |
| I ₅ | | | | | | IF | ID | EX | M | WB |

(4) 在不采用转发技术的情况下，如何消除这种冒险？

(5) 若采用转发技术处理上述冒险后，则上述指令序列是否还存在数据冒险？

3. (14 分)假定一个计算机系统中有有一个 TLB 和一个 L1 Data Cache, 主存按字节编址, 虚拟地址 16 位, 物理地址 12 位, 页大小为 128B; TLB 采用 2 路组相联方式, 共有 16 个页表项; L1 Data Cache 采用直接映射方式, 块大小为 8B, 共 16 行。该系统运行到某一时刻时, TLB、页表和 L1 Data Cache 中的部分内容如下图所示。请回答下列问题:

| 组号 | 标记 | 页框号 | 有效位 | 标记 | 页框号 | 有效位 |
|----|----|-----|-----|----|-----|-----|
| 0 | 03 | - | 0 | 09 | 1D | 1 |
| 1 | 13 | 2D | 1 | 02 | - | 0 |
| 2 | 02 | - | 0 | 08 | - | 0 |
| 3 | 07 | - | 0 | 63 | 12 | 1 |
| 4 | 01 | 19 | 1 | 07 | 10 | 1 |
| 5 | 04 | - | 1 | 0A | - | 0 |
| 6 | 06 | - | 0 | 03 | - | 0 |
| 7 | 0A | 34 | 1 | 72 | - | 0 |

(a) TLB (2 路组相联): 2 组, 16 个页表项

| 虚页号 | 页框号 | 有效位 | 行索引 | 标记 | 有效位 | 字 3 | 字 2 | 字 1 | 字 0 |
|-----|-----|-----|-----|----|-----|-----|-----|-----|-----|
| 000 | 08 | 1 | 0 | 0D | 1 | 12 | 56 | C9 | AC |
| 001 | 03 | 1 | 1 | 15 | 0 | - | - | - | - |
| 002 | 14 | 1 | 2 | 1B | 1 | 03 | 45 | 12 | CD |
| 003 | 02 | 1 | 3 | 36 | 0 | - | - | - | - |
| 004 | - | 0 | 4 | 32 | 1 | 23 | 34 | C2 | 2A |
| 005 | 16 | 1 | 5 | 19 | 1 | 46 | 67 | 23 | 3D |
| 006 | - | 0 | 6 | - | 0 | - | - | - | - |
| 007 | 07 | 1 | 7 | 10 | 1 | 12 | 54 | 62 | DC |
| 008 | 13 | 1 | 8 | 24 | 1 | 23 | 62 | 12 | 3A |
| 009 | 17 | 1 | 9 | 2D | 0 | - | - | - | - |
| 00A | 09 | 1 | A | 2D | 1 | 43 | 62 | 23 | C3 |
| 00B | - | 0 | B | - | 0 | - | - | - | - |
| 00C | 19 | 1 | C | 12 | 1 | 76 | 83 | 21 | 35 |
| 00D | - | 0 | D | 16 | 1 | A3 | F4 | 23 | 11 |
| 00E | 11 | 1 | E | 33 | 1 | 2D | 4A | 45 | 55 |
| 00F | 0D | 1 | F | 14 | 0 | - | - | - | - |

(b) 部分页表: 开始 16 项

(c) L1 Data Cache: 直接映射, 共 16 行, 块大小 8B

- (1) 虚拟地址中哪几位表示虚拟页号？哪几位表示页内偏移量？虚拟页号中哪几位表示 TLB 标记？哪几位表示 TLB 索引？

- (2) 物理地址中哪几位表示物理页号？哪几位表示页内偏移量？

- (3) 主存物理地址如何划分为标记字段、行索引字段和块内地址字段？

- (4) CPU 从主存地址 062CH 单元中取出的值是多少？要求描述 CPU 读取地址 062CH 的过程。

4. (14 分) 某计算机的 CPU 主频为 1GHz, 其磁盘机的盘组由 4 个盘片组成, 其中 1 个盘面为伺服面, 其他为记录数据的盘面。盘面存储区域的内直径为 4cm, 外直径为 8cm, 道密度为 1000TPM, 位密度为 9000bpm, 每个磁道有 200 个扇区, 每个扇区的数据容量为 512B, 磁盘转速为 12000RPM, 平均寻道时间为 5ms。假定在一个相当长的时间内磁盘一直在进行 I/O 操作。若采用 DMA 方式传输数据, DMA 传送的平均长度为 8 个扇区。每次 DMA 传送时, CPU 为 DMA 初始化及后处理所花费的时间为 1000 个时钟周期。请回答下列问题:

(1) 该磁盘机的非格式化容量和格式化容量各为多少? (单位用 GB)

(2) 该磁盘机的平均存取时间是多少? (忽略数据传输时间, 单位用 ms)

(3) 处理器用于磁盘 I/O 的时间占整个 CPU 时间的百分比是多少?

(4) 如果采用中断控制方式进行磁盘 I/O 操作, 磁盘每准备好 64 位数据申请一次中断, 而 CPU 处理一次磁盘 I/O 中断的时间为 500 个时钟周期。你认为这种做法可行吗? 通过计算证明你的结论。

国防科大 2014 考研试题 (821 计算机原理)

一、(40 分)单项选择题(共 20 小题, 每小题 2 分)

1. 若用下标表示数制, 下列选项中数值最大的是【 】
A. 10011001_2 B. 227_8 C. 98_{16} D. 152_{10}
2. 下列关于浮点数表示范围和表示精度的影响因素中, 正确的是【 】
I. 阶码的位数 II. 尾数的位数 III. 基数的大小
A. 仅 I 和 II B. 仅 I 和 III C. 仅 II 和 III D. I, II 和 III
3. 能够表示“零”形式唯一的机器数是【 】
A. 原码 B. 补码 C. 反码 D. 无
4. 某程序在计算机上的运行时间是 100 秒, 其中 80 秒用于执行乘法操作。若改进乘法部件希望使该程序速度提高到原来的 5 倍, 此时程序执行乘法操作的时间是【 】
A. 36 秒 B. 20 秒 C. 16 秒 D. 无法估计
5. 寄存器间接寻址方式中, 操作数存放在【 】
A. 通用寄存器 B. 堆栈 C. 主存单元 D. 程序计数器
6. 指令寄存器的作用是【 】
A. 保存当前正在执行指令的地址 B. 保存当前正在执行的指令
C. 保存下一条指令的地址 D. 保存上一条指令
7. 微程序控制器中, 机器指令与微指令的关系是【 】
A. 一条微指令由若干条机器指令组成
B. 一条机器指令由一条微指令来执行
C. 一条机器指令由一段微指令组成的微程序来解释执行
D. 一段机器指令组成的程序可由一条微指令来解释执行
8. 在 MIPS 指令集计算机中, 寄存器 $\$s0$, $\$s1$ 存放的数据分别是:
 $\$s0=0x80000000_{16}$ 、 $\$s1=0xD0000000_{16}$ 。若分别执行两条 MIPS 汇编指令 `add $t0, $s0, $s1` (即 $\$s0+\$s1\rightarrow\$t0$) 和 `sub $t0, $s0, $s1` (即 $\$s0-\$s1\rightarrow\$t0$)。
运算后, 寄存器 $\$t0$ 存放的正确值是【 】
A. $0x50000000_{16}$ 、 $0x30000000_{16}$ B. 溢出、 $0xB0000000_{16}$
C. $0x50000000_{16}$ 、 $0xB0000000_{16}$ D. 溢出、 $0x30000000_{16}$

9. 在 MIPS 的 5 段流水线中, Load 或 Store 指令可能被检测到 Cache 缺失 (miss) 的流水段是【 】
- I. 取指阶段 II. 读存储器阶段 III. 写存储器阶段
- A. 仅 I B. 仅 II C. 仅 III D. I、II 和 III
10. 若将 $4K \times 4$ 位 SRAM 存储芯片扩展成 32KB 的存储模块, 则需该芯片数【 】
- A. 8 片 B. 16 片 C. 24 片 D. 32 片
11. 某计算机字长 32 位, 其存储容量为 8MB, 按字编址, 其寻址范围是【 】
- A. 1M B. 2M C. 4M D. 8M
12. 在多级存储体系中, 引入 “cache—主存” 结构的主要目的是【 】
- A. 解决主存容量不足 B. 解决主存与 CPU 速度不匹配
- C. 解决辅存容量不足 D. 解决主存与辅存速度不匹配
13. 某计算机中 Cache 共有 16 个块, 块大小为 4 字节, 其映射方式可被配置为直接映射、2 路组相联或 4 路组相联。主存按字节编址, 主存单元从 0 开始编号: 依次访问以下主存单元, 不可能引起 Cache 冲突失效的是【 】
- A. 52 号和 102 号单元 B. 48 号和 145 号单元
- C. 56 号和 286 号单元 D. 44 号和 236 号单元
14. 下列选项中, 能引起外部中断的事件是【 】
- A. 键盘输入 B. 除数为 0 C. 访存缺页 D. 浮点运算下溢
15. 中断向量提供的是【 】
- A. 发出中断请求的设备地址 B. 传送数据的起始地址
- C. 中断服务程序入口地址 D. 中断服务程序返回地址
16. CPU 响应 DMA 的时刻是【 】
- A. 提出 DMA 请求 B. 取指周期结束
- C. 指令执行周期结束 D. 存储周期结束
17. 下列各类存储器中, 不采用随机存取方式的是【 】
- A. EPROM B. CDROM C. DRAM D. SRAM
18. 主机与 I/O 设备之间传送数据时, 若要求主机与 I/O 设备串行工作, 所采用的 I/O 控制方式是【 】
- A. 通道方式 B. DMA 方式 C. 中断方式 D. 程序查询方式

19. 早期的“三总线结构计算机”中的三总线分别指的是【 】
- A. I/O 总线、主存总线和 DMA 总线 B. 地址总线、数据总线和控制总线
C. I/O 总线、主存总线和系统总线 D. 设备总线、主存总线和系统总线
20. 某同步总线的时钟频率为 100MHz, 总线宽度为 32 位, 采用地址线/数据线复用, 每传输一个地址或一个数据占用一个时钟周期。若该总线支持突发传送 (即一次总线事务传输一个地址+多个数据), 那么一个“主存写”总线事务要求一次传输 128 位数据所需的时间至少是【 】
- A. 40ns B. 50ns C. 80ns D. 90ns

二、(30 分) 填空题(共 11 小题, 每个空 1 分)

1. 某 8 位字长计算机, 若定点整数: $[x]_{\text{补}}=1001\ 1000$, $[y]_{\text{补}}=1001\ 0111$, 则 $[x+y]_{\text{补}}$ 的值是 ()。加法运算结束后, 状态寄存器中零标志 ZF 为 ()、溢出标志 OF 为 ()、进位标志 CF 为 ()、符号标志 SF 为 ()。
2. 在浮点加减法运算中, 在需要 () 或 () 时, 尾数向右移位。
3. 奇偶校验法只能发现 () 数位出错, 不能检查 () 数位出错。
4. 语句“add R1, 24(R2), 18”中用到的寻址方式有 ()、() 和 ()。
5. 微指令格式可分为 () 型和 () 型两类, 其中 () 型微指令用较长的微程序结构换取较短的微指令结构。
6. 根据每个阶段完成工作的不同, 指令周期可分为 () 周期、() 周期、间址周期和 () 周期。
7. DRAM 的刷新方式有集中式刷新、() 式刷新和 () 式刷新。
8. 按存储方式分类, 存储器可分为随机存取存储器、() 存取存储器和 () 存取存储器等。
9. I/O 设备和 I/O 接口只是 I/O 的 () 部分, 完整的 I/O 系统应该包括 I/O () 和 I/O () 两个部分。

10. 同步总线各部件之间采用 () 进行同步通信; 而异步总线各部件之间采用 () 进行异步通信。
11. 能发起并控制总线请求的设备称作 ()。当有多个这样的设备时, 必须提供专门的仲裁机制。总线仲裁一般有 () 和 () 两种实现方式。

三、(30 分) 填空题(共 5 小题, 每小题 6 分)

1. 下面是一个 C 语言程序, 用来计算一个数组 a 中每个元素之和。当参数 len 为 0 时, 返回值应该是 0, 但在执行时, 却发生了存储器访问异常。请问是什么原因造成的, 程序应该如何修改才能正确执行?

I. float sum_elements(float a[], unsigned int len)

II. {

III. int i;

IV. float result = 0;

V.

VI. for(i=0; i<=len-1; i++)

VII. result+=a[i];

VIII. return result;

IX. }

2. 为什么用算术逻辑运算部件 (ALU) 和移位器能够实现定点数和浮点数的所有加、减、乘、除运算?

3. 在 MIPS 的 5 段流水线设计时，将 CPU 中的数据存储器和指令存储器分开，可消除的流水线冒险是什么？请简述理由。

4. 若采用周期窃取的方式实现 DMA 控制器，外设请求进行 DMA 传送时，可能遇到以下三种情况之一：CPU 不需要访问主存、CPU 正在访问主存以及 CPU 同时也要访问主存。此时应该如何处理？

5. 提高同步总线的带宽有哪几种措施？

四、(50 分)综合应用题(共 4 小题)

1. (8 分)用加减交替原码一位除法计算 $[X/Y]_{\text{原}}$, 已知 $[X]_{\text{原}} = 0.1011$, $[Y]_{\text{原}} = 1.1101$ 。

2. (14 分)在 MIPS 的 5 级流水线计算机中, 某典型程序的核心模块有一百万条指令, 平均每条指令的执行时间是 100ps。请回答下列问题:

- (1) 在非流水线处理器上, 执行该程序需要花费多长时间?
- (2) 在 5 级流水线的 MIPS 上执行同样程序。在理想情况下, 它比非流水线处理器快多少倍?

(3) 若在 5 级流水线的 MIPS 上运行如下代码序列:

I1: add r1, r2, r3; ($r2+r3 \rightarrow r1$)

I2: sub r4, r1, r3; ($r1-r3 \rightarrow r4$)

I3: and r6, r1, r7; ($r1 \& r7 \rightarrow r6$)

执行该指令序列存在数据冒险, 那么发生在哪条指令上? 若没有采取任何消除数据冒险措施的话, 请画出该指令序列执行的流水线时空图。

(4) 采用什么策略可以减少流水线中的数据冒险? 针对上述指令序列, 请采用其中一种策略来消除数据冒险, 并画出该指令序列执行的流水线时空图。

3. (14 分) 某计算机的主存地址空间大小为 64MB, 采用字节编址。其 Cache 数据区容量为 4KB, Cache 采用 4 路组相联映射方式, LRU 替换算法和回写 (write back) 策略, 块大小为 64B。若 CPU 依次从主存的 0 号地址单元访问到 4344 号单元, 重复按此序列访问 16 次。请回答下列问题:

(1) 主存地址字段如何划分? 要求说明每个字段的含义, 位数和在主存地址字段中的位置。

(2) 该 Cache 的总容量是多少?

(3) 假设 Cache 初始为空, 那么 CPU 访问 Cache 的命中率是多少?

(4) 若 Cache 访问命中时的开销为一个时钟周期, Cache 失效时的开销为 100 个时钟周期, 则 CPU 的平均访存时间是多少个时钟周期?

4. (14 分) 某查询程序中所有操作 (包括读取并分析状态、传送数据等步骤) 至少需要 400 个时钟周期, CPU 主频为 500MHz。假设设备一直持续工作, CPU 采用定时查询方式, 下列三种情况下, CPU 用于 I/O 的时间占整个 CPU 时间的百分比各是多少?

(1) 鼠标每秒钟至少被查询 30 次, 才能保证不错过用户的每一次鼠标移动。

(2) 软盘按 16 位为单位传送数据, 数据传输率为 50KB/s, 要求没有任何数据丢失。

(3) 硬盘以 16 字节为单位传送数据, 数据传输率为 4MB/s, 要求没有任何数据丢失。

(4) 请分析以上三种情况, 哪些不适合采用程序查询方式? 为什么?

国防科大 2013 考研试题 (821 计算机原理)

一、(40 分)单项选择题(共 20 小题, 每小题 2 分)

- 冯·诺依曼(Von. Neumann)计算机结构的核心思想是【 】
A. 运算速度快 B. 二进制表示信息
C. 存储程序 D. 存储信息的功能
- 计算机硬件和软件的接口是【 】
A. 操作系统 B. 指令系统 C. 网络系统 D. 输入输出系统
- 某计算机主频为 200MHz, 执行每条指令平均需 2.5 个时钟周期。MIPS 反映的是机器执行指令的速度, 那么, 该机的平均性能是【 】
A. 25MIPS B. 50MIPS C. 80MIPS D. 500MIPS
- 同一个指令集体系结构采用 2 种不同方式实现了机器 P1, P2。假定有 4 类指令 A、B、C 和 D, P1、P2 的时钟频率和 CPI 如表所示:

| | 时钟频率 | CPI (A 类) | CPI (B 类) | CPI (C 类) | CPI (D 类) |
|----|--------|-----------|-----------|-----------|-----------|
| P1 | 1.5GHz | 1 | 2 | 3 | 4 |
| P2 | 2GHz | 2 | 2 | 2 | 2 |

- 若给定一个有 100 条指令的程序, 按如下比例分配各类指令数: A10%、B20%、C50%、D20%。则 P1, P2 的总 CPI 和执行时间分别是【 】
- A. 2.8、2.0, 187ns、100ns B. 2.8、2.0, 667ns、400ns
C. 10.0、8.0, 187ns、100ns D. 10.0、8.0, 667ns、400ns
 - $[x]_{\text{补}}=1.0000000$, 其真值是【 】
A. 1 B. 128 C. -1 D. -128
 - 某定点整数 $x=-256$, 以补码形式存放在一个 16 位寄存器 R1 中, 若将 R1 进行符号扩展至 32 位操作, 则扩展操作前、后的 R1 内容分别为【 】
A. 0100H, 0000 0100H B. 0100H, FFFF 0100H
C. FF00H, 0000 FF00H D. FF00H, FFFF FF00H
 - 一条指令中, 地址码的个数为【 】
A. 0 个 B. 1 个 C. 多个 D. 以上都有可能
 - 下列选项中, 指令 Add R4, 100(R1)没有用到的寻址方式是【 】
A. 寄存器寻址 B. 寄存器间址 C. 偏移寻址 D. 立即数寻址

9. 超标量处理器中, 每个周期可能发射的指令条数是【 】
A. 应小于一条 B. 一定是 1 条 C. 可以多条 D. 一定是多条
10. 下列关于控制器的描述中, 错误的是【 】
A. 指令寄存器 IR 用来存放当前正在执行的指令的操作码
B. 其控制单元用于对指令操作码进行译码, 并生成控制信号
C. PC 按当前指令长度进行增量, 可实现指令的按序执行
D. 取指前, 程序计数器 PC 用于存放将要执行的指令的地址
11. 某计算机来用微程序控制方式, 微指令中的微操作控制字段采用字段直接编
码法, 共有 64 个微命令, 构成 5 个互斥类, 分别包含 7、3、13、26 和 15 个
微命令, 则操作控制字段至少有【 】
A. 5 位 B. 6 位 C. 18 位 D. 64 位
12. 某计算机字长 32 位, 浮点数采用 IEEE754 表示。存储器按字节编址, 采用
大端方式存放数据。若 float 型变量 x 存放在主存地址为 1000H 的单元内,
已知 $x = -6.75$, 那么主存地址 1000H 和 1003H 中存放的内容分别是【 】
A. 00H, 00H B. 00H, C0H C. C0H, 00H D. C0H, D8H
13. 某计算机有 4 根地址线, 8 根数据线, 存储器按字节编址, 在主存和 CPU 之
间设置一个块大小为两个字节, 容量为 4 块的 Cache (从 0 开始编号)。若采
用直接映射方式, 那么, 该主存的总块数及主存的第 7 块所放置的 Cache 块
号分别是【 】
A. 主存 8 块, Cache 的第 0 块 B. 主存 8 块, Cache 的第 3 块
C. 主存 16 块, Cache 的第 0 块 D. 主存 16 块, Cache 的第 3 块
14. 程序执行过程中, Cache 与主存的地址映射是【 】
A. 操作系统来管理的 B. 由硬件自动完成的
C. 程序员调度的 D. 用户软件实现的
15. Cache 写命中后不同步更新主存, 需等替换时才更新主存, 这种策略称为【 】
A. 写回法 B. 写直达法 C. 按写分配 D. 不按写分配
16. 中断向量地址是【 】
A. 子程序入口地址 B. 中断服务程序入口地址
C. 中断返回地址 D. 中断向量表所在内存地址

17. 计算机发生外部中断时, 所生成的与中断请求相对应的中断类型号由【 】
- A. CPU 直接产生 B. 相关外设接口产生
- C. 操作系统产生 D. 中断控制芯片产生
18. CPU 可以通过指令直接访问的存储器是【 】
- A. 磁盘 B. 主存 C. 光盘 D. U 盘 (Flash)
19. 磁盘与主机之间进行数据交换的单位是【 】
- A. 扇区 B. 磁道 C. 文件 D. 簇
20. 计算机常用的异步串行通信接口标准是【 】
- A. USB B. ATA C. AGP D. RS232

二、(30 分)单项选择题(共 11 小题, 每个空 1 分)

1. 衡量运算速度的 MIPS 是指 (), MFLOPS 是指 ()。
2. 某浮点计算机字长 6 位 (1 位阶符+2 位阶码和 1 位数符+2 位尾数), 阶码和尾数均采用补码表示。若非规格化数表示, 则所能表示的最大负数为 (), 最小负数为 (); 若用规格化数表示, 则所能表示的最大正数为 (), 最小正数为 ()。
3. 浮点数的阶码表示了浮点数的 (), 而尾数表示了浮点数的 ()。若两个 IEEE 754 单精度浮点数表示的 float 型变量 x 和 y , 其机器数分别表示为 $x=40E80000H$, $y=C204\ 0000H$, 则计算 $x+y$ 时, 对阶操作后的 $[\Delta E]_{移}$ 为 (), $x+y$ 的结果为 ()。
4. 某计算机的指令流水线由 4 个功能段组成, 指令流经各功能段的时间 (忽略各个功能之间流水线寄存器的缓冲时间) 分别为 90ns、80ns、70ns、60ns, 则该计算机的 CPU 时钟周期至少是 ()。若采用均匀指令流水线, 该计算机可接近的最大加速比是 ()。
5. 利用触发器的工作特性存储信息的存储器是 (), 利用 MOS 晶体管极电容上充积的电荷存储信息的存储器是 (), () 存储器需要定时刷新。
6. 某计算机的主存容量为 8 块 ($B0 \sim B7$), Cache 容量是 4 行, 利用组相连映射

方式, 每组有两行 Cache, 利用 LRU 算法, Cache 命中时间为 2 个时钟周期, Cache 失效损失为 30 个时钟周期。假设 Cache 初始为空, 对于如下主存访问的地址流 B6、B2、B5、B4、B2、B3、B7、B5、B7、B6, 计算 Cache 的命中率是 (), 存储器访问的平均时钟周期数是 ()。

7. 采用微程序方式实现的控制器, 在数据通路中的微操作之间存在相容和互斥两种关系, () 微操作是指能同时进行的微操作, () 微操作是指不能同时进行的微操作。在微命令编码方式中, 字段直接编码法的基本思想是, 将微指令分成若干个字段, 把 () 微操作组合在同一个字段, () 微操作组合在不同字段, 编码是对每一个字段内的微操作进行的。
8. CPU 产生响应中断的条件, 一是 (), 二是 (), 三是一条指令执行之末, 且没有更紧迫的任务或事件。
9. 在程序查询 I/O 方式和程序中断 I/O 方式下, 外设直接和 CPU 中的 () 交换数据; 而在 DMA 方式下, 外设直接和 () 交换数据。
10. 总线定时方式实质上是总线上的 () 之间协同工作的方法, 它包括 () 和 () 两种方式。
11. 南北桥结构是主板控制芯片组的一种基本结构, 其中 () 芯片是 CPU 与内存、显卡等设备联系的桥梁, () 芯片则主要用来与 I/O 设备进行通信。

三、(30 分) 简单题 (共 5 小题, 每小题 6 分)

1. 计算机的指令和数据均用二进制表示, 在形式上没有差别, 都存放在存储器中, 计算机执行程序时是如何区分二者的?

2. 无符号数计算时，可能会发生溢出吗？原因何在？有符号数运算结果产生溢出时，计算机是如何处理的？

3. 计算机是如何保证 CPU 能够按照程序规定的顺序执行指令的？

4. 试写出两种优化主存性能的方法，并加以说明。

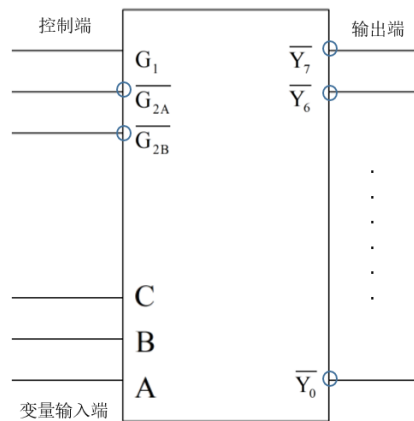
5. I/O 接口就是 I/O 端口吗？请说明理由。

四、(50 分)综合应用题(共 4 小题)

1. (10 分) 已知 $A = -0.1011$, $B = -0.0111$, 用 Booth 乘法计算 $[B \times A]_{\text{补}}$ (要求写出计算过程)。

2. (15 分) 某 CPU 有 16 根地址线, 8 根数据线, 用 WR 作为读写控制信号 (低电平为写, 高电平为读), 现有如下芯片清单和各种门电路:

- ① $1K \times 8$ 位 ROM ② $2K \times 4$ 位 ROM ③ $1K \times 4$ 位 RAM
④ $1K \times 8$ 位 RAM ⑤ 74LS138 (如图) ⑥ 其它逻辑门



74LS138 译码器

假设存储地址空间分配是：0~1023 为系统程序区；1024~3071 为用户程序区。请回答下列问题：

(1) 给出主存分配的地址空间。

(2) 合理选用上述存储芯片，并说明各选几片？

(3) 详细画出存储芯片的片选逻辑电路。

(4) 是否还有其他选择方案？简述之。

3. (10 分) 计算机系统内部发生异常事件或外设完成 I/O 任务时, 一般通过中断方式请求 CPU 执行相应的中断或者异常服务程序进行处理。某时刻计算机正在执行一个主程序时, 出现下列四种情况之一: A. 掉电、B. 键盘缓冲满、C. DMA 传送结束、D. 一个字符打印完成, 上述四种情况都可能引起中断。若将这四个中断分级处理 (即分成 4 级中断), 假设硬件中断响应优先次序为: $A > B > C > D$, 而中断处理优先次序为: $A > C > D > B$ 。请回答下列问题:

(1) 给出每级中断的中断屏蔽码 (“1” 表示屏蔽, “0” 表示允许)。

(2) 若在执行主程序时, 上述 A, B, C, D 四个中断同时有请求, 画出 CPU 执行程序的轨迹。

4. (15 分) 下表给出了两个磁盘的主要特性:

| 磁盘 | 平均寻道时间 | 磁盘转速 RPM | 磁盘传输速率 | 控制器开销 |
|----|--------|----------|---------|-------|
| a | 11ms | 6000 | 20 MB/s | 0.2ms |
| b | 9ms | 12000 | 40 MB/s | 0.1ms |

(1) 若每个磁盘读或者写 1024 个字节, 请计算磁盘的平均存取时间是多少?

- (2) 若每个磁盘读或者写 2048 个字节, 请计算磁盘的平均存取时间是多少?
- (3) 根据上述计算分析, 影响磁盘性能的主要因素是什么? 如果你能够从磁盘的某个方面提高性能, 你将选择哪种途径? 如果没有主导因素, 请解释原因。

国防科大 2012 考研试题 (821 计算机原理)

一、(40 分)单项选择题(共 20 小题, 每小题 2 分)

1. 下列选项中, 反映计算机基本功能的是【 】
A. 操作系统 B. 指令系统 C. 网络系统 D. 数据库系
2. 假设同一指令集采用不同的方法设计了两台计算机 A 和 B。机器 A 的时钟周期为 1.2ns , 机器 B 的时钟周期为 2ns 。若某程序在机器 A 上运行时的 CPI 为 2, 在机器 B 上的 CPI 为 1。对于该程序来说, 机器 A 和机器 B 之间的速度关系是【 】
A. 机器 A 比机器 B 快 1.2 倍 B. 机器 B 比机器 A 快 1.2 倍
C. 机器 A 的速度是机器 B 的 1.2 倍 D. 机器 B 的速度是机器 A 的 1.2 倍
3. 若指令中的地址码为 A, 变址寄存器为 X, 基址寄存器为 B, 程序计数器为 PC, 则采用相对寻址方式时, 其操作数有效地址 EA 是【 】
A. A B. $(X)+A$ C. $(B)+A$ D. $(PC)+A$
4. 若两种浮点数表示格式的位数都是 32 位, 但格式 1 的阶码长, 尾数短, 而格式 2 的阶码短、尾数长, 其他所有规定均相同, 则它们可表示的数的精度和范围为【 】
A. 两者可表示的数据范围和精度均相同
B. 格式 1 可表示的数据范围更小, 但精度更高
C. 格式 2 可表示的数据范围更小, 但精度更高
D. 格式 1 可表示的数据范围更大, 但精度更高
5. 为支持子程序的嵌套和递归调用, 现代计算机存放返回地址所用的部件是【 】
A. 程序计数器 B. 通用寄存器 C. 堆栈 D. 累加器
6. 下列寄存器中, 对汇编语言程序员不透明的是【 】
A. MAR B. PC C. MDR D. IR
7. 在微程序控制器中, 构成控制信号序列的最小单位是【 】
A. 机器指令 B. 微命令 C. 微指令 D. 微程序
8. 在计算机系统中, 描述系统运行状态的部件是【 】
A. 程序计数器 B. 通用寄存器 C. 指令寄存器 D. 程序状态字寄存器

9. 假设某计算机采用微程序控制器设计指令系统, 共计需要实现的微操作数是 30, 若采用最短字长编码, 则其微指令中微操作控制字段应为【 】
- A. 5 位 B. 6 位 C. 30 位 D. 32 位
10. 与静态存储器 (SRAM) 相比, 动态存储器 (DRAM) 的特点是【 】
- A. 存取速度慢, 存储容量小 B. 存取速度快, 存储容量小
C. 存取速度慢, 存储容量大 D. 存取速度快, 存储容量大
11. 某计算机字长 32 位, 主存容量 512M 字节, 按字编址, 该主存的寻址范围是【 】
- A. $0 \sim 64M - 1$ B. $0 \sim 128M - 1$ C. $0 \sim 512M - 1$ D. $0 \sim 256M - 1$
12. 字位结构为 $64K \times 4$ 位的 SRAM 存储芯片, 其地址和数据引脚之和是【 】
- A. 12 B. 16 C. 20 D. 24
13. 某 Cache 有 8 个行, 从 0 行开始编号, 若采用直接映射方式, 则主存第 58 块放到 Cache 的位置应该是【 】
- A. 第 0 行 B. 第 2 行 C. 第 6 行 D. 任意一个行
14. 某计算机系统的虚存大小为 4GB, 按字节编址, 则其逻辑地址空间的范围为
- A. $0 \sim FFFF\ FFFFH$ B. $0 \sim FFF\ FFFFH$
C. $0 \sim 3FFF\ FFFFH$ D. $0 \sim 3FF\ FFFFH$
15. 磁盘转速提高一倍, 可使【 】
- A. 平均寻道时间缩小到原来的一半 B. 存取速度提高一倍
C. 平均等待时间缩小到原来的一半 D. 最大寻道时间缩小到原来的一半
16. 下列选项中, 属于可屏蔽中断的是【 】
- A. 掉电中断 B. 缺页中断
C. 运算溢出 D. 键盘输入
17. 采用周期挪用的 DMA, 每传送一个单位数据, 就要占用一个【 】
- A. 访存周期 B. 指令周期 C. 机器周期 D. 时钟周期
18. CPU 查询通道的状态是通过【 】
- A. 通道命令字 B. 自愿中断 C. I/O 指令 D. 外部中断
19. 主机和 I/O 设备传送数据时, 能使 CPU 效率发挥最高的 I/O 方式是【 】
- A. 程序查询传送 B. 程序中断传送 C. DMA 传送 D. I/O 通道传送

存取 32 位信息。不考虑其他因素, 则存储器地址寄存器 MAR 和存储器数据寄存器 MDR 的位数至少应该是 () 和 ()。

11. 在存储器分成体系结构中, 引入主存和 Cache 层的目的是 (); 引入主存和辅存层的目的是 ()。
12. 现代计算机的主存大多采用字节编址。假定一个分页虚拟存储器系统的虚拟地址位数为 48 位, 则虚拟地址空间大小应为 ()。若页面大小为 512KB, 则一个程序最多可以有 () 个页面。
13. 中断过程通常包括中断响应和中断处理两个阶段, 由硬件完成的是 (), 由软件完成的是 ()。
14. I/O 接口中, CPU 可访问的寄存器被称之为 I/O 端口, I/O 端口可以和主存统一编号, 这种编址方式称之为 (); I/O 端口也可以单独编号, 这种编址方式称之为 ()。
15. 同步总线的特点是各部件采用 () 进行同步通信; 而异步通信采用 () 进行异步通信。

三、(30 分)简答题(共 5 小题, 每小题 6 分)

1. 计算机内部为什么用二进制来编码所有信息?

2. 无条件转移指令和转子(调用)指令的相同点和不同点是什么? 返回指令是否需要在指令中明显地给出返回地址?

3. 寄存器和主存都是用来存放信息的, 它们有什么不同?

4. 通常 Cache 对程序员来说是透明的吗? 为什么? 在程序执行第一个 I/O 操作前, 通常操作系统需要进行一个什么样的操作来保证存储访问的一致性?

5. 控制器有哪两种实现方式? 各有何特点?

四、(50 分)综合应用题(共 4 小题)

1. (15 分)若有两段 C 语言程序,代码如下所示:

```
int add_ok(int x,int y){          int sub_ok(int x,int y){
    int sum;                      int sub;
    sum=x+y;                      sub=x-y;
    return sum;                   return sub;
}
```

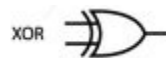
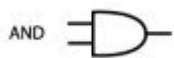
已知在程序中定义了四个 int 型的变量 x、y、sub、sum。若 $x=32766$, $y=-10$, 请按计算机内部定点数补码运算规则完成下列运算(要求写出计算过程,并判断是否溢出,结果用十进制表示并验证。假定 int 型整数为 16 位):

(1) $sum=?$ (5 分)

(2) $sub=?$ (5 分)

(3) 若给定下列器件,请实现一个 8 位二进制加法器(要求画出逻辑示意图。

实现方式不限:可是串行加法器,也可以是并行加法器)。(5 分)



2. (10 分) 某计算机字长 32 位, 其地址线为 24 根, 主存采用字节编址, 若使用 $1\text{M} \times 4$ 位的 DRAM 存储芯片来构建该机最大存储空间的存储器。外围电路采用 TTL 电路, 假定一个 TTL 门电路可驱动 8 个 $\overline{\text{WE}}$ 端。请回答下列问题:

(1) 存储芯片至少有多少个地址引脚? 多少个数据引脚? (2 分)

(2) 画出存储芯片引脚示意图。(2 分)

(3) 该存储器需多少个 DRAM 存储芯片? (2 分)

(4) 该存储器需多少位地址码? 片选需几位地址码译码产生? (2 分)

(5) 驱动该存储器的 $\overline{\text{WE}}$ 端需多少个 TTL 门电路? (2 分)

3. (15 分) 磁盘是一种保存海量数据的存储设备，由操作系统管理。操作系统将数据以文件的形式存储在磁盘上。假设现有一个 1MB 的文件，逻辑块大小为 1KB，该文件被存储在具有下述特性的磁盘上：磁盘旋转速率为 10000RPM，平均寻道时间为 5ms，平均扇区数/磁道是 2000，盘面数为 4，每个盘面有 20000 条磁道，扇区大小为 512B。磁盘中的磁盘控制器维护着逻辑块号和实际磁盘扇区之间的映射关系。磁盘的读/写头定位到要访问的第一个数据块的时间等于平均寻道时间+平均旋转时间，这里文件访问时间不考虑数据从磁盘到内存的传输时间。请回答下列问题：

(1) 该磁盘的容量是多少？(4 分)

(2) 题目给定的文件由多少个逻辑块组成？(2 分)

(3) 如果该文件的逻辑块是随机地映射到磁盘扇区的，估算读这个文件需要的磁盘访问时间是多少？(5 分)

(4) 如果该文件的逻辑块被映射到同一磁道的连续扇区上且从 0 扇区开始存储，估算读这个文件需要的磁盘访问时间是多少？(4 分)

4. (10 分) 某系统总线采用地址和数据复用方式, 假设完成一次总线事务需要一个总线周期发送地址, 一个总线周期发送数据且一次并行传输 4 个字节的数据, 总线时钟频率为 66MHz。请回答下列问题:

(1) 该总线的总线宽度和总线带宽各是多少? (4 分)

(2) 总线宽度不变时, 若总线采用突发传送方式, 即在一次总线事务中, 可以连续传送 32 个字节的数据。那么在这种突发传送方式下, 完成 64 个字节的数据传输需要几个总线周期? 此时总线带宽是多少? (3 分)

(3) 总线带宽与哪些因素有关? (3 分)

国防科大 2011 考研试题 (821 计算机原理)

一、(16 分) 名词解释 (共 8 题, 每个 2 分)

1. 存储周期:

2. 机器零:

3. RISC:

4. 微指令:

5. 中断:

6. 通道程序:

7. 存储位元:

8. 总线:

二、(30 分) 单项选择题 (共 15 小题, 每小题 2 分)

1. 计算机中的所有信息以二进制编码形式表示的重要原因是【 】

- A. 运算速度快
- B. 信息处理方便
- C. 实现成本低
- D. 由物理器件的特性决定

2. IEEE 754 的单精度浮点数可表示数的量级范围是【 】

- A. $-126 \sim +127$
- B. $-128 \sim +127$
- C. $10^{-38} \sim 10^{+38}$
- D. $10^{-39} \sim 10^{+38}$

3. 某变量 j 是一个 float 型的数据, 现对 j 进行强制类型转换, 若将其转换为 double 型或 int 型数据后, 变量 j 的精度可能发生改变。下列关于变量进行强制类型转换后精度变化的叙述中, 正确的是【 】
- A. 前者保持不变, 后者可能改变 C. 两者都保持不变
B. 前者可能改变, 后者保持不变 D. 两者都可能改变
4. 存储器和外设统一编址的计算机, 区别存储单元和外设的依据是【 】
- A. 地址码 B. 不同的指令
C. 不同的地址总线 D. 不同的指令和地址码
5. 程序控制类指令可改变程序的顺序执行。下列选项中, 不属于程序控制类指令的是【 】
- A. 调用指令 B. 分支指令 C. 访存指令 D. 无条件转移指令
6. 以下描述中, 不属于 CISC 所具有的特点是【 】
- A. 通用寄存器数量少 B. 采用微程序设计控制器
C. 指令格式多且不规整 D. Load/Store 指令才能访存
7. 计算机操作的最小时间单位是【 】
- A. 时钟周期 B. 存储周期
C. 指令周期 D. 微指令周期
8. 若寄存器 R 的内容是 600, 主存地址为 600、700 单元中存放的内容是 700、800。某一时刻程序执行到一条指令时, 其访问到的操作数是 600, 那么该指令采用的寻址方式是【 】
- A. 存储器直接寻址 B. 寄存器间接寻址
C. 存储器间接寻址 D. 寄存器直接寻址
9. 字位结构为 $16\text{M} \times 4$ 位 DRAM 存储芯片, 其地址引脚与数据引脚之和为【 】
- A. 32 B. 20 C. 28 D. 16
10. I/O 数据传送中, 采用周期挪用方法的 I/O 控制方式是【 】
- A. DMA 传送 B. 程序中断控制传送
C. 程序直接控制传送 D. I/O 通道传送
11. 某计算机字长 16 位, 存储容量为 8MB, 按字编址, 其寻址范围为【 】
- A. $0 \sim 2\text{M}-1$ B. $0 \sim 4\text{M}-1$ C. $0 \sim 8\text{M}-1$ D. 4M

12. 磁盘的磁道是【 】
 - A. 位记录密度不同的同心圆
 - B. 位记录密度相同的同心圆
 - C. 位记录密度不同的螺旋线
 - D. 位记录密度相同的螺旋线
13. 双极型 RAM 同 SRAM 比较, 最突出的优点是【 】
 - A. 速度快
 - B. 数据不易丢失
 - C. 集成度高
 - D. 控制简单
14. 下述磁头中, 工作原理不属于电磁感应的是【 】
 - A. 单极型磁头
 - B. 环形磁头
 - C. 写磁头
 - D. 磁阻磁头
15. 总线主设备指的是【 】
 - A. 可申请和获得总线使用权的设备
 - B. 申请作为主设备的设备
 - C. 源设备
 - D. 目的设备

6. 通常并行性包含两个含义: 一是 (), 指的是两个或两个以上的事件在同一时刻发生; 二是 (), 指的是两个或两个以上的事件在同一时间间隔内发生。
7. 主存储器的组成主要包括: ()、()、() 和时序控制线路等。
8. I/O 设备的编址通常采有 () 和 () 两种方式。
9. 硬磁盘地址通常由台号、()、() 和 () 构成。
10. 光盘依据存储介质可分为 ()、() 和 () 三种类型。
11. 根据信号线可否复用, 将总线分为 () 和 () 两大类。
12. 按工作方式, 通道可分为 ()、() 和 () 三种类型。

四、(25 分) 简答题(共 5 小题, 每小题 5 分)

1. 简述计算机系统的层次结构以及各个层次之间的基本关系。

2. 简述运算器内的乘商寄存器的移位操作与通用寄存器的移位操作的不同。

3. 简述计算机控制器的功能和执行一条指令所需的步骤。

4. 说明通道命令字和指令的异同点。

5. 单总线结构存在那些缺点? 克服这些缺点有哪些途径?

五、(49 分)综合应用题(共 4 小题)

1. (12 分) 某 32 位字长计算机，补码表示带符号整数，IEEE 754 表示单精度浮点数。假定某时刻的寄存器 R1、R2、R3 的内容分别是:4848 8000H、C4C4 8000H 和 0H。若一程序运行下列指令来执行相应的运算操作，两个源操作数分别是寄存器 R1 和 R2 的内容，目的操作数为寄存器 R3。请问相应运算指令执行前和执行后，寄存器 R1，R2 和 R3 中的真值分别是多少？（要求写出计算步骤）

(1) 带符号整数加法指令；

(2) 单精度浮点数加法指令。

2. (14 分) 某 CPU 字长 32 位，16 个 32 位寄存器，支持 4 种操作数寻址方式。除了 Load/Store 指令访问存储器外，其他类型的指令只能在寄存器之间访问。下列指令格式表示如下：

| | | | | |
|-------|------|-------|--------|--------|
| 加法 | add | 目的寄存器 | 源寄存器 1 | 源寄存器 2 |
| 立即数加法 | addi | 目的寄存器 | 源寄存器 | 立即数 |
| 取数 | lw | 目的寄存器 | 间址寄存器 | 偏移量 |
| 左移 | sll | 目的寄存器 | 源寄存器 | 左移位数 |
| 不等转移 | bne | 目的寄存器 | 源寄存器 | 偏移量 |
| 跳转转移 | jmp | 目的地址 | | |

假定一段汇编程序如下所示，其对应的机器码存放在地址为 80000 起始的内存中，如表 1 所示。

```

Loop: sll    $t1, $s3, 2      //Temp reg $t1 = 4×i;
      add    $t1, $t1, $s6    //$t1 = address of A[i];
      lw     $t0, 0($t1)      //Temp reg $t0 = A[i];
      bne    $t0, $s5, Exit   //go to Exit if A[i] ≠ k;
      addi   $s3, $s3, 1      //i = i+1;
      jmp    Loop

Exit:

```

表 1

| | | | | |
|--------|-------|-------|----|----|
| 800000 | 4 | 1 | 11 | 2 |
| 800004 | 1 | 1 | 1 | 14 |
| 800008 | 3 | 0 | 1 | 0 |
| 800012 | 5 | 0 | 13 | 2 |
| 800016 | 2 | 11 | 11 | 1 |
| 800020 | 6 | 20000 | | |
| 800024 | | | | |

根据上面的描述，请回答下列问题：

- (1) 该 CPU 的存储器空间编址单位是什么？
- (2) 解释指令 “sll \$t1, \$s3, 2” 为什么能实现 $4 \times i$ 的功能？
- (3) \$t0 和 \$s6 的寄存器编号各是多少？

- (4) Exit 标号所对应的地址值是多少? 要求说明其含义和计算过程。
- (5) 该 CPU 中分支指令和跳转指令的跳转范围分别是什么?
- (6) 数组 A 的每个元素占几个字节?
3. (10 分) 某 64 位字长的计算机, 主存采用字编址的半导体存储器, 其地址线为 22 根, 使用 $128\text{K} \times 8$ 位的 SRAM 存储芯片组成该机最大的存储空间。试问该存储空间的存储容量为多少字节? 需多少 SRAM 存储芯片? 哪几位地址作为字扩展去控制片选 CS?

4. (13 分) 磁盘机的盘组由 6 个盘片组成, 其中专设 1 个盘面为伺服面, 其它盘面为记录数据的盘面。盘存储区域内直径为 6.1cm, 外直径为 12.9cm, 道密度为 180TPM, 位密度为 5000bpm, 磁盘转速为 7200RPM。假定 $\pi=3$ 。试计算:

(1) 数据盘面数和柱面数;

(2) 盘组容量 C_n 是多少字节?

(3) 数据传输率是多少字节/秒?

(4) 假定系统配备上述磁盘机 12 台, 每个磁道分成 64 个扇区, 试为该磁盘系统设计一个地址方案。

国防科大 2010 考研试题 (821 计算机原理)

一、(24 分) 名词解释 (共 8 题, 每个 3 分)

1. 指令系统:

2. 定点数:

3. 并行进位:

4. 微操作:

5. 外中断:

6. 通道状态字:

7. 相变型光盘:

8. 总线宽度:

二、(15 分) 单项选择题 (共 15 小题, 每小题 1 分)

1. 计算机的层次结构从内到外的描述依次是【 】

- A. 硬件系统、应用软件、系统软件
- B. 硬件系统、系统软件、应用软件
- C. 系统软件、应用软件、硬件系统
- D. 应用软件、系统软件、硬件系统

2. 8 位补码表示的带符号整数的表示范用是【 】

- A. $-128 \sim +127$
- B. $-128 \sim +128$
- C. $-127 \sim +127$
- D. $-127 \sim +128$

3. 采用扩展操作码的重要原则是【 】
- A. 操作码长度可变
 - B. 使用频度高的指令采用短操作码
 - C. 满足整数边界原则
 - D. 使用频度低的指令采用短操作码
4. CPU 中通用寄存器存放的内容有时为数据, 有时为内存地址, 它们在形式上没有差别, 识别其是数据还是地址的依据为【 】
- A. 时序信号 B. 指令周期 C. 寄存器编号 D. 指令操作码
5. 已知 8000H 内存单元的内容为 0080H, 0080H 单元的内容为 6000H, 6000H 单元的内容为 8000H, 某指令操作数寻址方式为变址寻址, 执行该指令时变址寄存器的内容为 2000H, 指令中的形式地址为 6000H, 则该指令操作数是【 】
- A. 0080H B. 2000H C. 6000H D. 8000H
6. 以下描述中, 不属于 RISC 所具有的特点是【 】
- A. 通用寄存器数量多 B. 采用微程序设计控制器
 - C. 指令格式规整 D. 仅 Load/Store 指令才能访存
7. 如下给出的指令执行过程中, 执行顺序正确的是【 】
- A. 取指令并 PC 增量→指令译码→取操作数→计算→写结果→中断查询
 - B. 取指令并 PC 增量→中断查询→指令译码→取操作数→计算→写结果
 - C. 取指令并 PC 增量→指令译码→中断查询→取操作数→计算→写结果
 - D. 取指令并 PC 增量→指令译码→取操作数→计算→中断查询→写结果
8. 在定点补码加法运算中, 假定符号为 1 位, 检测结果是否溢出的方法是【 】
- A. 加数与被加数同号, 结果与之异号
 - B. 加数与被加数异号, 结果与被加数异号
 - C. 加数与被加数同号, 结果与之同号
 - D. 加数与被加数异号, 结果与被加数同号
9. CPU 可随机访问的存储器是【 】
- A. 光盘存储器 B. 主存储器 C. 磁盘存储器 D. 磁带存储器
10. 含有处理机的终端通常称为【 】
- A. 智能终端 B. 专用终端 C. 普通终端 D. 远程终端

11. 字位结构为 $4M \times 4$ 位 SRAM 存储芯片, 其地址引脚与数据引脚之和为【 】
A. 30 B. 15 C. 26 D. 19
12. 下列部件中存取速度最快的是【 】
A. Cache B. 寄存器 C. 主存 D. 磁盘
13. 通道对 CPU 的请求是通过【 】
A. 自陷 B. 通道命令 C. 中断 D. I/O 指令
14. I/O 采用统一编址时, 实现数据输入输出操作的指令为【 】
A. I/O 指令 B. 通道命令 C. 访存指令 D. 控制指令
15. DMA 方式中, 周期切取是窃取一个【 】
A. 指令周期 B. 存储周期 C. 微指令周期 D. 总线周期

三、(30 分) 填空题(共 11 小题, 每空 1 分)

1. 冯诺依曼提出的(), 奠定了现代电子计算机体系结构的基础。
2. 某计算机字长 16 位, 若 $X = (-4098)_{10}$, 则 $[X]_{\text{原}} = ()_{16}$,
 $[X]_{\text{补}} = ()_{16}$, $[X]_{\text{移}} = ()_{16}$ (均用 16 进制表示)。
3. 已知 $X = 1001\ 0110$, $Y = 1010\ 1111$, 则 $X \oplus Y$ 非 (), $X \wedge Y$ (), $\overline{X} \vee Y$ ()。
4. 计算机内部用二进制 0 或 1 编码表示的数被称为 (), 其真正的数值被称为 ()。
5. 总线按其传送信息的种类可分为 ()、() 和 () 三种。
6. 假设 $x = -256$, 16 位寄存器 R1 中存放的是 x 的补码, 则 R1 中的内容用十六进制表示为 (), 算术左移四位后的内容为 (), 算术右移四位后的内容为 (), 符号扩展为 32 位后的内容为 ()。
7. 条件转移指令所依据的条件来自 () 寄存器。
8. 常见的微指令编码方式包括 ()、()、() 和 () 四种。

9. CPU 和 DMA 访存发成冲突时, 通常采用 ()、() 和 () 三种处理方式。
10. 光盘按存取方式可分为 ()、() 和 () 三种。
11. 磁头的磁性材料应该具有 ()、() 和 () 特性。

四、(30 分) 简答题(共 5 小题, 每小题 6 分)

1. 指令和数据以什么形式存放在主存? 计算机如何区分它们?

2. 无条件转移指令和转子(调用)指令的相同点和不同点各是什么? 返回指令是否需要在指令中直接给出返回地址?

3. 何谓程序计数器? 有何作用?

4. CPU 响应中断的条件是什么? 响应中断时应做哪些工作?

5. 何谓集中式仲裁和分布式仲裁? 有何优缺点?

五、(51 分)综合应用题(共 5 小题)

1. (12 分) 已知两个浮点数 $A=2^{-4} \times (-13/16)$, $B=2^{-3} \times (11/16)$ 。试按规格化的浮点数加法规则, 求该两个浮点数之和, 采用 0 舍 1 入法。要求:
- (1) 阶码用补码 5 位(含 2 位符号)表示, 尾数用补码 6 位(含 2 位符号)表示;
- (2) 写出加法计算步骤。

2. (10 分) 已知被乘数 $A=0.0101$, 乘数 $B=-0.1101$, 请运用原码一位乘法规则计算 $[A \times B]_{\text{原}}$ 。要求写出计算步骤和运算竖式。

3. (8 分) 某计算机字长为 32 位, CPU 内有 32 个 32 位的通用寄存器, 指令字长 32 位, 指令系统共有 32 条“寄存器—存储器”型双操作数指令, 存储器型操作数包括存储器直接、寄存器间接和基址寻址三种寻址方式, 任意一个通用寄存器均可作基址寄存器, 基址寻址的位移量采用补码表示。

(1) 设计并画出指令格式, 并说明各个字段的含义。

(2) 存储器直接寻址和寄存器间接寻址的寻址空间各是多少?

4. (10 分) 已知某 32 位字长的计算机, 主存采用字编址的半导体存储器, 其地址线为 20 根, 使用 $32\text{K} \times 8$ 位的 SRAM 存储芯片组成该机最大的存储空间。试问该存储空间的存储容量为多少字节? 需多少 SRAM 存储芯片? 哪几位地址作为字扩展去控制 \overline{CS} ?
5. (11 分) 磁盘机的盘组由 4 个盘片组成, 其中专设 1 个盘面为伺服面, 其它盘面为记录数据的盘面。盘存储区域内直径为 4.3cm, 外直径为 8.9cm, 道密度为 100TPM, 位密度为 5000bpm, 磁盘转速为 7200RPM。假定 $\pi=3$ 。试计算:
- (1) 数据盘面数和柱面数:
- (2) 盘组容量 C_n 是多少字节?
- (3) 数据传输率是多少字节/秒?
- (4) 假定系统配备上述磁盘机 12 台, 每个磁道分成 64 个扇区, 试为该磁盘系统设计一个地址方案。

国防科大 2008 考研试题 (821 计算机原理)

一、(24 分) 名词解释 (共 8 题, 每个 3 分)

1. 机器零:

2. 浮点数规格化:

3. 串行进位:

4. 微指令:

5. 主存存取时间:

6. 多重中断:

7. 通道控制字:

8. 总线目标设备:

二、(15 分) 单项选择题 (共 15 小题, 每小题 1 分)

1. 完整的计算机系统应包括【 】

- A. 配套的硬件设备和软件系统
- B. 运算器、控制器和存储器
- C. 主机和外部设备
- D. 主机和实用程序

2. 设指令中的地址码为 A, 变址寄存器为 X, 程序计数器为 PC, 则变址间址寻址方式的操作数有效地址 EA 为【 】

- A. $((PC)+A)$ B. $((X)+A)$ C. $(X)+(A)$ D. $(X)+A$

3. 计算机能直接识别的语言是【 】
A. C 语言 B. 汇编语言 C. 机器语言 D. 高级语言
4. CPU 中决定后继指令地址的是【 】
A. 指令寄存器 B. 程序计数器
C. 主存地址寄存器 D. 主存数据寄存器
5. 采用微程序实现控制器的计算机, 机器指令与微指令的关系是【 】
A. 每一条微指令由一条机器指令来解释执行
B. 一段机器指令组成的程序可由一个微程序来执行
C. 一条机器指令由多条微指令编制的微程序来解释执行
D. 每一条机器指令由一条微指令来解释执行
6. 两补码数相加, 采用双符号位运算, 结果正溢出时, 符号位应为【 】
A. 00 B. 10 C. 11 D. 01
7. 若微操作总数为 32, 采用最短字长编码, 微指令中微操作控制字段应为【 】
A. 32 位 B. 5 位 C. 6 位 D. 4 位
8. 变址寻址和基址寻址的有效地址形成方式类似, 但【 】
A. 在程序执行过程中, 变址寄存器内容不能改变而基址寄存器内容可变
B. 在程序执行过程中, 基址寄存器内容不能改变而变址寄存器内容可变
C. 变址寄存器的内容在程序执行过程中是不能改变的
D. 基址寄存器的内容在程序执行过程中是可以改变的
9. 下列存储器属于挥发性的是【 】
A. SRAM B. PROM C. EPROM D. EEPROM
10. 下列存储芯片无法多次写入信息的是【 】
A. RAM B. MROM C. FLASH D. EEPROM
11. 磁头的磁性材料要求为【 】
A. 剩磁多导磁率高 B. 剩磁少导磁率高
C. 矫顽力大导磁率低 D. 矫顽力小导磁率低
12. 总线是计算机各功能部件共享的公共通路, 其特点是【 】
A. 地址和控制信息不能同时出现 B. 地址和数据不能同时出现
C. 两个总线主设备不能同时接通 D. 不能同时接通多于两个的总线设备

13. 主机与外设传送数据时, 采用【 】CPU 使用的效率最低。
- A. 程序中断控制传送 B. DMA 控制传送
- C. 程序直接控制传送 D. 通道控制传送
14. 主存和外设统一编址的计算机, 区别存储单元和外设的依据是【 】
- A. 地址码 B. 不同的指令
- C. 不同的地址总线 D. 不同的指令和地址码
15. CPU 查询设备的状态是通过【 】
- A. 通道控制字 B. I/O 指令 C. 自愿中断 D. 简单中断

三、(30 分)填空题(共 12 小题, 每空 1 分)

1. 某计算机采用二地址格式指令, 可完成 160 种不同操作, 若机器仅可在 4K 地址范围内直接寻址, 则指令字长应取(), 其中操作码占()位, 地址码占()位。
2. 某计算机字长 16 位, 若 $X = (-2008)_{10}$, 则 $[X]_{\text{原}} = (\quad)$, $[X]_{\text{补}} = (\quad)$, $[X]_{\text{移}} = (\quad)$ 。
3. 已知 $X = 1011\ 0110$, $Y = 1001\ 0101$, 则 $X \oplus Y = (\quad)$, $X \wedge Y = (\quad)$, $X \vee Y = (\quad)$ 。
4. 运算器是计算机进行数据处理的功能部件, 它的核心部件是()。
5. 程序控制类指令包括()、()、()和跳跃指令。
6. 微程序控制器中, 控制部件向执行部件发出的某个控制信号称之为(), 而执行部件接受该控制信号后所进行的最基本操作称之为()。
7. CPU 响应中断的条件是()、()、()和无更紧迫的任务。
8. 作为存储元件的器件应具有()、()和()特征。
9. 按仲裁电路可同时处理的请求源数量, 可将仲裁分为()

和 () 两种。

10. I/O 设备按功能可分为输入、()、()、
() 和网络通信及终端设备。

11. 中断判优可通过 () 和 () 实现, 前者比后者
速度快。

12. 只读光盘的光道为 (), 工作时 () 速度相
同, 角速度不同。

四、(25 分) 简答题(共 5 小题, 每题 5 分)

1. 在寄存器—寄存器型、寄存器—存储器型和存储器—存储器型三类指令中,
哪类指令执行时间最短? 哪类指令执行时间最长? 为什么?

2. 何谓溢出? 补码定点乘法是否会出现溢出? 若出现, 在什么情况下?

3. 微程序控制器和组合逻辑控制器哪一种速度快? 为什么?

4. 叙述通道传送与 DMA 传送的区别。

5. 计算机总线从规模上看,可分为哪几种?各自的功能是什么?

五、(56 分)综合应用题(共 6 题)

1. (11 分) 已知 $A=2^{-4} \times (-7/16)$, $B=2^6 \times (13/16)$ 。试按规格化的浮点数乘法规则,求此两浮点数之积。要求:
- (1) 阶码用补码 5 位(含 2 位符号)表示,尾数用补码 6 位(含 2 位符号)表示;
 - (2) 写出乘法计算步骤和运算竖式。

2. (11 分) 已知被除数 $A=0.01011$, 除数 $B=-0.11011$, 用 Booth 除法求 $[C]=?$ 和 $[2^{-n}R_n]_{\text{补}}$, 并恢复余数和修正商。要求写出计算步骤和运算竖式。

3. (6 分) 在字长为 16 位的主存储器中设置向上生长的堆栈。堆栈指针 SP 的内容是 200H, 栈顶内容是 2000H, 双字长的子程序调用指令位于主存储器地址为 3000H、3001H 处, 指令第二个字是地址字段, 该地址存储的数值为 1000H。试问下列情况时 PC, SP 和栈顶的内容。

(1) 子程序调用指令被读取之前;

(2) 子程序调用指令被执行之后;

(3) 子程序返回之后。

4. (10 分) 已知某 64 位字长的计算机, 主存采用字编址的半导体存储器, 其地址线为 23 根, 使用 $1\text{M} \times 4$ 位 DRAM 存储芯片, 组成该机最大存储空间的存储器。外围电路采用 TTL 电路, 假定一个 TL 门电路可驱动 8 个 \overline{WE} 端。试回答:

(1) 存储芯片有多少个地址引脚? 多少个数据引脚?

(2) 画出存储芯片引脚示意图

(3) 存储器需多少 DRAM 存储芯片?

(4) 存储器需多少位地址码? 片选需几位地址码译码产生?

(5) 驱动该存储器的 \overline{WE} 端需多少个 TTL 门?

5. (11 分) 磁盘机的盘组由 4 个盘片组成。其中专设一个盘面为伺服面, 其它为记录盘面。存储区域内直径为 6.2cm, 外直径为 13.2cm。道密度为 200TPM, 位密度为 6000bpm, 转速为 7200RPM, 假定 $\pi=3$. 试计算:

(1) 记录盘面数和柱面数?

(2) 盘组存储容量 C_n 为多少字节?

(3) 数据传输率 f 为多少字节/秒?

(4) 假定一个磁道分成 32 个扇区, 计算机系统配备上述磁盘 6 台, 试为该磁盘设计一个地址方案。

6. (7 分) 试从硬件的角度, 说明提高计算机运算器速度和存储器速度的途径与方法。

国防科大 2007 考研试题 (821 计算机原理)

一、(24 分) 名词解释 (共 8 题, 每个 3 分)

1. 指令:

2. 有效地址:

3. 堆栈:

4. 微命令:

5. 内中断:

6. 非挥发性存储器:

7. 字节多路通道:

8. 总线主设备:

二、(15 分) 单项选择题 (共 15 小题, 每小题 1 分)

1. 指令译码器的输入来自【 】

- A. 数据缓冲寄存器 B. 指令寄存器 C. 通用寄存器 D. 程序计数器

2. 设指令中的地址码为 A, 变址寄存器为 X, 基址寄存器为 B, 程序计数器为 PC, 则变址相对寻址方式操作数的有效地址 EA 为【 】

- A. $((PC)+A)$ B. $(X+B)$ C. $(X)+A+(PC)$ D. $(A)+(PC)$

3. 指令系统采用多种寻址方式的主要目的是【 】

- A. 简化指令译码 B. 实现程序控制 C. 提高访存速度
D. 缩短指令字长、扩大寻址空间、提高编程灵活性

4. 取出指令后，程序计数器的内容是【 】
A. 当前指令的地址
B. 下条指令的地址
C. 程序中指令的数量
D. 当前指令的内容
5. 采用微程序实现控制器的计算机，“控存”属于【 】组成部分
A. 主存储器
B. 高速缓存
C. CPU
D. 虚拟存储器
6. 计算机和计算器的本质区别在于【 】
A. 运算速度快慢
B. 体积规模大小
C. 有否存储器
D. 存储器能否存储程序
7. 采用规格化浮点数的目的【 】
A. 扩大数据的表示范围
B. 防止运算时数据溢出
C. 方便运算
D. 使同一浮点数表示唯一并提高了数据精度
8. 采用变形码判溢出，当发生负溢出时，其两位符号为【 】
A. 00
B. 01
C. 10
D. 11
9. 总线宽度指的是【 】
A. 地址总线连接线的数量
B. 控制总线连接线的数量
C. 数据总线连接线的数量
D. 上述三种总线连接线的总和
10. 某机字长 32 位，主存容量 512M 字节，按字编址，主存的寻址范围为【 】
A. $0 \sim 128\text{M}-1$
B. $0 \sim 64\text{M}-1$
C. $0 \sim 512\text{M}-1$
D. $0 \sim 256\text{M}-1$
11. 主机和 I/O 设备传送数据，采用【 】方式时，CPU 的效率最高。
A. 程序直接传送
B. 程序中断传送
C. DMA 传送
D. I/O 通道传送
12. 通道程序是【 】有序集合。
A. I/O 指令
B. 通道控制字
C. 数据传送指令
D. 通道状态字
13. 字位结构为 $16\text{K} \times 4$ 位双极型存储芯片，其地址和数据引脚之和为【 】
A. 18
B. 22
C. 15
D. 11
14. 总线源设备指的是【 】
A. 总线从设备
B. 总线主设备
C. 发送数据的设备
D. 接收数据的设备
15. 计算机系统的组成应包括【 】
A. 外设和主机
B. CPU 和外设
C. 主机和实用程序
D. 硬件系统和软件系统

三、(30 分)填空题(共 13 小题, 每空 1 分)

1. 完成一条指令, 通常需分为 ()、() 和 () 三个阶段。
2. 已知 $X = (-1021)_{10}$, $[X]_{\text{补}} = ()$, $[X]_{\text{移}} = ()$ 。
3. 已知 $X = 1011\ 0100$, $Y = 1001\ 0101$ 则 $\overline{X} \oplus Y = ()$, $X \wedge Y = ()$ 。
4. 用 32 位二进制表示浮点数据, 其中阶码 8 位 (含 1 位符号位) 补码表示, 尾数 24 位 (含 1 位符号位) 补码表示。试写出其可表示的浮点数规格化最大正数 () 和最大负数 ()。
5. 按照 CPU 中操作数的存储位置, 指令系统可分为 ()、() 和 ()。
6. 浮点乘法运算的步骤, 首先判零并置结果的数符, 接着进行 ()、(), 最后进行 ()。
7. PROM 存储位元基本结构有两种 () 和 ()。
8. 中断隐指令通常完成 ()、() 和关中断。
9. 反应存储器性能的三个主要指标是 ()、() 和价格/位, 为解决三者之间的矛盾, 计算机通常采用 () 层次结构。
10. 为提高主存的速度、容量和频宽, 通常采用 () 和 () 并行主存系统。
11. 可多次擦写的光盘介质有两类 (), ()。
12. 按接口与 I/O 设备传输信息的宽度, 可将接口分为 () 和 () 两大类。
13. 依据使用总线的优先权是否可变, 可将仲裁分为 () 优先权和 () 优先权。

四、(25 分)简答题(共 5 小题, 每题 5 分)

1. 程序控制类指令的功能是什么? 试着列举至少三种程序控制类指令。

2. 试着简述指令周期、时钟周期、存储周期及三者的关系。

3. 说明微指令直接控制编码、分段直接编码和分段间接编码各有何特点?

4. 简述同步总线和异步总线的优缺点?

5. 周期挪用 DMA 接口由哪几部分构成? 各部分的功能是什么?

五、(56 分)综合应用题(共 6 题)

1. (11 分) 已知 $A=2^{-4} \times (-5/16)$, $B=2^{-6} \times (11/16)$ 。试用规格化浮点数加法规则, 求此两浮点数之和, 采用 0 舍 1 入法。要求:
- (1) 阶码用补码 5 位(含 2 位符号)表示, 尾数用补码 6 位(含 2 位符号)表示;
 - (2) 写出计算步骤。

2. (12 分) 已知: 补码一位乘法的统一公式为:

$$[C]_{\text{补}} = [A \times B]_{\text{补}} = [A]_{\text{补}} \times (0.B_1B_2 \dots B_n) + [-A]_{\text{补}} \times B_0$$

试解答:

- (1) 试用上式推出补码一位比较乘法 (Booth 乘法) 的乘法规则表达式;
- (2) 用补码一位 Booth 乘法规则, 计算 $[A \times B]_{\text{补}} = ?$ 已知被乘数 $A = +0.11011$, 乘数 $B = -0.11001$ 。要求写出计算步骤和运算竖式。

3. (10 分) 已知某 32 位字长的计算机, 主存采用字编址的半导体存储器, 其地址线为 24 根, 使用 $512\text{K} \times 4$ 位的 SRAM 存储芯片, 组成该机最大存储空间的存储器。外围电路采用 TTL 电路, 假定一个 TTL 门电路可驱动 8 个 \overline{WE} 端。

试回答:

(1) 计算存储器的容量。

(2) 存储器需要多少 SRAM 存储芯片?

(3) 存储器地址码位数? 作为片选的地址码位数?

(4) 计算存储器的 \overline{WE} 端需多少 TTL 门电路驱动?

4. (11 分) 磁盘机的盘组由 6 个盘片组成, 其中专设 1 个盘面为伺服面, 其它盘面为记录数据的盘面。盘存储区域内直径为 6.1cm, 外直径为 12.9cm, 道密度为 220TPM, 位密度为 6000bpm, 平均寻道时间为 10ms, 磁盘转速为 7200RPM。

假定 $\pi=3$, 试计算:

(1) 数据盘面数和柱面数?

- (2) 盘组容量 C_N 是多少字节?
- (3) 数据传输率是多少字节/秒?
- (4) 从任一磁道读取 80000 个字节数据的平均存取时间是多少?
5. (4 分) 在多重中断的计算机系统中, 具有 4 个可屏蔽中断源, 假定中断源的序号分别为 1、2、3、4, 相应优先级别从高到低分别为 A、B、C、D。试回答:
- (1) 各中断源的中断屏蔽码;
- (2) 若将相应中断源的优先级别修改为 A、C、D、B, 给出修改后的各中断源的中断屏蔽码。
6. (8 分) 试从计算机硬件系统的角度, 说明如何提高计算机系统的速度和效率。

国防科大 2006 考研试题 (821 计算机原理)

一、(24 分) 名词解释 (共 8 题, 每个 3 分)

1. 固件:

2. 存储进位加法器:

3. 主频:

4. 微指令周期:

5. 自愿中断:

6. 主存存储周期:

7. 选择通道:

8. 总线带宽:

二、(15 分) 单项选择题 (共 15 小题, 每小题 1 分)

- 从取指令开始到指令执行完成所需的时间, 称之为【 】
A. 时钟周期 B. 机器周期 C. 访存周期 D. 指令周期
- 设指令中的地址码为 A, 变址寄存器为 X, 基址寄存器为 B, 程序计数器为 PC, 则间接相对寻址方式的操作数有效地址 EA 为【 】
A. $((PC)+A)$ B. $(X+B)$ C. $(X)+(A)$ D. $(A)+(PC)$
- 对于补码表示数的算术移位, 如下描述正确的是【 】
A. 符号位参与移位, 右移时其左端空出的位补入 “0”
B. 符号位不参与移位, 右移时其左端空出的位补入 “0”

- C. 符号位参与移位, 右移时其左端空出的位补入“符号位”
D. 符号位不参与移位, 右移时其左端空出的位补入“符号位”
4. 以下叙述中, 错误的是【 】
A. 浮点数中, 阶码反映了小数点的位置
B. 浮点数中, 阶码位数越多, 表达的精度就越高
C. 计算机中, 整数通常用定点表示
D. 计算机中, 操作数的地址是无符号整数
5. 对计算机系统软、硬件资源管理的是【 】
A. 操作系统 B. 语言处理程序 C. 指令系统 D. 数据库系统
6. 已知 $[X]_{\text{补}} = 1.X_1X_2X_3X_4X_5$, 仅当【 】时, $X > -1/2$ 成立。
A. X_1 必须为 1, $X_2X_3X_4X_5$ 至少有一个为 1
B. X_1 必须为 1, $X_2X_3X_4X_5$ 任意
C. X_1 必须为 0, $X_2X_3X_4X_5$ 至少有一个为 1
D. X_1 必须为 0, $X_2X_3X_4X_5$ 任意
7. 微程序存放在【 】
A. 内存储器 B. 控制存储器 C. 通用寄存器 D. 指令寄存器
8. 控制器组成中, 不包括【 】
A. 程序计数器 B. 地址寄存器 C. 地址译码器 D. 指令译码器
9. 和 SRAM 比较, DRAM 的特点是【 】
A. 存取速度快, 容量大 B. 存取速度慢, 容量大
C. 存取速度快, 容量小 D. 存取速度慢, 容量小
10. 某机字长 64 位, 主存容量 512M 字节, 按字编址, 主存的寻址范围为【 】
A. $0 \sim 128M-1$ B. $0 \sim 64M-1$ C. $0 \sim 512M-1$ D. $0 \sim 256M-1$
11. 下述哪个中断, 属于不可屏蔽中断【 】
A. 掉电中断 B. 键盘输入中断
C. 打印机输出中断 D. 磁盘寻道错中断
12. 采用周期挪用 DMA, 每传送一个单位数据, 就要占用一个【 】
A. 指令周期 B. 访存周期
C. 机器周期 D. CPU 时钟周期

13. DMA 控制传送方式是在【 】之间建立直接的数据通路。
A. CPU 与外设 B. 外设与外设 C. 主存与外设 D. CPU 与主存
14. 总线主设备指的是【 】
A. 申请作为总线主设备的设备 B. 总线目标设备
C. 可申请并能获得总线使用权的设备 D. 总线源设备
15. 在【 】的计算机系统中, 外设和主存的存储单元统一编址, 所以可不专设 I/O 指令。
A. 双总线 B. 单总线 C. 多总线 D. 以上三种总线

三、(30 分) 填空题(共 11 小题, 每空 1 分)

1. 控制器的地址形成部件由()、()和()。
2. 已知 $X = -1010\ 0101$, 则 $[X]_{\text{补}} = ()$, $[X]_{\text{移}} = ()$ 。
3. 已知 $X = 1011\ 1100$, $Y = 0011\ 0011$ 则 $X \oplus Y ()$, $X \vee Y ()$ 。
4. 用 32 位二进制表示浮点数据, 其中阶码 8 位 (含 1 位符号位) 补码表示, 尾数 24 位 (含 1 位符号位) 补码表示。试写出其可表示的浮点数规格化最小正数 () 和最小负数 ()。
5. 指令设置多种寻址方式的目的是 ()、() 和 ()。
6. 浮点除法运算的步骤, 首先判零并置商符, 接着进行 ()、(), 最后进行 ()。
7. 内存储器的寻址系统通常由 ()、() 和 () 三部分组成。
8. VCD 按存取方式属于 () 类型的光盘, 其光道为 (), 通常采用 () 类型存储介质。
9. 设置 Cache、主存层次, 目的是解决 () 问题, 该层次完全用 () 实现; 设置主存、辅存层次, 目的是解决 () 问题, 该层次主要用 () 实现。
10. 按规模和所涉及的范围, 总线可分为 ()、()、

() 和通信总线。

11. 依据数据的传送方式,可将通道分为()通道、()通道和选择通道。

四、(25 分)简答题(共 5 小题, 每题 5 分)

1. 说明控制器如何区分, 从主存中读出的信息是控制信息还是数据信息?

2. 试比较寄存器—寄存器类型指令和存储器—存储器类型指令的优缺点?

3. 简述组合逻辑控制器设计的步骤。

4. 何谓总线控制器? 它的功能是什么?

5. 中断判优有哪几种方法, 试说明各自的特点。

五、(56 分)综合应用题(共 6 题)

1. (11 分) 已知两浮点数: $A = (-0.111100) \times 2^{+001}$, $B = (+0.110110) \times 2^{-010}$ 。假定阶码和尾数都用补码表示, 阶码 4 位(含 1 位符号位), 尾数 7 位(含 1 位符号位)。试按规格化补码加减法规则和步骤, 采用恒置“1”法舍入。求 $[A-B]_{\text{补}} = ?$

2. (11 分) 已知: 被乘数 $A = -0.011010$, $B = -0.011101$ 。试用补码两位比较乘法规则, 求 $[A \times B]_{\text{补}} = ?$ 要求写出计算步骤和运算竖式。

3. (9 分) 已知某 32 位字长的计算机, 主存采用字编址的半导体存储器, 其地址线为 22 根, 使用 $128K \times 8$ 位的 SRAM 存储芯片, 组成该机最大存储空间的存储器。外围电路采用 TTL 电路, 假定一个 TTL 门电路可驱动 8 个 \overline{WE} 端。试回答:

(1) 计算存储器的容量。

(2) 存储器需要多少 SRAM 存储芯片?

(3) 存储器地址码位数? 作为片选的地址码位数?

(4) 计算存储器的 \overline{WE} 端需多少 TTL 门电路驱动?

4. (9 分) 磁盘机的盘组由 8 个盘片组成, 其中专设 1 个盘面为伺服面, 其它盘面为记录数据的盘面。盘存储区域内直径为 6.1cm, 外直径为 12.9cm, 道密度为 200TPM, 位密度为 6000bpm, 平均寻道时间为 12ms, 磁盘转速为 7200RPM。假定 $\pi=3$, 试计算:

(1) 数据盘面数和柱面数?

(2) 盘组容量 C 是多少字节?

(3) 数据传输率是多少字节/秒?

(4) 从任一磁道读取 60000 个字节数据的平均存取时间是多少?

5. (7 分) 试述直接控制编码、最短字长编码、分段直接编码的编码原则。假定当微命令数 $N=17$ ，且分为三组，各组微命令数分别为 7、6、4。组内是互斥的，组间是相容性微命令。设微操作控制字段的长度为 L ，分别求各种编码的 L 值。
6. (9 分) 现代磁盘传输率高、容量很大，试述现代磁盘采用了哪些新技术。

国防科大 2005 考研试题 (821 计算机原理)

一、(24 分) 名词解释 (共 8 题, 每个 3 分)

1. 定点数据表示:

2. 可靠性:

3. 寻址方式:

4. 指令周期:

5. 总线宽度:

6. 通道程序:

7. 存储位元:

8. CAM:

二、(15 分) 单项选择题 (共 15 小题, 每小题 1 分)

1. 电子计算机可分为数字计算机、模拟计算机和数模混合计算机, 它是按照【 】
A. 计算机的用途分类 B. 计算机的使用方式分类
C. 信息的形式及处理方式分类 D. 计算机的系统规模分类
2. 设指令中的地址码为 A, 变址寄存器为 X, 基址寄存器为 B, 程序计数器为 PC, 则相对间址寻址方式的操作数有效地址 EA 为【 】
A. $((PC)+A)$ B. $(X+B)$ C. $(X)+(A)$ D. $(A)+(PC)$
3. 为支持子程序的嵌套和递归, 现代计算机通常采用【 】存放返回地址。
A. 子程序的起始位置 B. 程序计数器 C. 堆栈 D. 通用寄存器

4. 跳跃指令给出的转移目标地址是【 】
- A. 偏移量与程序计数器 PC 相加 B. 程序计数器 PC 的值
- C. 隐含的下一条指令的地址 D. 指令中的偏移量
5. 反映计算机基本功能的是【 】
- A. 操作系统 B. 系统软件 C. 指令系统 D. 数据库系统
6. 已知 $[X]_{\text{原}}=1.0110010$, $[Y]_{\text{补}}=1.0101000$ 。若执行算术右移操作, 其结果为【 】
- A. $[X]_{\text{原}}=1.0011001$, $[Y]_{\text{补}}=1.1010100$
- B. $[X]_{\text{原}}=1.1011001$, $[Y]_{\text{补}}=1.1010100$
- C. $[X]_{\text{原}}=1.0011001$, $[Y]_{\text{补}}=1.0010100$
- D. $[X]_{\text{原}}=1.1011001$, $[Y]_{\text{补}}=1.0010100$
7. 在微程序控制器中, 构成控制信号序列的最小单位是【 】
- A. 机器指令 B. 微命令 C. 微指令 D. 微程序
8. 某机字长 32 位, 主存容量为 256M 字节, 按字编址主存的寻址范围为【 】
- A. $0 \sim 256M-1$ B. $0 \sim 64M-1$ C. $0 \sim 128M-1$ D. 256M
9. 某浮点机, 采用规格化浮点数表示, 阶码用移码、尾数用补码表示, 阶码和尾数的最高位都表示符号位。下列哪个数的表示不是规格化浮点数【 】
- | 阶码 | 尾数 | 阶码 | 尾数 |
|-----------------------------|----|------------------------------|----|
| A. 00010110, 0.1010010...00 | | B. 00010110, 1.1001100...00 | |
| C. 11101010, 0.1010010...00 | | D. 00111111, 1.00111100...11 | |
10. 字位结构为 $64K \times 4$ 位双极型存储芯片, 其地址和数据引脚之和为【 】
- A. 18 B. 20 C. 24 D. 12
11. 总线的从设备指的是【 】
- A. 申请作为从设备的设备 B. 被主设备访问的设备
- C. 掌握总线控制权的设备 D. 源设备
12. 磁盘的磁道是【 】
- A. 位记录密度不同的螺旋线
- B. 位记录密度相同的螺旋线
- C. 位记录密度不同的同心圆
- D. 位记录密度相同的同心圆

13. 磁盘转速提高一倍, 则可使【 】
- A. 平均寻道时间缩小到原来的一半
 - B. 存取速度提高一倍
 - C. 平均等待时间缩小到原来的一半
 - D. 最大寻道时间缩小到原来的一半
14. CPU 查询通道的状态是通过【 】
- A. 通道命令字 B. 自愿中断 C. I/O 指令 D. 简单中断
15. 中断响应时, 由硬件保护断点并更新程序计数器, 目的是【 】
- A. 能正确进入中断处理程序和能正确返回被中止的程序
 - B. 提高处理机响应速度 C. 节省主存空间 D. 中断处理程序易于编制

三、(30 分) 填空题(共 11 小题, 每空 1 分)

1. 指令控制部件由 ()、() 和 () 组成。
2. 已知十进制数 $X=-569$, $[X]_{补}=(\quad)$, $[X]_{移}=(\quad)$ 。
3. 扩展操作码技术是一种重要的指令优化技术, 它可以缩短 ()、减少 () 以及增加 ()。
4. 实现子程序功能涉及的两条基本指令是 () 和 ()。
5. 提高计算机的运算速度通常有三种方法: 一是 (); 二是 (); 三是 ()。
6. 指令的执行过程是有序操作完成的过程。对有序操作控制时, 通常采用 () 和 () 控制方式。
7. 光盘依据读写特性可分为 ()、()、() 三种类型。
8. 磁头的磁性材料应具有 ()、()、() 等特性。
9. 根据信号线可否复用, 将总线分为 () 和 ()。

10. 可多次改写型 ROM, 目前有 ()、() 和 ()。
11. 中断全过程分为 ()、()、()、() 和中断返回五个阶段。

四、(30 分)简答题(共 6 小题, 每题 5 分)

1. 试述微命令、微操作、微指令、微程序之间的关系。

2. 设计指令系统时, 为什么要考虑指令功能和格式两个重要因素?

3. 何谓浮点规格化? 为什么要进行浮点规格化?

4. 磁盘中，磁头定位驱动系统的功能是什么？对其性能有何要求？

5. 与集中式总线仲裁比较，分布式仲裁有何特点？

6. 以输入设备为例，简述周期挪用 DMA 的工作过程。

五、(51 分)综合应用题(共 6 题)

1. (10 分) 已知被乘数 $A=2^6 \times (13/16)$; 乘数 $=2^{-4} \times (-5/16)$ 。试用规格化浮点数乘法规则, 求积 $[C]_{\text{补}}=[A \times B]_{\text{补}}=?$ 要求:
- (1) 阶码用补码 4 位(含 1 位符号)表示, 尾数用补码 5 位(含 1 位符号)表示;
 - (2) 用补码一位比较(Booth)法求尾数的积;
 - (3) 写出计算步骤和运算竖式。

2. (11 分) 已知被除数 $A=0.10101$, 除数 $B=-0.11101$ 。试用比较(Booth)除法规则, 求 $[C]_{\text{补}}=[A/B]_{\text{补}}$ 和 $[2^{-5}R_5]_{\text{补}}$ 。要求修正商和恢复余数并写出计算步骤和运算竖式。

3. (5 分) 某先行进位加法器运算逻辑级为 6 级, 加法器输入开关 2 级, 累加器的接收为 4 级, 操作控制信号为 6 级。使用门级延迟 t_d 为 0.1ns 的集成电路设计该加法器, 试确定系统的时钟频率应不超过多少 MHz? 假定信号时间裕量 $\Delta = 1/3(n \times t_d)$ 。
4. (9 分) 外围线路采用 TTL 电路, 使用 $256\text{K} \times 4$ 位的 DRAM 存储芯片, 构成 $2\text{M} \times 64$ 位的主存储器。试回答:
- (1) 画出存储芯片引脚示意图。
 - (2) 需要多少个 DRAM 存储芯片?
 - (3) 存储器地址码位数? 作为片选译码的地址码位数?
 - (4) 计算存储器的 \overline{WE} (读写控制) 端需多少 TTL 门电路驱动? 假定一个 TTL 门电路可驱动 8 个 \overline{WE} 端。

5. (10 分) 磁盘机的盘组由 6 个盘片组成, 其中专设 1 个盘面为伺服面, 其它盘面为记录数据的盘面。盘存储区域内直径为 4.1cm, 外直径为 8.9cm, 道密度为 150TPM, 位密度为 5000bpm, 磁盘转速为 7200RPM。假定 $\pi=3$ 。试计算:

(1) 数据盘面数和柱面数;

(2) 盘组容量 C_n 是多少字节?

(3) 数据传输率是多少字节/秒?

(4) 假定系统配备上述磁盘机 15 台, 每个磁道分成 64 个扇区, 试为该磁盘系统设计一个地址方案。

6. (6 分) 有一低位交叉字节编址的并行主存系统, 其包含 32 个体, 体号分别为 0, 1, ..., 31。每个体容量为 2MB。试计算:

(1) 该主存系统的容量 C 为多少字节?

(2) 系统地址 A 为 3FFFFC3H, 体地址 J 和体内地址 I 分别是多少?

(3) 体内地址 I 为 2FFFH, 体地址 J 为 16, 系统地址 A 是多少?

国防科大 2004 考研试题 (821 计算机原理)

一、(24 分) 名词解释 (共 8 题, 每个 3 分)

1. 多重中断:

2. 相对寻址:

3. 形式地址:

4. 微程序:

5. 自同步能力:

6. 中断源:

7. 刷新周期:

8. 挥发性存储器:

二、(15 分) 单项选择题 (共 15 小题, 每小题 1 分)

1. 按冯·诺依曼结构组成计算机, 主机的构成是【 】

- | | |
|--------------|-------------|
| A. 运算器和控制器 | B. 运算器和内存储器 |
| C. CPU 和内存储器 | D. 控制器和外设 |

2. 设指令中的地址码为 A, 变址寄存器为 X, 基址寄存器为 B, 则变址间址寻址方式的_{操作数有效地址 EA 为【 】}

- | | | | |
|--------------|------------|------------|--------------|
| A. $((X)+A)$ | B. $(X+B)$ | C. $(X+A)$ | D. $(X)+(A)$ |
|--------------|------------|------------|--------------|

3. 浮点乘法判溢出的时刻是【 】

- A. 在没作乘法之前

- B. 在阶码求和之后尾数相乘之前
 - C. 在尾数相乘之后阶码求和之前
 - D. 阶码求和之后尾数相乘并规格化之后
4. 在串行进位的并行加法器中，影响加法器运算速度的关键因素是【 】
- A. 门电路的级延迟 B. 元器件速度
C. 进位传递延迟 D. 各位全加器速度的不同
5. 中断屏蔽码的作用是【 】
- A. 暂停外设对主机的访问 B. 暂停对某些中断的响应
C. 暂停对一切中断的处理 D. 暂停 CPU 对主存的访问
6. 在微程序控制器设计中，假定微命令采用最短字长编码，需产生 N 种微操作。则微命令控制字段要设置的位数是【 】
- A. $\lceil \log_2(N+1) \rceil$ B. $\lceil \log_2(N-1) \rceil$ C. $\lceil \log_2 N \rceil$ D. $\lceil \log_2 N \rceil + 1$
7. 某浮点机，采用规格化浮点数表示，阶码和尾数均用补码表示，阶码和尾数的最高位都表示符号位。下列规格化浮点数中的最小负数是【 】
- | 阶码 | 尾数 | 阶码 | 尾数 |
|--------------|---------------|--------------|---------------|
| A. 01111111, | 1.0000.....00 | B. 10000000, | 0.1000.....00 |
| C. 10000000, | 1.0111.....01 | D. 01111111, | 0.1111.....11 |
8. 下列存储器中，属于非易失性的是【 】
- A. SRAM B. DRAM C. CAM D. EPROM
9. 某机字长 32 位，主存存储容量为 128M 字节，按字编址，则主存储器的寻址范围是【 】
- A. 0~128M-1 B. 0~32M-1 C. 0~64M-1 D. 128M
10. 字位结构为 1M×4 位 SRAM 存储芯片，其地址引脚与数据引脚之和为【 】
- A. 28 B. 14 C. 24 D. 12
11. 存储器和外设统一编址的计算机，区别存储单元和外设的依据是【 】
- A. 地址码 B. 不同的指令
C. 不同的地址总线 D. 不同的指令和地址码
12. 在下述 I/O 传送控制方式中，主要由程序实现的是【 】
- A. 外围处理机方式 B. DMA 方式 C. 中断方式 D. 通道方式

1. 已知 $[X]_{\text{反}} = 1010 \ 0101$ 则 $[X]_{\text{补}} =$ (), $[X]_{\text{移}} =$ ()。
2. 已知 $X=1010 \ 1111$, $Y=0101 \ 1000$, 则 $X \wedge \bar{Y} =$ (), $\bar{X} \oplus Y =$ ()。
3. 一条微指令通常由 () 和 () 两部分构成。
4. 总线控制器的主要功能是: 总线系统的资源管理、()、() 和 ()。
5. 组合逻辑控制器的核心部件是 ()。
6. 计算机通常采用的舍入方法有 () 和 () 两种。
7. 浮点加法运算的主要步骤是对阶、()、() 和 ()。
8. 对存储器总的要求是, 容量大、() 和 (), 为达到此目的, 现代计算机采用多种存储技术的存储器构成 ()。
9. 动态单管存储位元电路是以电荷的形式将信息存储到电容上的, 因电容存在 (), 所以必须定时 ()。
10. 光盘按存储介质可分为 ()、() 和 ()。
11. 按采用的显示器件, 显示器可分为 ()、()、() 和等离子显示器。
12. 周期挪用 DMA 接口中应设置 ()、()、() 和 () 等寄存器。

四、(30 分)简答题(共 6 小题, 每小题 5 分)

1. 简述累加型指令机和通用寄存器型指令机的优缺点。

2. 简述同步总线与异步总线的区别。

3. 某机字长 16 位, 假定数据用定点整数补码表示, 含 1 位符号位, 或用浮点补码表示, 阶码 6 位含 1 位符号位, 尾数 10 位含 1 位符号位。是对两种数据表示简要比较。

4. 简述主存与辅存的异同点。

5. 何谓中断? CPU 响应中断的条件是什么?

6. 激光打印机的电子照相转印系统由哪几部分组成? 各部分的功能是什么?

四、(51 分)综合应用题(共 6 小题)

1. (11 分) 已知被除数 $X=2^4 \times (-26/32)$, 除数 $Y=2^{-2} \times (23/32)$ 。试用规格化浮点数除法规则, 求商 $[X/Y]_{\text{移, 补}}=?$ 和真余数 $[r]_{\text{移, 补}}=?$ 要求:
- (1) 阶码用移码 4 位(含 1 位符号)表示, 尾数用补码 6 位(含 1 位符号)表示;
 - (2) 用补码加减交替法求尾数的商;
 - (3) 写出计算步骤和运算竖式。

2. (8 分) 已知被乘数 $X=+11011$, 乘数 $Y=-01011$ 。试用一位比较(Booth)乘法规则, 求 $[X \times Y]_{\text{补}}=?$ 并写出 $X \times Y=?$ 要求写出计算步骤和运算竖式。

3. (7 分) 试说明顺序—转移型和断定型两种方式产生后续微地址有何不同。

4. (8 分) 已知 SRAM2114 存储芯片引脚示意图如下所示:

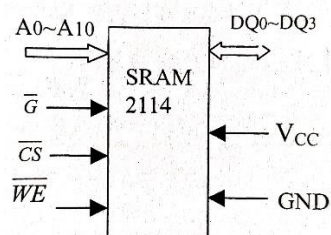
DQ_i : 数据输出输入端

$A_0 \sim A_{10}$: 地址输入端

\overline{CS} : 片选段

\overline{G} : 输出输入控制端

\overline{WE} : 读写控制端



试回答:

(1) 依地址和数据端的数量计算存储芯片容量。

(2) 试用该芯片构成 $16K \times 32$ 位的存储器。

① 计算需用多少片 SRAM2114

② 存储器需多少位地址码? 片选应用哪几位地址码译码产生?

③ 假定一个门电路能驱动 8 个读写控制端负载, 求该存储器的读写控制端 \overline{WE} 所需驱动门数。

5. (9 分) 磁盘机的盘组由 4 个盘片组成, 其中专设 1 个盘面为伺服面, 其它盘面为记录数据的盘面。盘存储区域内直径为 3.9cm, 外直径为 8.9cm, 道密度为 40TPM, 位密度为 500bpm, 磁盘转速为 7200RPM。假定 $\pi=3$ 。试计算:

(1) 数据盘面数和柱面数;

(2) 盘组容量 C_n 是多少字节?

(3) 数据传输率是多少字节/秒?

(4) 假定系统配备上述磁盘机 12 台, 每个磁道分成 64 个扇区, 试为该磁盘系统设计一个地址方案。

6. (8 分) 某 CRT 汉字显示器可显示 6000 个不同汉字, 每个汉字编码为两个字节。每帧可显示 25 行, 每行 40 个汉字。每个汉字字形码采用 24×24 点阵表示和存储, 即每字横, 纵方向均为 24 个点。字间距 3 个点, 行间距 8 个点, 帧频 50 赫兹, 采用逐行光栅扫描显示。帧、行回扫时间均为扫描正程时间的 20%。试回答:

(1) 缓存 RAM 的存储容量为多少字节?

(2) 字符发生器(字库)ROM 的存储容量为多少字节?

(3) 应设置哪些计数器以控制 RAM 访问与屏扫扫描之间的同步? 并说明各计数器的计数范围和分频关系。

国防科大 2003 考研试题 (821 计算机原理)

一、(24 分) 名词解释 (共 8 题, 每个 3 分)

1. 微指令:

2. 程序状态字:

3. 中断隐指令:

4. 主存存取时间:

5. 液晶:

6. 光栅扫描:

7. 静电潜像:

8. 字节多路通道:

二、(15 分) 单项选择题 (共 15 小题, 每小题 1 分)

1. 设指令中的地址码为 A, 变址寄存器为 x, 程序计数器为 PC, 则间址变址寻址方式的操作数地址为【 】

- A. $(PC)+A$ B. $(A)+(X)$ C. $(A+X)$ D. $A+(X)$

2. 采用扩展操作码的重要原则是【 】

- A. 操作码长度可变
B. 使用频度高的指令采用短操作码
C. 使用频度低的指令采用短操作码
D. 满足整数边界原则

3. 下列哪种指令属于程序控制指令【 】
A. 逻辑移位指令 B. 循环指令 C. 数据转换指令 D. 特权指令
4. 用补码双符号位表示的定点小数, 下述哪种情况属负溢出【 】
A. 11.0000000 B. 01.0000000
C. 10.0000000 D. 00.1000000
5. 通常划分计算机发展时代是以【 】为标准的。
A. 所用电子器件 B. 运算速度 C. 计算机结构 D. 所用语言
6. 某浮点机, 采用规格化浮点数表示, 阶码用移码表示(最高位代表符号位), 尾数用补码表示。下列规格化浮点数哪个最大【 】

| 阶码 | 尾数 | 阶码 | 尾数 |
|---------------------------|----|---------------------------|----|
| A. 1111111, 1.0000.....00 | | B. 0011111, 1.0111.....01 | |
| C. 1000001, 0.1111.....01 | | D. 0111111, 0.1000.....10 | |
7. 冯·诺依曼计算机结构的核心思想是【 】
A. 二进制运算 B. 有存储信息的功能
C. 运算速度快 D. 存储程序控制
8. 在微程序控制器中, 执行指令微程序的首条微指令地址是怎么得到的【 】
A. 程序计数器 PC B. 前条微指令
C. $\mu PC+1$ D. 指令操作码映射
9. 和 MOS 型 RAM 比较, 双极型 RAM 特点是【 】
A. 速度快、集成度低、位功耗高
B. 速度快、集成度高、位功耗高
C. 速度快、集成度低、位功耗低
D. 速度慢、集成度高、位功耗低
10. 字位结构为 $1M \times 4$ 位的 DRAM 存储芯片, 其地址引脚与数据引脚之和为【 】
A. 28 B. 14 C. 24 D. 12
11. 下述打印机属于击打的是【 】
A. 激光打印机 B. 喷墨打印机 C. 热敏打印机 D. 针式打印机
12. CPU 可随机访问的存储器是【 】
A. 光盘存储器 B. 主存储器 C. 磁盘存储器 D. 磁带存储器

13. 主机与外设传送数据时, 采用【 】对 CPU 干扰最少。
 A. 程序中断控制传送 B. DMA 控制传送
 C. 程序直接控制传送 D. 通道控制传送
14. 下列存储器中, 属于挥发性的是【 】
 A. DRAM B. MROM C. PROM D. EEPROM
15. CD-ROM 的光道是【 】
 A. 位记录密度不同的同心圆 B. 位记录密度相同的同心圆
 C. 位记录密度不同的螺旋线 D. 位记录密度相同的螺旋线

三、(30 分) 填空题(共 11 小题, 每空 1 分)

1. 已知 $X = +1001100$, 则 $[X]_{\text{反}} = (\quad)$, $[X]_{\text{移}} = (\quad)$ 。
2. 已知 $X = 1100 \ 1100$, $Y = 00110011$, 则 $X \oplus \bar{Y} = (\quad)$, $X \wedge Y = (\quad)$ 。
3. 一个较完善的计算机指令系统应满足的要求是 ()、()、() 和兼容性。
4. 总线按其传送信息的类型可分为 ()、() 和 ()。
5. 有一定点整数 $[X]_{\text{反}} = 11010101$, 对其进行算术右移 1 位后 (), 算术左移 1 位后 ()。
6. 微指令的控制字段, 当采用分段直接编码时, 段内是 () 编码, 而段间是 () 编码可同时进行。分段时, 一般把 () 分在同一个段内, 把 () 分在不同段内。
7. DRAM 刷新, 按刷新操作周期的分配方式, 可分为 ()、() 和透明式刷新。
8. 在多维低位交叉编址并行主存系统中, 假定 A 为系统地址, n 为存储体数, j 为体号地址 (从 0 到 $n-1$), m 为每个体的存储单元数, i 为体内地址 (从 0 到 $m-1$), 则有 $A = n \times i + j$ 。此主存系统的地址码位数应为 ()。若 A 已知, 则体内地址 $i = (\quad)$, 体号地址 $j = (\quad)$ 。
9. 硬盘地址通常由台号、()、() 和 () 构成。

10. 在程序中断传送标准接口中, 反应外设主要工作状态的触发器是 () 和 ()。
11. 打印机按印字原理可分为 () 和 () 两大类。按工作方式可分为 () 和 () 打印机。

四、(30 分)简答题(共 6 小题, 每题 5 分)

1. 何谓堆栈? 简述其在计算机中的应用。

2. 以单总线系统为例, 简要说明一个总线主设备从与总线连接的某设备读取数据的操作过程。

3. 简述寻址技术在计算机中的应用。

4. 试说明 cache、主存和主存、辅存两个存储层次在功能技术和实现方法上有什么不同。

5. 说明指令和通道命令 (控制) 字的异同点?

6. 简述程序中断传送接口的组成及各部分的功能。

五、(51 分)综合应用题(共 6 小题)

1. (11 分) 已知补码一位一乘的比较乘法规则的第 $i+1$ 步部分积的表达式为:

$$[P_{i+1}]_{\text{补}} = 2^{-1} \{ [P_i]_{\text{补}} + (Y_{n-i+1} - Y_{n-1}) [X]_{\text{补}} \}.$$

式中, P 为部分积, Y 为乘数, X 为被乘数。设字长为 n 位, Y_{n+1} 为附加比较位, 其初值为 0。

(1) 试根据上述部分积的表达式, 推出补码比较乘法两位一乘规则表达式;

(2) 给出两位一乘第一步部分积的表达式;

(3) 用给出的补码比较乘法两位一乘表达式, 计算 $[X \times Y]_{\text{补}} = ?$, 已知被乘数

$X = +0.111111$, 乘数 $Y = -0.111001$ 。要求与出计算步骤和运算竖式。

2. (8 分) 已知被除数 $X=+0.1001$, 除数 $Y=-0.1011$ 。试用原码加减交替法除法规则, 求 $[X/Y]_{\text{原}}=?$ 余数 $[R]_{\text{原}}=?$ 要求写出计算步骤和运算竖式。

3. (7 分) 试比较组合逻辑控制器和微程序控制器的优缺点。

4. (8 分) 外围线路采用 TTL 电路, 使用 $256\text{K} \times 4$ 位的 DRAM 存储芯片 MB81C4256, 构成 $4\text{M} \times 64$ 位的主存储器。试回答:

(1) 需要多少个 MB81C4256 存储芯片?

(2) 画出存储芯片引脚示意图。

(3) 存储器地址码位数? 作为片选译码的地址码位数?

(4) 计算存储器的 WE (读写控制) 端需多少 TTL 门电路驱动? 假定一个 TTL 门电路可驱动 8 个 \overline{WE} 端。

5. (9 分) 盘组由 6 个盘片组成的磁盘机, 其中专设 1 个盘面为伺服面, 其它盘面为记录数据的盘面。盘存储区域内直径为 6.2cm, 外直径为 13.2cm, 道密度为 50TPM, 位密度为 400bpm, 磁盘转速为 7200RPM。假定 $\pi=3$ 。试计算:

(1) 数据盘面数和柱面数:

(2) 盘组容量是多少字节?

(3) 数据传输率是多少字节/秒?

(4) 假定系统配备上述磁盘机 10 台, 每个磁道分成 64 个扇区, 试为该磁盘设计一个地址方案。

6. (8 分) 有一字节多路通道, 其极限流量为 0.16MB/s, 通道现已连接笔绘仪 1 台, 打印机 3 台, 终端 8 个。它们传送 1 个字节的时间分别为 1ms, 150us, 100us。试计算:

(1) 该通道实际的最大流量是多少?

(2) 在使该通道不饱和情况下, 最多还能连接几台终端?

国防科大 2002 考研试题 (821 计算机原理)

一、(15 分) 名词解释 (共 10 题, 每个 1.5 分)

1. 寻址方式:

2. 定点溢出:

3. 数据表示:

4. RISC:

5. 向量中断:

6. 柱面:

7. 通道控制字:

8. 打印速度:

9. 液晶相温度:

10. 随机扫描:

二、(10 分) 单项选择题 (共 10 题, 每题 1 分)

1. 采用变形码判溢出, 当发生正溢出时, 其两位符号位为 【 】

- A. 00 B. 01 C. 10 D. 11

2. 设指令中的地址码为 A, 变址寄存器为 X, 基址寄存器为 B, 则间接变址寻址方式的操作数地址 EA= 【 】

- A. $((X)+A)$ B. $(X)+(A)$ C. $(B+X)+A$ D. $(A+X)+B$
3. 下列哪种指令用户不准使用【 】
- A. 循环指令 B. 转换指令 C. 特权指令 D. 条件转移指令
4. 某计算机, 浮点数采用规格化表示, 阶码用移码表示 (最高位代表符号位), 尾数用补码表示。下列哪个数不是规格化浮点数【 】
- A. 阶码: 1111111, 尾数: 1.000.....00
- B. 阶码: 0011111, 尾数: 1.010.....01
- C. 阶码: 1000111, 尾数: 1.100.....00
- D. 阶码: 0111111, 尾数: 0.111.....11
5. 设计一个两位一乘的乘法器, 实现其部分积相加的加法器需设置【 】位符号位。
- A. 1 B. 2 C. 3 D. 4
6. 在主存和 CPU 之间增加 cache 的目的是【 】
- A. 扩大主存容量 B. 增大主存传输率
- C. 解决 CPU, 主存速度匹配 D. 增加 CPU 通用寄存器数量
7. 和动态 RAM 比较, 静态 RAM 的特点是【 】
- A. 集成度高、存取速度慢 B. 集成度高、存取速度快
- C. 集成度低、存取速度慢 D. 集成度低、存取速度快
8. 下述打印机属于非击打的是【 】
- A. 列式针打印机 B. 激光打印机
- C. 梳式针打印机 D. 鼓轮式打印机
9. 用户对通道 I/O 设备的请求是通过【 】实现的
- A. 程序中断 B. 自愿进管 (广义指令)
- C. I/O 指令 D. 通道程序
10. 周期挪用 DMA 与主存交换一个单位数据是通过【 】实现的。
- A. 程序中断 B. 简单中断 C. I/O 指令 D. 通道命令字

三、(20 分)填空题(共 9 小题, 每空 1 分)

1. 已知: $X=10101010$, $Y=11110000$, 则 $X \wedge \bar{Y} =$ (), $X \oplus Y =$ ()。
2. 已知: $X=-10011$, 则 $[-X]_{\text{补}} =$ (); $[X]_{\text{移}} =$ ();
3. 用 32 位二进制表示浮点数据, 其中阶码用补码 8 位 (含 1 位符号位) 表示, 尾数用补码 24 位 (含 1 位符号位) 表示。试给出该机所能表示的规格化浮点数:
最小正数: 阶码 (), 尾数 ()。
最大负数: 阶码 (), 尾数 ()。
4. 将 2002 表示成 16 位二进制的定点整数为()。
5. 微指令的微命令控制信号的编码方法, 通常有直接编码、()、() 和 ()。
6. 主存储器由()、()、() 和控制线路四部分组成。
7. 相变型光盘分为两种, 一种为不可逆相变光盘, 又称 (); 另一种为 (), 又称可擦写型光盘。
8. 激光打印机的电子照相转印系统由充电和记录电晕器、()、()、() 和清洁器组成。
9. 三级 I/O 子系统一般由 ()、() 和设备构成。

四、(20 分)简答题(共 5 题, 每题 4 分)

1. 单总线系统存在哪些主要问题? 简述解决问题的途径。

2. 简单说明机器指令与微指令、程序与微程序、主存与控存（微程序控存）有何不同？

3. 说明作为存储记忆的元器件应具备哪些条件？

4. 试述列（串）式针打的组成及各部分的功能？

5. 试述程序中断传送与通道传送的区别。

五、(12 分)设计题(共 2 题, 每题 6 分)

1. 使用扩展操作码技术的原则是什么? 假定指令长度为 16 位, 利用扩展操作码方法试给出由 50 种指令构成的指令系统(指令格式和扩展方法)。要求:

OP=4 位, 14 条指令; OP=8 位, 15 条指令;

OP=12 位, 12 条指令; OP=16 位, 9 条指令。

2. 使用 $64\text{K} \times 1$ 位的动态 RAM(DRAM) 存储芯片构成 $4\text{M} \times 32$ 位的主存储器。试回答:

(1) 画出存储芯片引脚示意图。

(2) 需要多少存储芯片?

(3) 存储器地址码位数? 作为片选译码的地址码位数?

六、(23 分)综合应用题(共 3 题, 注: 统考生做)

1. (10 分) 已知被乘数 $X=2^3 \times (13/16)$, 乘数 $Y=2^4 \times (-9/16)$ 。试按规格化浮点乘法规则, 求 $[X \times Y]_{\text{移、补}} = ?$ 要求:

(1) 阶码用移码 4 位(含 1 位符号)表示, 尾数用补码 6 位(含 1 位符号)表示。

写出计算步骤和竖式, 用补码一位乘比较 (Booth) 乘法规则计算尾数乘积;

(2) 画出实现该浮点乘法运算的乘法器逻辑结构框图。

2. (7 分) 某机字长 32 位, 主存存储周期 320ns。普通 I/O 通道的数据传输率为 2×10^6 字节/秒; 当通道配有字缓冲器时, 数据传输率为 6×10^6 字节/秒。试计算:

(1) 普通 I/O 通道的数据传输率与主存的数据传输率比值是多少?

(2) 带字缓冲器 I/O 通道的数据传输率与主存的数据传输率比值是多少?

3. (6 分) 设计 I/O 的硬件接口应考虑哪些因素?

七、(23 分)综合应用题(共 3 题, 注: 单独考生做)

1. (9 分) 已知被乘数 $X=+0.11011$, 乘数 $Y=-0.11101$ 。试用原码一位乘法规则, 求 $[X \times Y]_{\text{原}}=?$ 要求: 写出计算步骤和竖式。

2. (8 分) 有一磁盘, 盘组由 4 个盘片组成, 其专设一个伺服面, 其它为记录面。存储区域内直径为 5.2cm, 外直径为 13.2cm, 道距为 0.025mm, 位密度为 300bpm, 转速为 7200RPM, 假定 $\pi=3$ 。试计算:

(1) 记录盘面数和柱面数;

(2) 盘组容量是多少字节?

(3) 数据传输率是多少字节/秒?

(4) 假定一个磁道分成 32 扇区, 试为该磁盘设计一个地址方案。

3. (6 分) 何谓中断响应? CPU 响应中断的条件是什么? 中断响应要完成哪些工作?

国防科大 2001 考研试题 (821 计算机原理)

一、(15 分) 名词解释 (共 10 题, 每个 1.5 分)

1. 有效地址:

2. 断定型微地址:

3. 规格化浮点数:

4. 先行进位:

5. 特权指令:

6. 通道状态字:

7. 存储周期:

8. 相联存储器:

9. 伺服面:

10. 打印宽度:

二、(10 分) 单项选择题 (共 10 题, 每题 1 分)

1. 指令寄存器寄存的是【 】

A. 下一条要执行的指令

B. 已执行完了的指令

C. 正在执行的指令

D. 要转移的指令

2. 设微指令周期为 T_m , 执行微操作时间为 T_{mp} , 访问控存时间为 t 。当并行控制时, $T_m =$ 【 】
- A. $1/2T_{mp}$ B. T_{mp} C. $2T_{mp}$ D. $T_{mp} + t$
3. 如果指令中的地址码为 A, 变址寄存器为 X, 基址寄存器为 B, 则变址间址寻址方式的操作地址 $N =$ 【 】
- A. $X + (A)$ B. $((X+B) + A)$ C. $(X+A)$ D. $((X)A)$
4. 中断响应是在 【 】
- A. 一条指令执行开始 B. 一条指令执行中间
- C. 一条指令执行之末 D. 一条指令执行的任何时刻
5. 下列哪种指令不属于程序控制指令 【 】
- A. 无条件转移指令 B. 条件转移指令 C. 中断隐指令 D. 循环指令
6. 某浮点机, 采用规格化浮点数表示, 阶码用移码表示(最高位代表符号位), 尾数用原码表示。下列哪个数的表示不是规格化浮点数 【 】
- | 阶码 | 尾数 | 阶码 | 尾数 |
|----------------------------|----|----------------------------|----|
| A. 11111111, 1.1000.....00 | | B. 00111111, 1.0111.....01 | |
| C. 1000001, 0.1111.....01 | | D. 01111111, 0.1000.....10 | |
7. 和主存比较, 外存的特点是 【 】
- A. 容量大、速度慢、成本低 B. 容量大、速度慢、成本高
- C. 容量小、速度快、成本高 D. 容量小、速度慢、成本低
8. 某计算机字长 32 位, 存储容量为 16MB, 按字编址, 其寻址范围为 【 】
- A. $0 \sim 2M-1$ B. $0 \sim 4M-1$ C. $0 \sim 8M-1$ D. 16M
9. 含有处理机的终端通常称为 【 】
- A. 智能终端 B. 专用终端 C. 普通终端 D. 远程终端
10. CPU 对通道的启动是通过 【 】 实现的。
- A. 自陷 B. 中断 C. I/O 指令 D. 通道命令字

三、(20 分) 填空题(共 8 小题, 每空 1 分)

1. 控制器的组成主要包括 ()、()、() 和微操作控制部件。

2. 数字电子计算机的主要特点是存储容量大、()、()。
3. 一条指令的执行过程,通常包括()、()、()。
4. 微程序的首地址是由()确定的,而后继微地址则是由()确定的。
5. 指令系统的完整性,通常是指()和()。
6. 非击打式打印机有()、()和()。
7. 半导体只读存储器按其写入分为()、()和()三种情况。
8. I/O 设备的编址通常有()和()两种方式。

四、(20 分)简答题(共 5 题, 每题 4 分)

1. 何谓变址寻址和基址寻址? 两者有何异同点。

2. 何谓定点溢出? 给出判别定点溢出的两种方法。

3. 什么是移码? 通常浮点机中浮点数的阶码为何都采用移码表示?

4. 磁头材料和磁记录材料各有何特点和要求?

5. 周期挪用 DMA 与程序中断传送有何区别?

五、(12 分)设计题(共 2 题, 每题 6 分)

1. 假定某定点计算机, 字长 16 位。CPU 内有 8 个通用寄存器, 可执行 8 种操作指令, 采用二地址指令格式(其中最多有一个访存地址), 访存周期 T_M 为 500ns, 时钟周期 T_{cp} 为 125ns, 不考虑中断、总线、变址。要求:
 - (1) 绘出合理的指令格式;
 - (2) 确定指令周期 T , 和指令节拍数 m ;
 - (3) 说明设计该机组逻辑控制器的方法和步骤。
2. 外围线路采用 ECL 电路, 使用 $4K \times 4$ 位的双极型 RAM 在储芯片构成 $128K \times 64$ 位的 cache 存储器。试回答:
 - (1) 需要多少存储芯片?
 - (2) 存储芯片地址端引脚个数? 存储器地址码位数?
 - (3) 画出存储矩阵示意图。
 - (4) 计算存储器的 \overline{WE} 端需多少 ECL 门电路驱动? 假定一个 ECL 门电路可驱动 8 个 \overline{WE} 端。

六、(23 分)综合应用题(共 3 题, 注: 统考生做)

1. (10 分) 已知被除数 $X=+0.10101$, 除数 $Y=+0.11011$ 。要求:

(1) 用补码加减交替除法规则, 求商 $[X/Y]_{\text{补}}=?$ 余数 $[R]_{\text{补}}=?$ (写出计算竖式)。

(2) 画出实现该除法规则的除法运算器逻辑组成框图。

2. (6 分) 有一光栅扫描字符显示器, 可显示 128 种 ASCII 码字符。每个字符由 9×7 (9 行 7 列) 点阵构成, 字间间隔 2 个点, 每帧显示 25 行, 每行 80 个字符。

(1) 缓存 RAM 最小容量是多少?

(2) 字符库容量是多少?

(3) 点计数器要几位触发器构成?

3. (7 分) 某盘组有 5 个盘片, 其中 1 个盘面为伺服面, 其它盘面为记录数据的盘面, 磁盘转速为 7200RPM。盘存储区域内直径为 4.1cm, 外直径为 8.9cm, 道密度为 40TPM, 位密度为 300bpm, 试计算

(1) 数据盘面数和柱面数;

(2) 盘组容量是多少字节?

(3) 平均等待时间是多少 ms?

(4) 数据传输率是多少字节/秒?

七、(23 分)综合应用题(共 3 题, 注: 单独考生做)

1. (10 分) 已知被乘数 $X=+0.1101$, 乘数 $Y=-0.1011$ 。试用补码比较(Booth)乘法规则, 求 $[X \times Y]_{\text{补}}=?$ (要求写出计算竖式)。

2. (7 分) 有一选择通道, 可连接 4 台快速外设, 它们的数据传输率分别为 8B/S, 4MB/S, 2MB/S, 1MB/S。该选择通道每批最多可传送 16K 字节信息, 选择设备的时间为 2 μ S, 传送 1 个字节的时间为 100ns。试求该选择通道的极限流量和实际的最大流量。
3. (6 分) 动态 MOS 存储器为什么要刷新? 怎样刷新? 通常有几种刷新方式, 并简单说明之。

国防科大 2000 考研试题 (821 计算机原理)

一、(20 分) 名词解释 (10×2 分)

1. 计算机体系结构:

2. 透明性:

3. 指令集系统的规整性:

4. 非线性流水线:

5. 并行处理机:

6. 指令周期:

7. 寻址技术:

8. 选择通道:

9. 通道程序:

10. 自同步能力:

二、(20 分) 填空题 (每空 1 分)

1. 一般说来,按照 CPU 内部操作数的存储方式,可以将机器指令集结构分为:

() () 和 ()。

2. 单机和多机并行性发展的技术途径有 ()、()

和 ()。

3. 存储器层次结构设计技术的基本依据是程序 ()。
4. 在计算机体系结构设计中,软硬件功能分配取决于()。
5. 从主存的角度来看,“Cache—主存”层次的目的是为了 ()。
6. 描述向量的数据的参数有:()、()、()。
7. 程序循环是用 () 来实现的,而微程序循环是用 () 来实现的。
8. 可擦写光盘是通过 () 效应实现写入信息的,而读书信息则是通过()实现的。
9. DMA 与 CPU 访问冲突的处理方式有()、()、()三种。

三、(12 分)简答题(每题 3 分)

1. 简述 CISC 结构计算机的缺点和 RISC 结构计算机的设计原则。

2. 全相联和直接相联相比,各有何优缺点?

3. 程序控制指令有什么功能? 它主要包括哪些指令?

4. 试述 DMA 传送数据与通道传送数据有何区别?

四、(20 分) 计算题(每题 5 分)

1. 假设在某串行处理机上运行的一个程序, 该程序的可并行化程序段执行时间占整个程序执行时间的 80%。现将该程序运行在一台并行处理机上, 假设并行处理机对并行化程序段执行的加速比为 S_n , 且不改变其它非并行化程序段(串行程序段)的执行时间, 求该并行处理机对该程序的加速比, 以及该加速比的峰值, 从中可以得到什么启示?

2. 某计算机中使用 32KB 的 Cache, 分别用于存放指令和数据, 其失效率分别为 0.39%(指令 Cache)和 4.82%(数据 Cache)。假设所有存储访问操作的 75%为取指令操作, 25%为访问数据操作, Cache 的命中时间(即访问命中时所需要的时间)为 1 个时钟周期。失效开销为 50 个时钟周期。试计算平均访问时间。
3. 已知 $A=10^{-010} \times (-0.1001000)$, $B=10^{-011} \times (+0.1111110)$ 。试按补码(阶和尾数均采用补码)加减法运算规则与步骤, 求 $[A - B]_{\text{补}} = ?$ (要求写出计算步骤)。
注: 题中底数“10”是二进制。

4. 一组数组多路通道, 每传送 8K 字节选择一次设备, 选择设备的时间为 $1\mu\text{s}$, 传送一个字节的时间为 125ns , 其连接 4 台硬盘, 3 台磁光盘, 它的数据传输率分别为 4MB/s , 2MB/s 。试求该通道的极限流量和实际最大的流量。
- (1) 该存储器层次结构的平均访问时间;
- (2) 和直接对主存进行访问相比, 该存储器层次结构访问时间加速比是多少? 加速比的最大值是多少?

五、(28 分)综合题(每题 7 分, 统考生做 1~4 题, 单独考生做 1~4 或 5~8 题)

1. 在 500MHz 的 DLX 流水线上运行如下代码序列:

loop:

LW F1, 0(R2)

ADDF F1, F1, #1

SW F1, 0(R2)

ADDI R2, R2, #4

SUB R4, R3, R2

BNZ R4, loop

其中, R3 的初值 $R2 + 396$ 。假设在整个代码序列的运行过程中所有的存储器访问都是命中的, 并且在一个时钟周期中对同一个寄存器的读操作和写操作可以通过寄存器文件“定向”, 假设该 DLX 流水线有正常的定向路径和一个单周期延迟分支, 以最大程度加速上述指令序列的执行为目标, 请对该循环中的指令进行调度(你可以重新组织指令的顺序, 也可以修改指令的操作数, 但是注意不要增加指令的条数)。请画出该指令序列的执行的流水线时空图, 并计算执行上述简单循环所需的时钟周期数。其 MIPS 和 MFLOPS 各是多少?

2. 为了解决计算机系统中的 I/O 和 Cache 一致性问题，现将输入输出总线和 Cache 相联，直接将磁盘页面读入 Cache。假设：

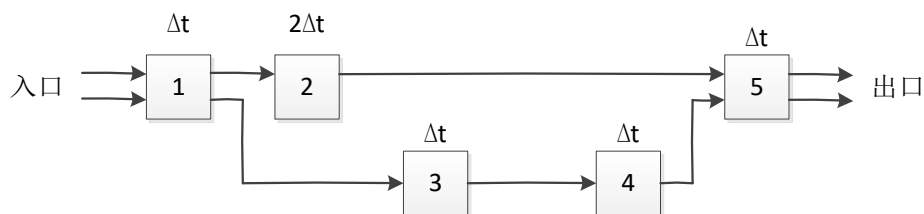
- (1) 每个页面为 16KB, Cache 块为 64B。
- (2) I/O 操作所对应的新页的地址不在 Cache 中且 CPU 不会访问新页中的任何数据。I/O 系统缓冲器能够存储一个 64B 的块。CPU 不会访问新页中的任何数据。
- (3) Cache 中 95% 的被替换块将会被再次读取，并引发一次 Cache 失效；访问或失效在所有 Cache 块中均匀分布，Cache 使用写回策略。平均 50% 的块被修改过。没有 I/O 操作时每 1 百万个时钟周期中有 15000 次失效。
- (4) 失效开销指令是 30 个时钟周期。如果替换块被修改过，则再加上 30 个时钟周期用于将被修改过的块写回主存。

假设计算机平均每一百万个时钟周期处理一页磁盘页面。请分析 I/O 操作对 CPU 性能的影响有多大。

3. 某微程序控制器，微指令采用断定型微地址结构，其中非测试地址 HF 为 7 位，测试地址 TF 为 1 位，测试条件或测试源有 7 个。试给出微指令结构，并画出形成测试地址的原理框图。
4. 外围电路采用 TTL 电路，使用 $64K \times 4$ 位的 DRAM 存储芯片，构成 $1M \times 64$ 位的主存储器。试回答：
- (1) 需要多少存储芯片？
 - (2) 存储芯片地址引脚个数是多少？
 - (3) 存储器地址码位数是多少？作为片选译码的地址码位数是多少？
 - (4) 假设一个 TTL 门电路可以驱动 8 个 WE 端，计算存储器需要多少个 TTL 门电路驱动？

5. 试画出 $N=8$ 的 3 级立方体网络 (8 个输入端, 8 个输出端) 若要同时实现 $0 \rightarrow 2$, $3 \rightarrow 5$ 的连接, 是否可以采用级控制方式。为什么? 应如何设置控制信号?

6. 给定下面的动态多功能流水线:



其中:

1 为乘法流水线, 2 为加法流水线。假设输入和输出的缓冲寄存器足够大, 而且输出端的数据可以直接返回到输入端。若用流水线计算 $\prod_{i=1}^6 (x_i + y_i)$, 试按最快方式处理。

- (1) 画出此情况下的时空图
- (2) 计算其实际吞吐率、效率和加速比。

7. 在有级屏蔽的多级中断系统中，系统软件对屏蔽码赋值，可灵活改变中断处理次序。假设级屏蔽位是“0”表示开放中断，是“1”表示屏蔽中断，现有三级中断，其优先处理次序为：1→3→2。试将满足要求的屏蔽码填入下面三级中断屏蔽码表中。

| 中断级别 | 中断屏蔽位 | | |
|------|-------|----|----|
| | 一级 | 二级 | 三级 |
| 目态 | | | |
| 第一级 | | | |
| 第二级 | | | |
| 第三级 | | | |

8. 何谓程序中断传送？简述程序中断控制输入设备传送的过程？

国防科大 1999 考研试题 (821 计算机原理)

一、(20 分) 名词解释 (共 10 题, 每个 2 分)

1. 微指令周期:

2. 形式地址:

3. 机器负数:

4. 字节多路通道:

5. 脉冲拥挤效应:

6. 指令系统的规整性:

7. TLB:

8. 定向:

9. 相关:

10. Cache 块冲突:

二、(20 分) 填空题 (每空 1 分, 1~5 题必做, 选做 6~9 题或 8~12 题)

1. 一般划分计算机发展时代是以 () 为标志的。

2. 确定计算机指令系统应满足的基本要求是 ()、
()、()。

3. 计算机中常用的舍入方法有 () 和 ()。
4. 将代数表达式 $(A-B)/C+(D+E)/F$ 转换成逆波兰式 ()。
5. 光盘存储器按存取方式可分为 ()、() 和 () 三类光盘。
6. 当代计算机体系结构的基本概念主要包括 ()、()、() 三个方面的内容。
7. 在指令集结构设计中,表示寻址方式有两种方法,一种是 (), 另一种是 ()。
8. 对向量的处理有 () 方式、() 方式、() 方式。
9. 对指令段: $\text{ADD } R1, R2, R3; \quad S1: R1 \leftarrow R2+R3$
 $\text{MUL } R1, R1, R3; \quad S2: R1 \leftarrow R1*R3$
 指令 S1 和 S2 存在 () 和 () 相关。
10. 一条流水线只有一个单独功能则称为 (); 如果一条流水线的多个段可以通过不同的组合实现不同的功能, 则称为 ()。
11. 流水线 n 段的时间为 $\{ \Delta t_1, \Delta t_2, \dots, \Delta t_n \}$, 则最大吞吐率 $TP_{\max} =$ ()。
12. 令 $x=\{b_1b_2b_3\}$, 则第 1 位交换排列函数为 $\varepsilon_1(x)=(\quad)$, 全混洗函数为 $\sigma(x)=(\quad)$ 。

三、(12 分)简答题(每题 3 分, 1~2 题必做, 选做 3~4 题或 5~6 题)

1. 简述中断在计算机系统中的作用。

2. 简述采用 DMA 方式从磁盘读取 1 个数据块到主存的工作过程。

3. 在流水线中解决控制相关的技术有哪些? 请综合评述这些方法对改进的 DLX 流水线性能改善的影响。

4. CISC 结构计算机的缺点有哪些? 那么, RISC 结构计算机的设计有些什么原则?

5. 单机中 Cache 到主存的块映射有哪几种方法?

6. 多级互连网络有哪几种控制方式?

四、(20 分) 计算题(每题 5 分, 1~3 题必做, 选做 4、5 其中一题)

1. 已知被乘数 $A = -0.11111$, 乘数 $B = -0.11011$ 。试用补码比较乘法(Booth 法)求 $[A \times B]_{\text{补}} = ?$ (要求写出竖式, 否则不给分)。

2. 已知一双面软盘, 每面 80 道, 划分为 18 个扇区, 每扇区存放 1024 个字节的
信息。盘速为 720RPM。试计算:

(1) 盘的有效存储容量为多少个字节?

(2) 数据传输率为多少个字节/秒?

(3) 读写任一扇区的平均存取时间(假定平均寻道时间为 100ms)?

3. 假设某流水线有 m 段, 各段的处理时间分别是 $t_i (i=1, 2, \dots, m)$, 现有 n
个任务需要完成, 每个任务由且仅由和该流水线各段操作所完成的相应子任
务组成。请问:

(1) 这 n 个任务在该流水线上实现所需要的时间;

(2) 和这 n 个任务非流水实现相比, 流水实现的加速比是多少? 该加速比的
最大值是多少?

4. 设 Cache 的命中率为 95%，访问 Cache 需要 5ns，Cache 块为 32 字节，主存为 4 字节宽度，访问主存需要准备 40ns，以后每 5ns 可提供一个数据，请计算这个 Cache—主存层次的平均访存时间。

5. 设虚地址 32 位，页面 1KB，按字节寻址，每个页表项占 4 个字节，问需要使用几级页表？

五、(28 分) 综合题 (每小题 7 分，1~2 题必做，选做 3~4 题或 4~5 题，仅供统考生做)

1. 某微程序控制器，采用水平型微指令，断定型微地址结构，执行微指令是多相时钟并行控制方式。共有 13 个测试源和测试条件，为加快微指令转移，用预取多字法实现二分支转移控制，控存 CM 分为两个体，每体为 128 字。试画出其控制微指令转移的逻辑结构框图和微指令地址字段的结构。

2. 外围电路采用 ECL 电路, 使用 $8K \times 4$ 位 SRAM 存储芯片构成 $256K \times 32$ 位的 Cache 存储器。试回答:

(1) 需要多少存储芯片?

(2) 存储芯片地址端引脚个数?

(3) 存储器地址码位数?

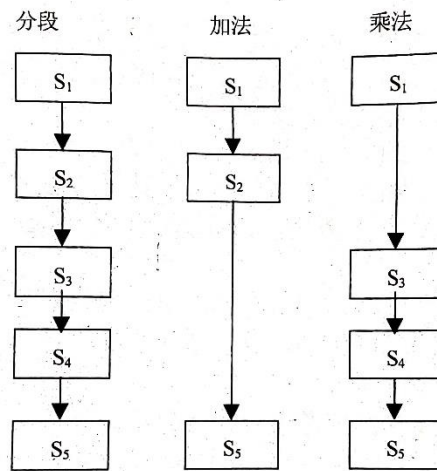
(4) 计算存储器的 \overline{WE} 端需多少 ECL 门电路驱动? 假定一个 ECL 门电路驱动 8 个 \overline{WE} 端。

3. 已知三级存储层次中, 第一级的命中率为 H_1 , 访问时间为 T_1 ; 对第二级的所有访问中, 命中率为 H_2 , 访问第二级存储器的全部时间为 T_2 ; 访问第三级存储器的全部时间为 T_3 。

(1) 写出该三级存储器系统的平均访存时间的表达式。

(2) 设 $H_1=95\%$, $H_2=80\%$, $T_1=5ns$, $T_2=50ns$, $T_3=200ns$, 求平均访存时间。

4. 设一多功能静态流水线如下图所示:



试对 $\sum_{i=1}^4 A_i * B_i$

(1) 画出时空图;

(2) 求实际吞吐率、加速比和效率。

5. 现通过对某基准程序进行测量,可以得到浮点乘法指令在该基准程序出现的概率是 14%。假设该基准程序在 DLX 基本流水线中实现时,浮点乘法需要 5 个时钟周期,且对乘法指令个进行流水实现,并且其它指令的理想 CPI 均为 1。请具体分析乘法指令对流水线性能的影响。

六、(28 分)综合题(共 4 题,每小题 7 分,仅供单独考生做)

1. 什么叫寻址技术?在计算机中为什么要设置多种寻址方式?通常有哪些基本寻址方式。
2. 有一字节多路通道,在数据传送时,用于选择设备的时间 T_s 为 $3\mu s$,传送一个字节的的时间 T_t 为 $1\mu s$ 。通道现连接 5 台终端 4 台针式打印机和 2 台扫描仪,终端、针打和扫描仪传送一个字节的的时间分别为 $200\mu s$, $100\mu s$ 和 $400\mu s$ 。试计算该通道的极限流量和实际流量。

3. 画出三级混洗交换网络。
4. 在多处理机上求解表达式: $f = (a(b+c) + de)g + mn$
- (1) 画出其树形流程图;
- (2) 确定所需处理机台数和相应的加速比。

国防科大 1998 考研试题 (821 计算机原理)

一、(20 分) 名词解释 (共 10 题, 每题 2 分)

1. RISC:

2. 程序访问局部性原理:

3. 快表:

4. “先写后读” 相关:

5. 同构型多处理机:

6. 总线:

7. 扇区:

8. 多重中断:

9. 稀疏向量:

10. 数组多路通道:

二、(20 分) 填空题 (每空 1 分, 1~4 题必做, 选做 5~8 题或 9~13 题)

1. 某浮点机采用 32 位浮点二进制数据表示, 其中 8 位 (含 1 位符号) 为移码表示的阶码, 24 位 (含 1 位符号) 为补码表示的规格化尾数, 试写出可表示的最大正数 (阶码: _____ 尾数: _____) 和最小

- 负数 (阶码: 尾数:)。
2. 实现微程序快速转移的方法常有 ()、()、()。
3. 光盘存储器按存储介质可以分为 ()、() 和 () 三类。
4. 刷新的基本要求是: (), () 和 刷新期间不允许访存。
5. 按照机器指令访问数据的方式, 可以将当前绝大多数机器分为 ()、() 和 () 类型。
6. 大多数并行处理机都是由一定数量的 ()、一定数量的 ()、某种形式的 () 和某种形式的控制部件组成。
7. 一般在 DLX 流水线中, 分支延迟的三种调度方法是 ()、() 和 ()。
8. 在存储器层次结构中, 减少 Cache 命中时间的技术主要有: 采用小且简单的 Cache, 在 Cache 索引期间避免地址变换和 ()。
9. Flynn 分类法是按指令流和数据流的 () 对计算机分类。按此分类法, ILLIAC-IV 属于 () 计算机。
10. 有效地址 () 上界或 () 下界, 即出现越界错。
11. IBM370 中的“测试与置定”指令 TS 的作用是 (), 但它可能导致 ()。
12. 一个模 $m=32$ 的多体存储器, 其容量为 1M 字节。对于给定的地址 (二进制): 11010011110101110101, 若采用低位交叉编址 (二进制) 为 (), 体内地址 (二进制) 为 ()。
13. 计算机系统的软件和硬件在 () 上是等效的, 但在 () 上是不等效的。

三、(12 分)简答题 (每题 3 分)

1. 通常浮点机的阶码都用移码表示, 为什么?

2. 从磁头和磁记录介质角度考虑, 如何提高磁表面存储器的记录密度?

3. 数据相关有哪几种类型? 解决数据相关有哪些主要方法?

4. 什么是堆栈型机器? 什么是通用寄存器型机器? 堆栈型机器有何优点?

四、(20 分) 计算题 (每题 5 分, 第 1~3 必做, 选做第 4 或 5 小题)

1. 已知被除数 $A = -0.1001$, 除数 $B = -1$ 。试用补码加减交替除法规则求商 $[C]_{\text{补}} = ?$ 余数 $[R]_{\text{补}} = ?$ (要写出计算竖式)。

2. 使用 $16K \times 1$ 位的静态 RAM 存储芯片, 外围电路用 ECL 电路, 构成 $128K \times 16$ 位的 Cache 存储器。试回答:

(1) 需要多少存储芯片?

(2) 存储器地址码位数是多少?

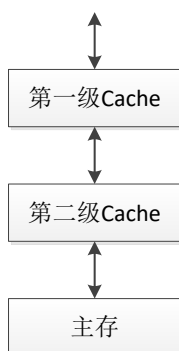
(3) 单个芯片的地址码位数是多少?

(4) 计算写使能端 \overline{WE} 的负载端数。若每个 ECL 门带 8 个负载端, 需要多少个 ECL 门?

3. 给定如下图所示的二级 Cache 存储器层次结构, 设第一级和第二级 Cache 的访问时间 t_C ; H_{C1} 和 H_{C2} 分别是第一级 Cache 和第二级 Cache 的命中率; t_m 为主存访问周期。求:

(1) 该存储器层次结构的平均访问时间;

(2) 和直接对主存进行访问相比, 该存储器层次结构访问时间加速比是多少? 加速比的最大值是多少?



4. 请写出 PM2I 单级互连网络的互连函数, 并画出当结点数 $N=8$ 时, PM2I 的连接情况。

5. 什么是 LRU 替换算法? 在用比较对法实现 LRU 替换算法时, 对于 P (块数) 为 32 的情况, 若分为每群 4 对, 每对 2 行, 请问需要多少个状态位? (要求写出式子)

五、(28 分) 综合题 (每题 7 分, 第 1、2 题必做, 选做第 3、4 小题或 5、6 小题)

1. 一盘组共 10 个盘片。其中 1 个盘面为保护面, 1 个盘面为伺服面, 其它盘面为数据面。盘的转速为 7200RPM。存储区域的内存直径为 20cm, 外直径为 32cm, 道密度为 15TPM, 位密度为 100bpm。计算:
 - (1) 最大等待时间
 - (2) 盘组容量为多少字节
 - (3) 数据传输率为多少字节/秒

2. 何为先行进位加法器? 简述先行进位的基本思想和实现方法。
3. 有一条动态流水线由 6 段组成, 加法用 1、2、3、6 段, 乘法用 1、4、5、6 段, 各段时间相等, 均为 Δt 。如果输入和输出的缓冲器足够大, 且输出端的数据可以直接返回到输入端。若用该流水线计算 $f = \prod_{i=1}^4 (A_i + B_i)$, 试按照最快的处理方式。求:
- (1) 画出处理过程的时空图;
 - (2) 计算其实际吞吐率和效率。

4. 设有一个四级立方体网络, 按从左到右的次序依次为第 0 级、第 1 级、第 2 级、第 3 级。其输入端和输出端的编号均为 $0, 1, \dots, 15$ 。

(1) 画出该网络;

(2) 该网络各级实现的函数是什么?

(3) 对于下述连接, 分别写出其级控制信号: (设“0”表示直送, “1”表示交换)

a. 4 组 4 元交换, 即 $(0, 3) (1, 2) (4, 7) (5, 6) (8, 11) (9, 10) (12, 15) (13, 14)$

b. 4 组 4 元交换+1 组 16 元交换

5. 设有一主频为 200MHz 的向量处理机，对如下向量指令进行处理。而该向量处理机的各种操作的启动开销如下表所示。

| 操作 | 时钟周期数 |
|-------|-------|
| 加 | 7 |
| 乘 | 6 |
| 装入/存储 | 12 |

$V_1 \leftarrow \text{主存}$

$V_2 \leftarrow V_1 \times \text{标量}$

$V_3 \leftarrow \text{主存}$

$V_4 \leftarrow V_2 + V_3$

$\text{主存} \leftarrow V_4$

假设向量操作的保持速率为 1 个时钟周期，向量元素为双精度浮点数，机器顺序执行各向量指令且不链接。如果以 MFLOPS 衡量处理机性能，求：

- (1) 该向量处理机的峰值性能；
- (2) 半性能向量长度 $N_{\frac{1}{2}}$ ；
- (3) 如果忽略任何循环额外开销，则向量长度至少为多大时，向量处理比标量处理快？

6. 有一台机器, 其并行计算与顺序计算的加速比为 10, 某一程序当前所开发的并行成分占整个程序的 50%。现在某一课题组提出只要投资 50000, 他们可以通过改造硬件的方式使得该程序的并行成分的计算速度加倍; 而另一课题组则认为, 无需改变硬件, 只要进一步开发程序中的并行成分 (假设该程序的最大并行性可达 60%) 就可以达到同样的效果, 并要示在当前程序的基础上, 每开发 1% 的并行成分, 需 10000 元。试问: 你将支持哪个课题组的工作? 有何依据?

六、(28 分) 综合题 (每题 7 分, 仅单独考生做)

1. 有一双面软盘, 每面有 77 道, 划分为 9 个扇区。盘的转速为 360RPM, 磁头定位后对任何磁道上的读写速率都是 250Kb/s. 求:
- (1) 该盘可存信息的最大容量;
 - (2) 每扇区已定位在某磁道上, 则读取该道任意扇区信息的最大等待时间是多少?

2. 简述确定指令的基本要求。一般的指令系统应包括哪些基本指令类型?

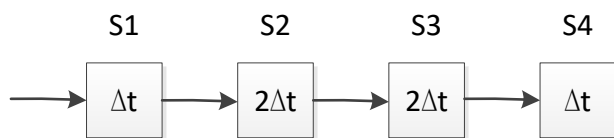
3. 设某台计算机有 9 条指令, 其使用频度为:

I1:52% I2:14% I3:12% I4:7%

I5:6% I6:5% I7:2% I8:1% I9:1%

试分别用 Huffman 编码 (要求画出其 Huffman 树) 和 2-4-6 等长扩展操作码为其编码。

4. 有一条流水线由 4 个功能段组成, 如下图所示:



(1) 若每隔 $2\Delta t$ 向流水线输入一个任务, 一共输入 4 个, 画出其处理过程的时空图, 并求其吞吐率和效率。

(2) 为了使流水线最快能每隔 Δt 流出一个任务, 应改进该流水线。

A. 试问有哪两种改进方案? 画出改进后的流水线。

B. 若每隔 Δt 向改进后的流水线输入一个任务, 一共输入 4 个。试对于改进后的两种流水线, 分别求其吞吐率。

国防科大 1997 考研试题 (821 计算机原理)

一、(20 分) 名词解释 (每题 2 分)

1. 通道状态字:

2. 中断隐指令:

3. 记录方式:

4. 异常:

5. 自同步能力:

6. MIMD:

7. “写—写” 相关:

8. 吞吐率:

9. Cache 失效率:

10. 基准 (典型) 程序法:

二、(10 分) 填空题 (1~5 小题必做, 选做 6~9 小题或 10~14 小题)

1. 判别定点溢出的一般常用方法有 () 和 ()。
2. 描写存取向量数据的主要参数是 ()、() 和 ()。
3. I/O 设备的编址, 通常有 () 和 () 两种方式。

4. 定点光栅扫描 CRT 字符显示器中, 缓冲 (刷新) 存储器存放的是 (), 而字符发生器 (ROM) 存放的是 ()。
5. 激光打印机中, 声光调制器是以改变 () 来实现控制激光束的方向。
6. 影响流水线性能的因素主要有 ()、()、()。
7. 一台计算机的价格除平均折扣与毛利之外, 还应包括 ()、()。
8. 评测 I/O 系统的性能指标主要有 () ()。
9. 大体上, 互连网络可以分成 ()、()、()。
10. 系列机是指在同一厂家内生产的具有相同的 (), 但具有不同的 () 的系列不同型号的机器。
11. 从执行程序的角度看, 并行性从低到高可分为指令内部并行、() 并行、() 并行和、() 并行。
12. 按照流动方式, 流水线可分为 () 流水线和 () 流水线。
13. 流水机器处理中断的关键是 ()。
14. 设 $\delta(x)$ 和 $\beta(x)$ 分别是表示全混洗排列和蝶式排列, $x=\{00111010\}$, 则 $\sigma^{(4)}(x) = ()$, $\beta_{(5)}(x) = ()$ 。

三、(12 分) 填空题 (每题 3 分)

1. 动态 MOS 存储器为什么要刷新? 怎样实现刷新?

2. 试比较程序中断 (PI) 和直接内存存取 (DMA) 有什么区别?

3. 单机中实现 Cache 与主存信息一致性有何方法?

4. 设计指令系统应考虑哪几个主要因素?

四、(20 分) 计算题 (每题 5 分)

1. 已知被乘数 $A = +0.0101$, 乘数 $B = -0.1101$, 试用补码乘法比较法 (booth 乘法) 求 $[A \times B]_{\text{补}} = ?$ (要写出计算竖式)

2. 有一双软盘, 每面有 80 道, 划分为 15 个扇区, 盘的转速为 300RPM, 磁头定位后, 在任何磁道上的读写速率都是 500Kb/s。求:
 - a) 任意磁道上的扇区最大存储容量是多少字节?
 - b) 若磁道上的位密度是 9646 bpi, 则该盘片记录磁道的最小直径是多少?

3. 设下表表示各种向量操作的启动开销, 试计算下面一组向量指令在链接与不链接情况下的执行时间。(设向量长度为 n , 向量部件之间的链接不需要缓冲时间, 且访问流水线只有一条)

| 类型 | 启动开销 (通过时间) | |
|------|-------------|----------------------------------|
| 向量加 | 6 拍 | $V_1 \leftarrow \text{主存}$ |
| 向量乘 | 7 拍 | $V_2 \leftarrow \text{主存}$ |
| 向量存数 | 12 拍 | $V_3 \leftarrow V_1 + V_2$ |
| | | $V_4 \leftarrow V_3 + \text{标量}$ |

4. 设在一个“Cache—主存”层次中, Cache 为 8 块, 主存为 32 块 (都从 0 开始编址)。试对于以下三种映射方法, 求主存第 10 块可以调入 Cache 的哪些位置。
- 直接映射;
 - 组相联映射 (组大小为 4, 采用位选择算法);
 - 全相联映射。
 - 这三种映射方法各有何特点?

五、(28 分)综合题 (仅统考生做。每小题 7 分。第 1、2 小题必做；
选做 3、4 小题或 5、6 小题)

1. 已知 $A=2^3 \times (-\frac{21}{32})$, $B=2^5 \times (\frac{27}{32})$ 。试按规格化浮点除法规则, 求 $\left[\frac{A}{B}\right]_{\text{补}}$ 的商

$[C]_{\text{补}}=?$ 和余数 $[R]_{\text{补}}=?$ (假定阶码为 4 位, 含 1 位符号位)。要求:

- (1) 阶码用移码表示, 尾数用补码表示;
- (2) 用补码比较法或加减交替法 (两种任选其一) 求尾数商;
- (3) 写出计算步骤和竖式。

2. 试画出微程序控制器的基本原理框图 (Wilkes 模型), 并说明其工作原理。

3. 设一个由并行编译器产生的目标代码的并行化比率只有 40%，若分配给 128 台处理机，加速比是多少？若分配给 1024 台处理机，加速比又是多少？若经过优化，并行化比率达到 95%，情况又将如何？计算结果对我们有什么启示？（设并行化部分能在任意多台处理机上平均分布）
4. 对网桥的测试表明，消息包的到达率为 250 个包/S，门关 (gateway) 每 2ms 转发一个消息包。设消息包的到达与转发服从指数分布，请使用 M/M/2 模型，求：
- (1) 门关的利用率；
 - (2) 消息包在门关中的平均时间；
 - (3) 门关中消息包的平均数。

5. 在有一个加法器和一个乘法器的多操作部件处理机上, 执行如下指令序列:

S1: $R_6 \leftarrow R_2 + R_3$

S2: $R_2 \leftarrow R_4 \times R_3$

S3: $R_5 \leftarrow R_2 + R_1$

S4: $R_3 \leftarrow R_6 + R_3$

S5: $R_1 \leftarrow R_2 \times R_3$

设加法时间=2, 乘法时间=6, 调度时间=1, 对于具有虚拟操作部件的情况, 画出执行时间关系图, 说明需用多少时间, 指出发生操作部件冲突和操作数相关的情况。

6. (1) 简述用比较对法实现 LRU 替换算法的基本思想;

(2) 设共有 3 块, 分别为 A, B, C。用 T_{AB}, T_{AC}, T_{BC} 3 个触发器记录其状态, 并且设 $T_{AB} = 1$ 表示 A 比 B 更接近被访问过, 其余依次类推。画出其硬件实现逻辑图。

六、(28 分) 综合题 (仅统考生做, 每小题 7 分)

1. 已知 $A = 0.1101 \times 10^{001}$, $B = -0.1010 \times 10^{011}$, 阶码和尾数都用补码表示。试用浮点加法求 $[A+B]_{\text{补}} = ?$ (要求写出计算步骤) (注: 式中的底数“10”是二进制表示的)

2. 有一字节多路通道, 连接终端 8 台, 打印机 3 台, 笔绘仪 1 台, 假定终端每隔 100 μ s 要传送 1 个字节, 打印机每隔 150 μ s 传送 1 个字节, 笔绘仪每隔 1ms 传送 1 个字节。试求该字节多路通道的实际流量是多少?

3. 某程序的页地址 (虚页) 如下:

3 5 3 7 6 6 3 2 5 3 2

当采用 LRU 替换算法时, 为获得可能最高的命中率, 至少应分配给该程序几个实页? 其可能的最高页命中率为多少?

4. (1) 画出 3 级立方体互连网络;
- (2) 若要实现 $1 \rightarrow 7$, $7 \leftarrow 1$ 的通讯, 试写出级控制信号; (设 “1” 表示交换, “0” 表示直送)。

国防科大 1996 考研试题 (821 计算机原理)

一、(20 分) 名词解释 (每题 2 分)

1. 霍夫曼编码:

2. 选择通道:

3. 一次重叠:

4. 先读后写相关:

5. 浮点规格化数:

6. 帧频:

7. 特权指令:

8. 寻址方式:

9. 通道程序:

10. 信息整数边界:

二、(10 分) 判断题 (正确的写 “T”， 错误写 “F”)

1. 动态多功能流水线是指流水线内各段的功能可动态改变，因而使流水线有多种功能。【 】
2. 向量的纵向处理方式适合于存储器存储器流水向量机，而横向处理方式适合于寄存器—寄存器型流水向量机。【 】

3. 在 BSP 中, 采用了资源重复与时间重叠两种并行化手段。【 】
4. 资源共享体现了并行性中的并发性。【 】
5. 在页式虚拟存储系统中, 只要发现页面失败, 就定要调用页面替换算法。【 】
6. 系统结构相同的机器, 其存储信息的保护方式一定相同。【 】
7. 在位数相同(设备量相同)的情况下, 浮点法要比定点法表示的数值范围大。
【 】
8. 通常微程序控制要比组合逻辑控制执行指令速度快。【 】
9. 一般在浮点机中, 阶码采用移码表示, 主要是为了扩大数值的表示范围。【 】
10. 微程序控制中, 直接控制编码是指微指令的 uocf 字段中, 每一位代表一个微操作, 这种编码法的优点是微指令的字长短。【 】

三、(20 分) 填空题(每空 1 分, 共 20 分)

1. 在 IBM360/91 机器中, 采用() 判相关, 采用() 建立相关专用通路的链接。
2. 全相联映象的地址变换可采用() 法与() 法。
3. 选择计算机系统软硬件分配比例, 主要取决于()。
4. 系列机的根本特征是()。
5. 在页式虚拟存储系统中, (内) 页表对应() 之间的地址转换, 而外页表对应() 间的地址转换。
6. 开行处理机的两种结构形式化分别是() 和()。
7. 在堆栈机中, $4\ 7\ 3 + * 5\ 2 * / 8\ 2 / +$ 的计算结果是()。
8. 指令系统的规整性包括指令操作的()、()、指令格式与数据格式的一致性。
9. 磁盘格式化, 也称作(), 是通过() 的方法对盘面设置扇区与设置标志。
10. 对磁头磁特性的要求是(), () 和()。
11. 在 CRT 字符显示器中, 级冲(刷新) 存储器中存放的是(), 而在字符发生器中存放的是()。

四、(10 分)简答题(每题 2.5 分)

1. 什么叫光盘? 当前光盘有哪几类? 各有何主要特点?

2. 简述随机扫描与光栅扫描显示器的主要区别。

3. 什么是堆栈型替换算法?

4. 试述并行处理机与向量处理机的异同点。

五、(15 分) 计算题(每题 5 分)

1. 有一个经快表—慢表地址变换的二级虚拟存储器, 若先用快表作地址变换, 且快表命中率为 95%, 快表未命中时, 需访问慢表, 且慢表命中率为 98%。设程序主存时间为 T_A , 查快表时间为 $10^{-1}T_A$, 辅存传一页至主存时间为 10^3T_A 。求虚拟存储器的等效访问时间。

2. 有一磁带机, 采用 1/2 英寸 9 道格式 (其中, 1 道作奇偶校验用) 记录信息, 有效带长 2400 英尺, 正走带速为 200 英寸/秒, 单位道密度为 6250bpi。求:
 - 1) 该带读写时, 有效数据传输率是多少?
 - 2) 若每个数据块记录 4096 字节, 块间间隙为 0.3 英寸, 则该带可存储的信息是多少字节?

3. 一个字节多路通道, 共接 8 台设备, 它们的工作频率分别是 100, 50, 25, 20, 20, 5, 3, 2 KB/s, 问此通道在数据传输时的 $T_s=2.5\mu s$, $T_b=2.5\mu s$, 此通道能否正常工作而不丢失数据吗?

六、(25 分)综合题

1. (7 分) 有一 “Cache—主存” 层次, 主存共 8 块 (块号 0~7), Cache 分为 4 块, 采用组相联映象 (每组 2 块), LRU 替换算法, 对如下地址流:

| | | | | | | | | | | | | |
|------|---|---|---|---|---|---|---|---|---|----|----|----|
| 时间 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 |
| 块地址流 | 1 | 3 | 5 | 1 | 2 | 6 | 1 | 0 | 3 | 4 | 5 | 5 |

设 $t=0$ 时, Cache 为空

- (1) 试画出 $t=1\sim t=12$ 期间内 Cache 的使用情况;
- (2) 求此期间内 Cache 的命中率。

2. (7 分) 已知补码比较一位乘法的规则表达式和规则表:

$$[P_{i+1}]_{\text{补}} = 2^{-1} \{ [P_i]_{\text{补}} + (B_{n+1} - B_n) [A]_{\text{补}} \} \quad (\text{初始 } i=0)$$

| 判别位 | | 新的部分积 |
|-----|---|---|
| 0 | 0 | $[P_{i+1}]_{\text{补}} = 2^{-1} [P_i]_{\text{补}}$ |
| 0 | 1 | $[P_{i+1}]_{\text{补}} = 2^{-1} \{ [P_i]_{\text{补}} + [A]_{\text{补}} \}$ |
| 1 | 0 | $[P_{i+1}]_{\text{补}} = 2^{-1} \{ [P_i]_{\text{补}} - [A]_{\text{补}} \}$ |
| 1 | 1 | $[P_{i+1}]_{\text{补}} = 2^{-1} [P_i]_{\text{补}}$ |

其中, A 为被乘数, B 为乘数, P 为部分积, B_{n+1} 为比较乘数的附加位, 其初值为 0。

(1) 试根据补码比较法一位一乘规则, 推导出两位一乘的规则;

(2) 用比较法两位一乘规则计算 $[A \times B]_{\text{补}} = ?$, 已知被乘数 $[A]_{\text{原}} = 0.10101$, 乘数 $[B]_{\text{原}} = -0.11001$ (要求写出运算竖式。)

3. (6 分) 什么是断定型微地址, 试画出其一位测试地址形成原理图, 并说明其实现方法。

4. (5 分) 若 qc 个结点的编号为 $0, 1, 2, \dots, (qc-1)$, Delta 网络的互连函数有两种表达形式, 分别是:

$$S_{q+c}(i) = (qi + \lfloor i/c \rfloor) \bmod qc, 0 \leq i \leq qc-1$$

$$f_{q+c}(i) = (qi + \lfloor i/c \rfloor) \bmod qc, 0 \leq i < qc-1; f_{q+c}(i) = i, i = qc-1$$

试证明: $S_{q+c}(i) = f_{q+c}(i)$

4. (6 分) 已知一个双面软盘, 划分成 15 个扇区, 每个扇区 512 字节, 每面 80 磁道, 假设软盘的转速为 360RPM, 试求:
- a. 软盘的有效容量是多少?
 - b. 当磁头已定位于某磁道上, 则读取该道上任意扇信息的最大等待时间是多少?