



**FUNDAMENTAL OF DIGITAL SYSTEM FINAL PROJECT REPORT
DEPARTMENT OF ELECTRICAL ENGINEERING
UNIVERSITAS INDONESIA**

Ethernet Frame Validator

GROUP PA04

Christian Hadiwijaya	2306161952
Fido Wahyu Choirulinsan	2306250674
Muhammad Hilmy Mahardika	2306267006
Raddief Ezra Satrio Andaru	2306250693

PREFACE

Laporan ini disusun sebagai bagian dari tugas akhir mata kuliah Perancangan Sistem Digital pada semester 3 di Jurusan Teknik Komputer. Proyek yang kami kembangkan diberi nama Ethernet Frame Validator, sebuah sistem yang dirancang untuk memproses dan memvalidasi frame Ethernet secara serial menggunakan algoritma CRC-32 sebagai metode validasi.

Ethernet Frame Validator memiliki kemampuan untuk menerima data berupa frame Ethernet yang dikirim secara serial, byte demi byte. Setiap frame yang diterima akan diproses dan disimpan dalam buffer untuk dianalisis lebih lanjut. Pada tahap berikutnya, sistem akan menghitung checksum menggunakan algoritma CRC-32, yang kemudian dibandingkan dengan nilai checksum yang terkandung dalam frame tersebut. Melalui proses ini, sistem dapat menentukan apakah frame Ethernet yang diterima valid sesuai dengan standar yang berlaku atau terdapat kesalahan dalam transmisinya.

Proyek ini merupakan wujud nyata dari penerapan teori yang telah kami pelajari selama perkuliahan, terutama dalam bidang desain sistem digital, komunikasi data, dan jaringan komputer. Dengan mengintegrasikan pemahaman terhadap struktur data Ethernet, metode validasi checksum, dan pemrograman perangkat keras maupun lunak, kami berhasil mengembangkan sistem yang diharapkan dapat memberikan kontribusi signifikan dalam pengembangan teknologi validasi data jaringan.

Kami menyampaikan rasa terima kasih yang mendalam kepada dosen pengampu, asisten laboratorium, teman-teman, serta seluruh pihak yang telah memberikan bimbingan, dukungan, dan fasilitas selama proses pengembangan proyek ini. Tanpa bantuan dan arahan mereka, proyek ini tidak akan dapat diselesaikan dengan baik. Semoga laporan ini dapat menjadi acuan yang bermanfaat bagi mahasiswa lain dan menjadi langkah awal bagi inovasi lanjutan di bidang jaringan komputer dan validasi data

Depok, December 08/12, 2024

Group PA04

TABLE OF CONTENTS

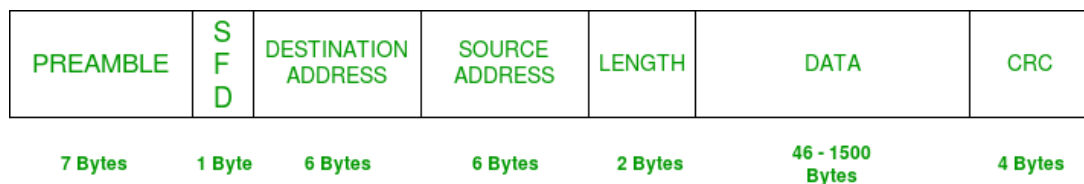
CHAPTER 1: INTRODUCTION.....	3
1.1 BACKGROUND.....	3
1.2 PROJECT DESCRIPTION.....	3
1.3 OBJECTIVES.....	4
1.4 ROLES AND RESPONSIBILITIES.....	5
CHAPTER 2: IMPLEMENTATION.....	6
2.1 EQUIPMENT.....	6
2.2 IMPLEMENTATION.....	6
CHAPTER 3: TESTING AND ANALYSIS.....	7
3.1 TESTING.....	7
3.2 RESULT.....	7
3.3 ANALYSIS.....	8
CHAPTER 4: CONCLUSION.....	9
REFERENCES.....	10
APPENDICES.....	11
Appendix A: Project Schematic.....	11
Appendix B: Documentation.....	12

CHAPTER 1

INTRODUCTION

1.1 BACKGROUND

Ethernet Frame Validator adalah sistem yang kami rancang untuk memvalidasi frame Ethernet dengan memeriksa berbagai elemen penting dari frame tersebut. Proyek ini terdiri dari beberapa file VHDL, termasuk modul untuk memeriksa Cyclic Redundancy Check (CRC), panjang dan tipe frame, alamat MAC, isi payload, dan preamble. Setiap modul berfungsi untuk memastikan bahwa data yang diterima sesuai dengan spesifikasi yang diharapkan dan bebas dari kesalahan.



IEEE 802.3 ETHERNET Frame Format

1.2 PROJECT DESCRIPTION

Sistem komunikasi jaringan modern bergantung pada keandalan data yang dikirimkan melalui berbagai protokol. Untuk memastikan data tidak rusak selama transmisi, diperlukan proses validasi pada setiap frame data. Proyek ini dirancang untuk membangun sistem validasi frame berbasis VHDL yang mampu memeriksa elemen-elemen penting dari sebuah frame, termasuk preamble, alamat MAC, panjang frame, payload, dan integritas data melalui CRC.

1.3 OBJECTIVES

Proyek akhir ini bertujuan untuk merancang dan mengimplementasikan **Ethernet Frame Validator**, sebuah sistem yang mampu memvalidasi frame Ethernet secara efektif dan akurat. Adapun tujuan utama dari proyek ini adalah sebagai berikut:

1. **Memahami Struktur Frame Ethernet**

Mengkaji dan menganalisis struktur frame Ethernet untuk memastikan bahwa sistem dapat membaca, menyimpan, dan memproses data frame secara tepat.

2. **Membangun Sistem Penerimaan Data Secara Serial**

Mengembangkan sistem yang dapat menerima input berupa frame Ethernet secara serial, byte demi byte, sehingga kompatibel dengan standar komunikasi serial.

3. **Implementasi Buffer untuk Pemrosesan Data**

Merancang buffer untuk menyimpan sementara frame Ethernet yang diterima guna memastikan data dapat dianalisis secara berurutan dan efisien.

4. **Menggunakan Metode CRC-32 untuk Validasi Checksum**

Mengimplementasikan algoritma CRC-32 untuk menghitung checksum frame Ethernet, membandingkannya dengan checksum bawaan frame, dan menentukan validitas data.

5. **Menjamin Validasi yang Akurat**

Memastikan sistem dapat secara akurat mendeteksi validitas frame Ethernet, baik dalam kondisi data valid maupun tidak valid, sehingga mendukung keandalan komunikasi data.

6. **Mengintegrasikan Perangkat Keras dan Lunak**

Mengintegrasikan perangkat keras dan perangkat lunak yang digunakan dalam sistem untuk menghasilkan desain yang efisien, stabil, dan mudah diimplementasikan.

Dengan mencapai tujuan-tujuan tersebut, proyek Validator Frame Ethernet diharapkan dapat berfungsi sebagai langkah awal dalam memahami sistem komunikasi data yang lebih kompleks dan sebagai prototipe yang sederhana tetapi berhasil untuk memvalidasi frame Ethernet.

1.4 ROLES AND RESPONSIBILITIES

The roles and responsibilities assigned to the group members are as follows:

Roles	Responsibilities	Person
Role 1	main.vhd preamble-check.vhd	Christian Hadiwijaya
Role 2	length-type-check mac-check.vhd	Fido Wahyu Choirulinsan
Role 3	payload-check.vhd sama tb.vhd	Muhammad Hilmy Mahardika
Role 4	crc.vhd crc-checker.vhd	Raddief Ezra Satrio Andaru

Table 1. Roles and Responsibilities

CHAPTER 2

IMPLEMENTATION

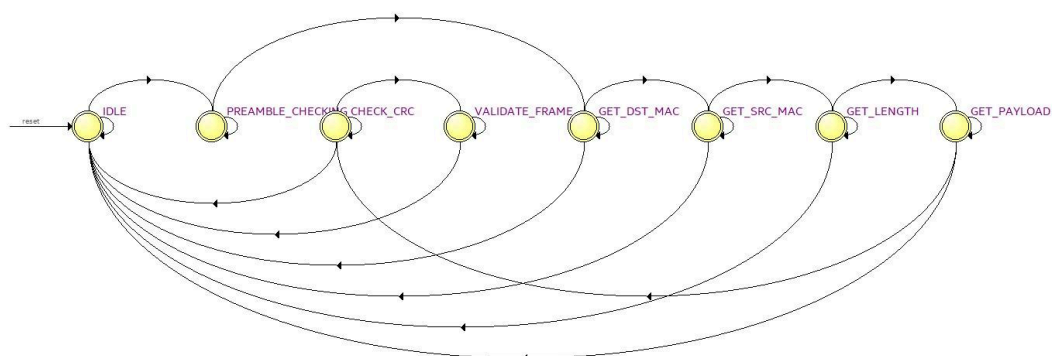
2.1 EQUIPMENT

The tools that are going to be used in this project are as follows:

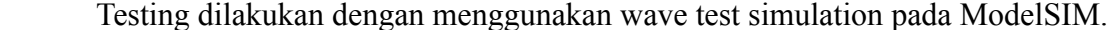
- Modelsim
- Quartus
- Visual Studio Code
- Git

2.2 IMPLEMENTATION

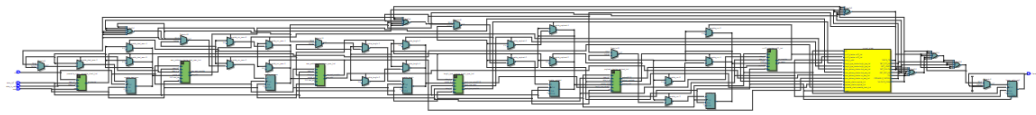
Proyek ini menggunakan 7 dari 8 modul yang ada di Perancang Sistem Digital, **Dataflow** digunakan di modul `crc.vhd` untuk menghitung CRC dengan ekspresi logika sederhana, sedangkan **Behavioral** digunakan di modul `length-type-check.vhd` untuk memvalidasi panjang frame dan tipe data dengan logika berbasis kondisi. **Structural** digunakan di modul `main.vhd` untuk mengintegrasikan semua sub-modul, termasuk CRC, MAC, dan payload. **TestBench** di `tb.vhd` mensimulasikan berbagai skenario untuk menguji keseluruhan sistem. **Looping Constructs** digunakan untuk iterasi data dalam penghitungan CRC, dan **Procedure, Function**, serta **Impure Function** digunakan untuk modularisasi logika perhitungan CRC. Terakhir, **Finite State Machine (FSM)** dapat diterapkan di modul `preamble-check.vhd` untuk transisi antar-keadaan dalam memvalidasi sinkronisasi frame. Desain ini memastikan sistem yang modular, fleksibel, dan dapat diuji secara menyeluruh sebelum implementasi fisik.



TESTING AND ANALYSIS



Pada pengujian Ethernet Frame Validator, tidak ada anomali atau behavior



Setelah dilakukan testing dengan wave test dan ternyata sesuai dengan harapan, maka dapat disimpulkan bahwa Ethernet Frame Validator sudah berhasil diimplementasikan pada FPGA. Langkah selanjutnya adalah melakukan synthesis menggunakan software Quartus Prime. Dapat dilihat pada gambar, bahwa synthesis berhasil dilakukan dan tidak ada error yang muncul. Ini berarti bahwa design tidak hanya sesuai dengan simulasi tetapi juga benar-benar dapat diimplementasikan pada FPGA.

3.3 ANALYSIS

Hasil pengujian menunjukkan bahwa sistem Ethernet Frame Validator mampu menjalankan setiap tahap validasi dengan akurasi tinggi. Pada modul preamble-check, sinkronisasi frame berhasil diverifikasi sehingga hanya frame yang valid yang diproses lebih lanjut. Validasi alamat MAC dan panjang frame juga berjalan efektif, dengan sistem mendeteksi anomali pada data yang tidak sesuai standar. Selain itu, payload checker mampu mengidentifikasi pola data yang mencurigakan atau tidak sesuai spesifikasi.

Pada CRC-checker, algoritma CRC-32 berhasil menghitung checksum dengan akurasi tinggi, memungkinkan deteksi kesalahan transmisi secara menyeluruh. Pengujian keseluruhan menunjukkan bahwa desain modular sistem, termasuk integrasi antar-modul menggunakan arsitektur structural, berjalan stabil dan efisien. Simulasi menggunakan TestBench mengonfirmasi kemampuan sistem untuk memproses beberapa ratus frame secara serial tanpa kegagalan, menjadikan sistem ini prototipe yang layak untuk validasi data di jaringan Ethernet.

CHAPTER 4

CONCLUSION

Proyek Ethernet Frame Validator ini berhasil dibuat dan diuji untuk memvalidasi frame Ethernet secara serial menggunakan algoritma CRC-32. Sistem yang dirancang mampu menjalankan semua proses validasi dengan baik, mulai dari sinkronisasi frame, pengecekan alamat MAC, panjang frame, payload, hingga perhitungan checksum.

Dari hasil pengujian, sistem terbukti akurat dalam mendeteksi frame yang valid maupun tidak valid. Semua modul bekerja sesuai desain, dan pendekatan modular yang digunakan membuat sistem lebih stabil dan mudah diintegrasikan.

Proyek ini menjadi pengalaman yang baik dalam mengaplikasikan teori yang dipelajari selama perkuliahan. Kami berharap hasil kerja ini bisa berguna sebagai dasar untuk pengembangan sistem jaringan di masa depan dan menjadi referensi untuk proyek serupa.

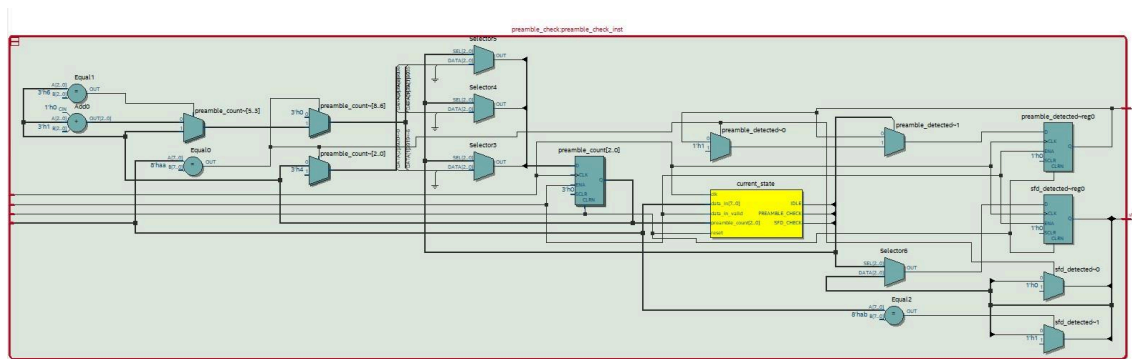
REFERENCES

- "Ethernet Frame Format," *GeeksforGeeks*, Oct. 03, 2017.
<https://www.geeksforgeeks.org/ethernet-frame-format/>
- [1]"Ethernet Protocol | IEEE 802.3 Frame Format," *learncisco.net*.
<https://www.learncisco.net/courses/icnd-1/building-a-network/ethernet-protocol.html>
- GeeksforGeeks, "What is Ethernet?," *GeeksforGeeks*, Feb. 03, 2017.
<https://www.geeksforgeeks.org/what-is-ethernet/>

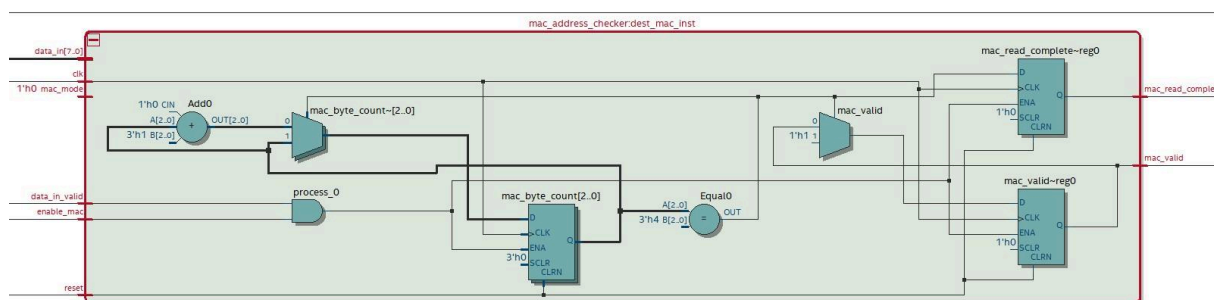
APPENDICES

Appendix A: Project Schematic

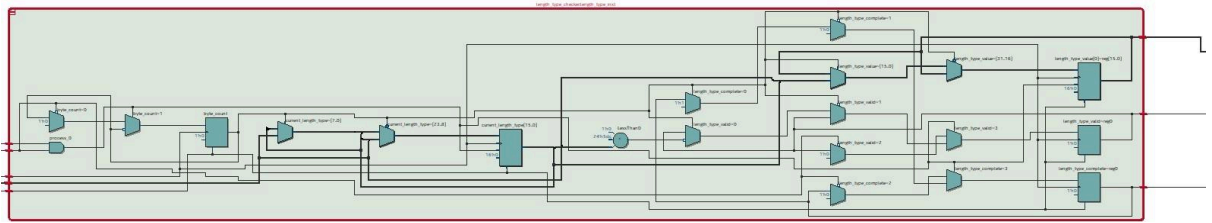
Preamble Check



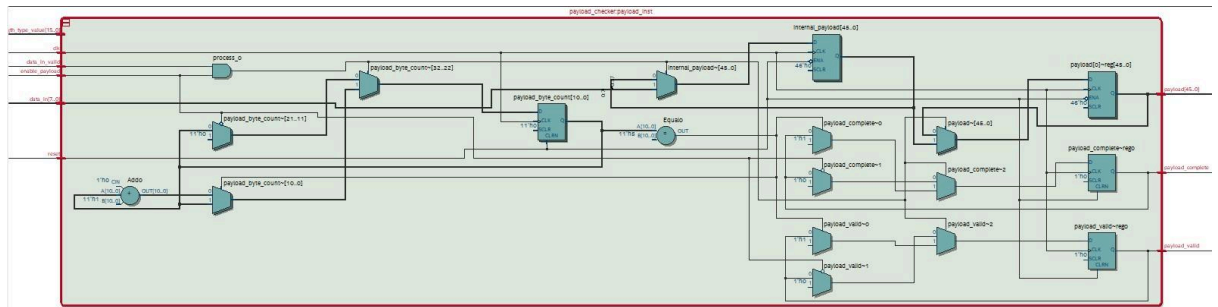
Mac Address Check



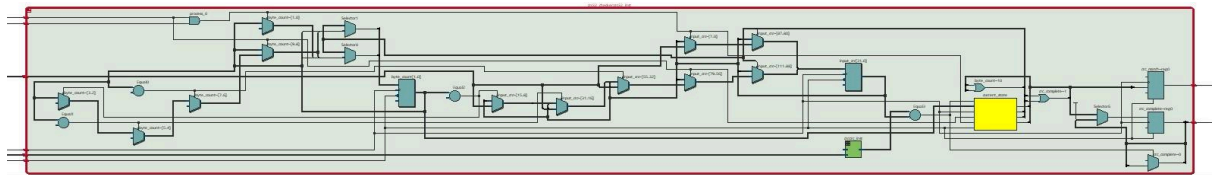
length reader



payload checker



crc checker



Appendix B: Documentation

