TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT THÀNH PHỐ HỒ CHÍ MINH

KHOA ĐIỆN – ĐIỆN TỬ

BỘ MÔN KỸ THUẬT MÁY TÍNH – VIỄN THÔNG

BÁO CÁO TIỂU LUẬN

MÔN HỌC: THIẾT KẾ VI MẠCH VLSI

GVHD: TRƯƠNG NGỌC SƠN

SVTH: VÕ PHƯỚC TIẾN

MSSV: 20161381

TP.HCM, tháng 5 năm 2023

MỤC LỤC

BÀI 1: MÔ PHỎNG ĐẶC TUYẾN IV CMOS. 1
1.1. MỤC TIÊU 1
1.2. ĐẶC TUYẾN I-V NMOS. 1
1.3. ĐẶC TUYẾN I-V PMOS. 6
Bài 2. MÔ PHỎNG ĐẶC TUYẾN DC CỦA BỘ INVERTER. 11
2.1. MỤC TIÊU. 11
2.2. ĐẶC TUYẾN DC CỦA 1 CỔNG INVERTER. 11
BÀI 3. THIẾT KẾ VÀ MÔ PHỎNG CỔNG LOGIC. 18
3.1. MỤC TIÊU. 18
3.2. CỔNG AND 2 NGÕ VÀO. 18
3.3 CỔNG OR 2 NGÕ VÀO. 22
3.4 CỔNG XOR 2 NGÕ VÀO. 27
3.5 CỔNG NOT 31
3.6 CỔNG NAND 2 NGÕ VÀO 32
3.7 CỔNG NOR 2 NGÕ VÀO 34
3.8 KẾT LUẬN. 36
BÀI 4 THIẾT KẾ, TÍNH CÔNG SUẤT TIÊU THỤ MỘT SỐ MẠCH TỔ HỢP. 37
4.1 MỤC TIÊU. 37
4.2 MẠCH CỘNG 8 BIT TỪ CÁC MẠCH CỘNG 1 BIT TOÀN PHẦN. 37
4.3 MẠCH TRỪ 8 BIT TỪ CÁC MẠCH CỘNG 8 BIT 44
4.4 MẠCH NHÂN 4 BIT. 49
4.5 MUX 4 - 1 53
4.6 MUX 8 - 1 55
4.7 DEMUX 1 - 4 58
BÀI 5 THIẾT KẾ, TÍNH TOÁN CÔNG SUẤT TIÊU THỤ MỘT SỐ MẠCH TUẦN TỰ ... 61
5.1 D FLIP-FLOP 61
5.2 T FLIP-FLOP 64
5.3 THANH GHI DỊCH 8 BIT 66

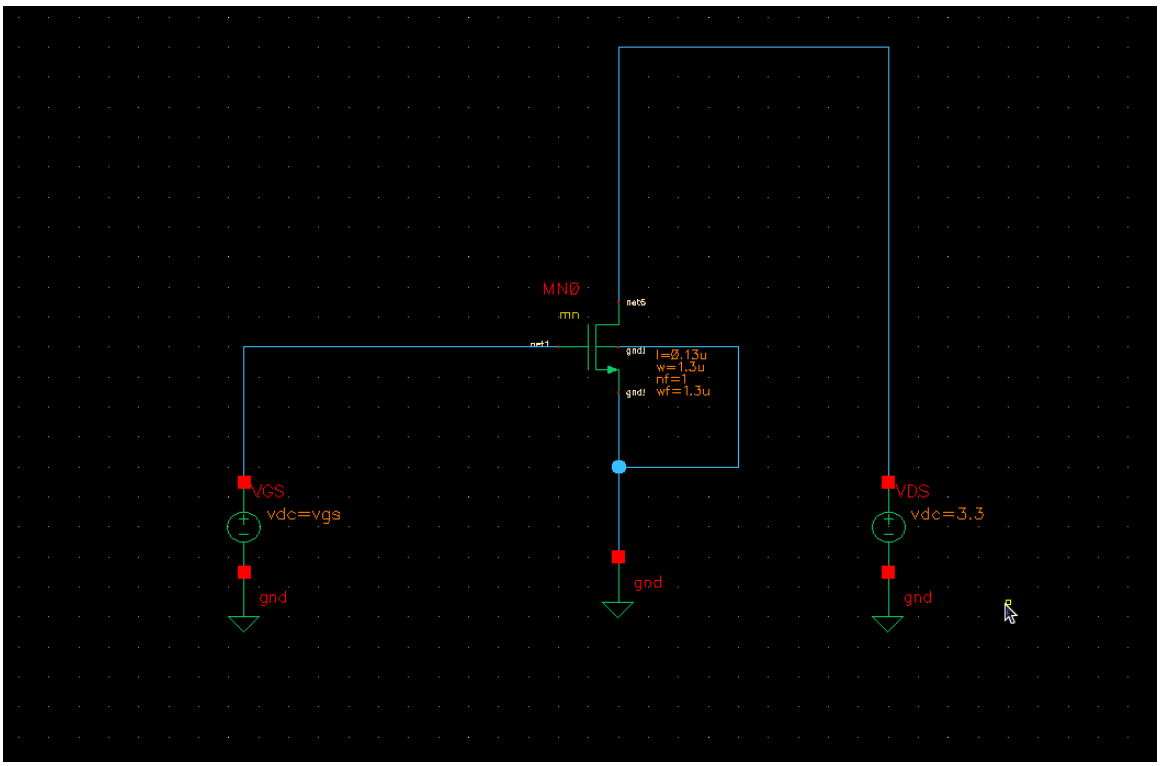
BÀI 1: MÔ PHỎNG ĐẶC TUYẾN IV CMOS.

1.1. MỤC TIÊU.

Nghiên cứu cách thức hoạt động của CMOS, điều kiện dẫn của nMOS và pMOS.Phân tích và khảo sát đặc tuyến I-V kênh dẫn dài theo từng vùng hoạt động của transistor MOS.

1.2. ĐẶC TUYẾN I-V NMOS.

1.2.1. Sơ đồ nguyên lí.



Hình 1. 1 Sơ đồ nguyên lí nMOS.

- **Mô tả kết nối.**

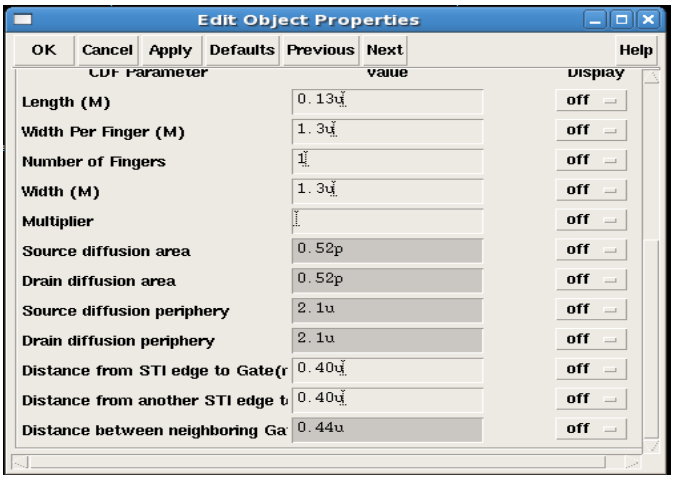
  Cực D của nMOS được kết nối với Vds 1.8V.

  Cực G của nMOS được kết nối với Vgs.

  Body của nMOS nối đất.

  Cực S nối đất.

Tiến hành cài đặt các thông số nMOS trước khi tiến hành mô phỏng :



Hình 1. 2 . Thông số nMOS.

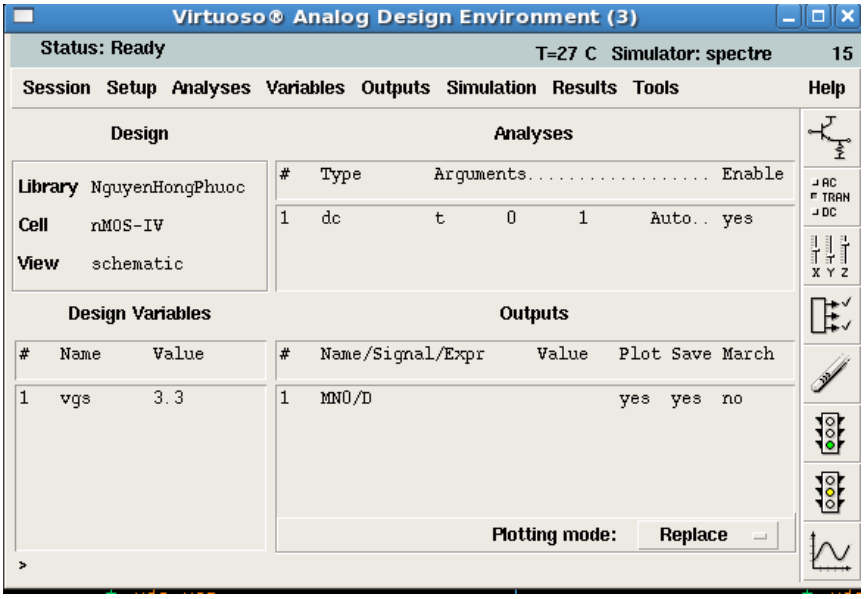
- **Thông số của nMOS:**

Chiều dài: l=0.13µ.

Độ rộng: w=1.3µ.

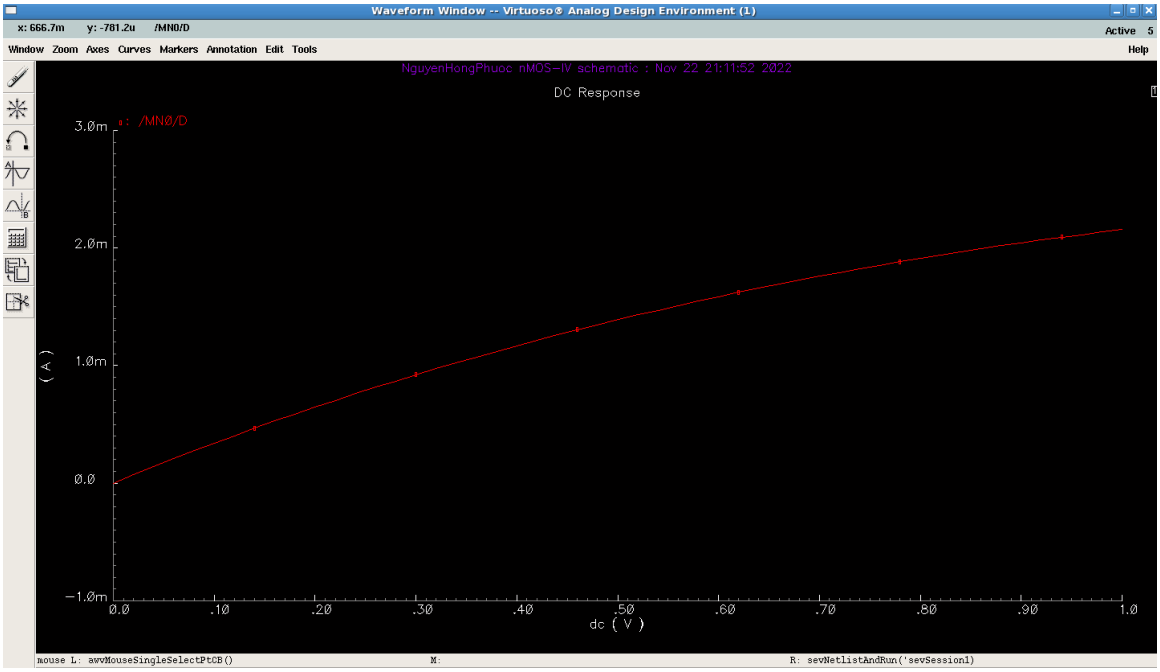
1.2.2. Kết quả mô phỏng.

Tiến hành cài đặt thông số trước khi mô phỏng.



Hình 1. 3. Thiết lập biến giá trị.

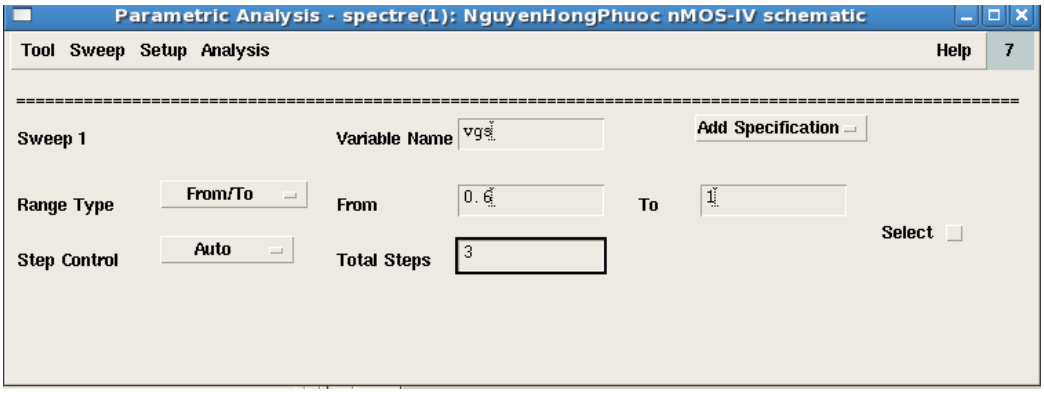
Đặc tuyến I – V của nMOS:



Hình 1. 4. Gía trị ngõ ra.

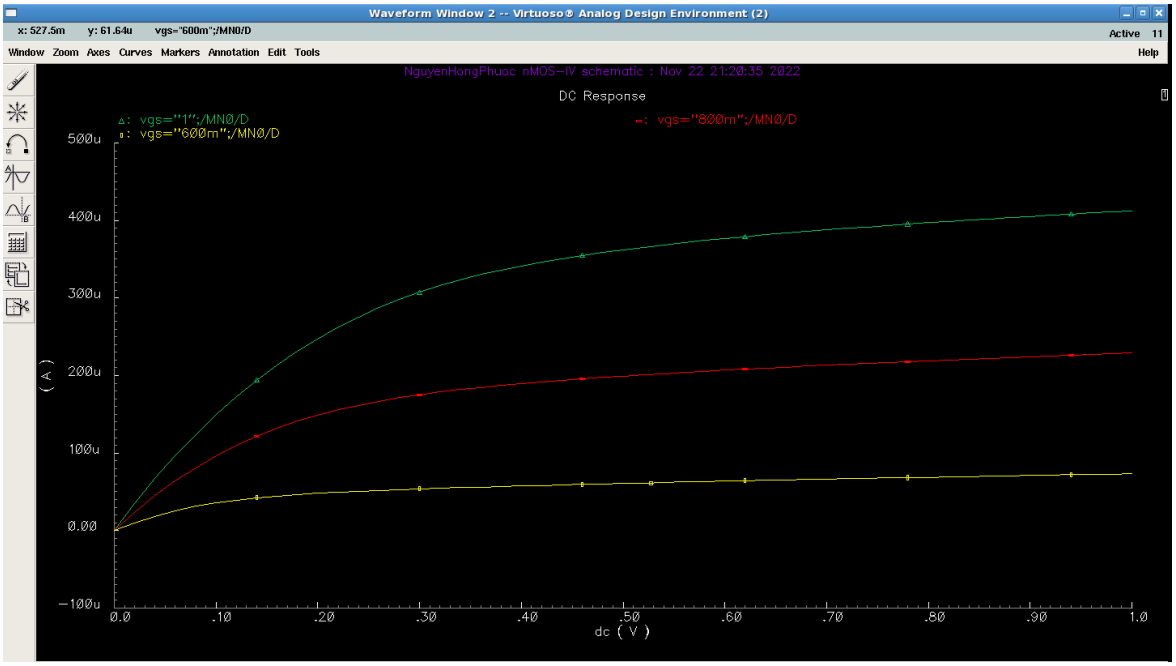
- **Đăc tuyến của nMOS với các mức điện áp Vgs = 0.6V, Vgs = 0.8V, Vgs = 1V.**

Nhằm quan sát được các đường đặc tuyến với giá trị Vgs thay đổi.Thay đổi giá trị vgs từ 0.6 V đến 1V theo 3 vùng khảo sát:

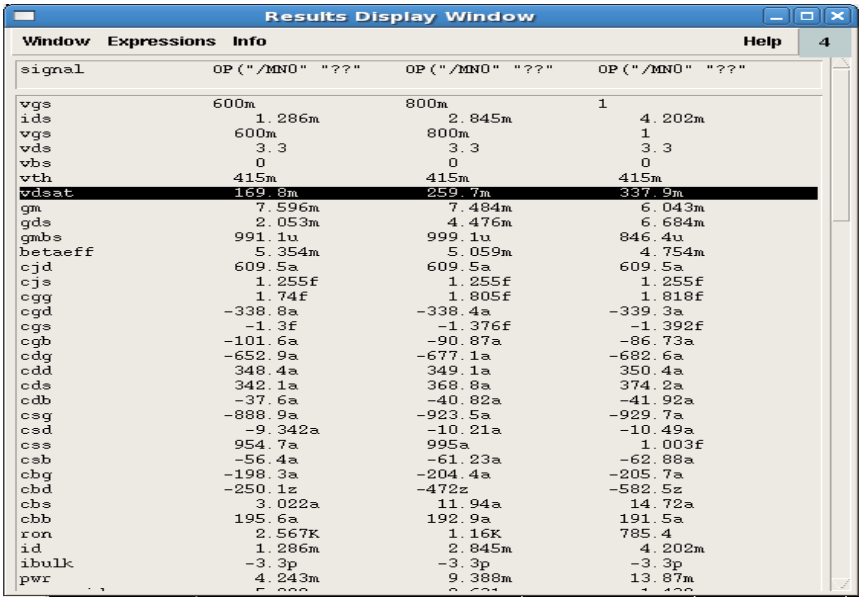


Hình 1. 5. Tùy chỉnh biến.

Kết quả mô phỏng đặc tuyến I-V nMOS ứng với các giá trị Vgs yêu cầu:



Hình 1. 6. Đặc tuyến I – V nMOS.

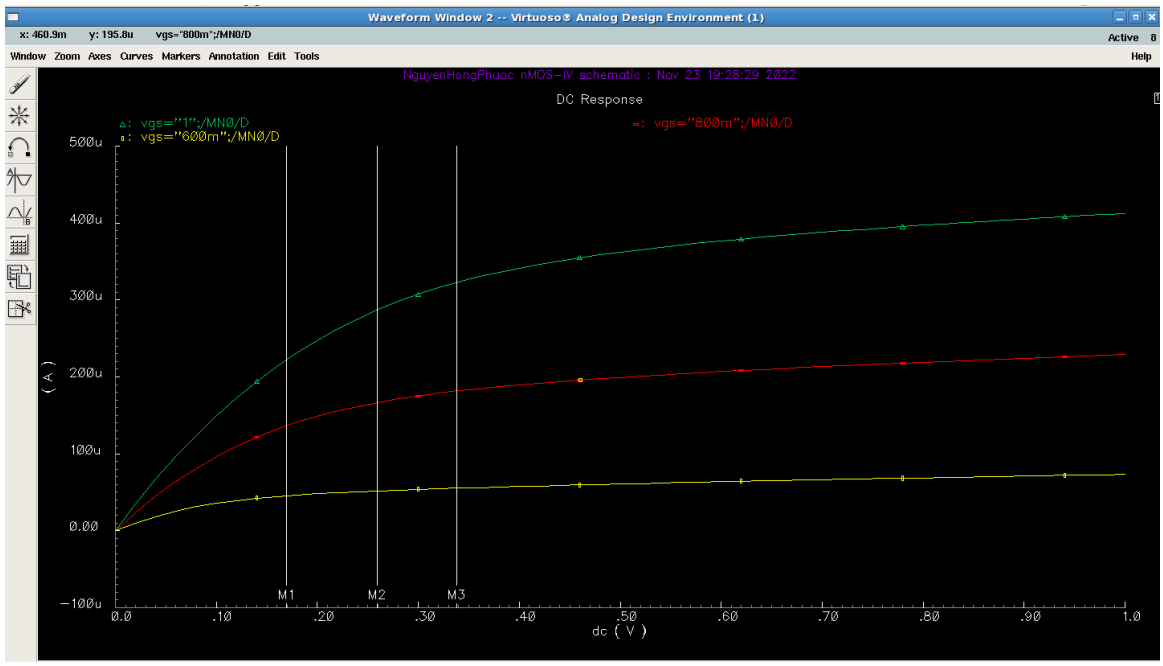


Results Display Window

Window Expressions Info Help 4

signal	OP("/MN0" "??"	OP("/MN0" "??"	OP("/MN0" "??"
vgs	600m	800m	1
ids	1.286m	2.845m	4.202m
vgs	600m	800m	1
vds	3.3	3.3	3.3
vbs	0	0	0
vth	415m	415m	415m
vdsat	169.8m	259.7m	337.9m
gm	7.596m	7.484m	6.043m
gds	2.053m	4.476m	6.684m
gmbs	991.1u	999.1u	846.4u
betaeff	5.354m	5.059m	4.754m
cjd	609.5a	609.5a	609.5a
cjs	1.255f	1.255f	1.255f
cgg	1.74f	1.805f	1.818f
cgd	-338.8a	-338.4a	-339.3a
cgs	-1.3f	-1.376f	-1.392f
cgb	-101.6a	-90.87a	-86.73a
cdg	-652.9a	-677.1a	-682.6a
cdd	348.4a	349.1a	350.4a
cds	342.1a	368.8a	374.2a
cdb	-37.6a	-40.82a	-41.92a
csg	-888.9a	-923.5a	-929.7a
csd	-9.342a	-10.21a	-10.49a
css	954.7a	995a	1.003f
csb	-56.4a	-61.23a	-62.88a
cbg	-198.3a	-204.4a	-205.7a
cbd	-250.1z	-472z	-582.5z
cbs	3.022a	11.94a	14.72a
cbb	195.6a	192.9a	191.5a
ron	2.567K	1.16K	785.4
id	1.286m	2.845m	4.202m
ibulk	-3.3p	-3.3p	-3.3p
pwr	4.243m	9.388m	13.87m

Hình 1. 7 Vdsat theo vùng Vgs.



Hình 1. 8 Các điểm đặc tuyến Vdsat.

1.2.3. Kết luận.

Vdsat = Vgs - Vt

- Với đường đặc tuyến I-V với Vgs =0.6V tại M1, Vdsat=169.8mV cho thấy:

Vgs>Vt bắt đầu dẫn.

Vdsat<Vds dẫn tuyến tính.

Vds>Vdsat dẫn bão hòa.

- Với đường đặc tuyến I-V với Vgs =0.8V tại M2, Vdsat=259.7mV cho thấy:

  Vgs>Vt bắt đầu dẫn.

  Vdsat<Vds dẫn tuyến tính.

  Vds>Vdsat dẫn bão hòa.

- Với đường đặc tuyến I-V với Vgs =1.0V tại M3, Vdsat=337.9mV cho thấy:

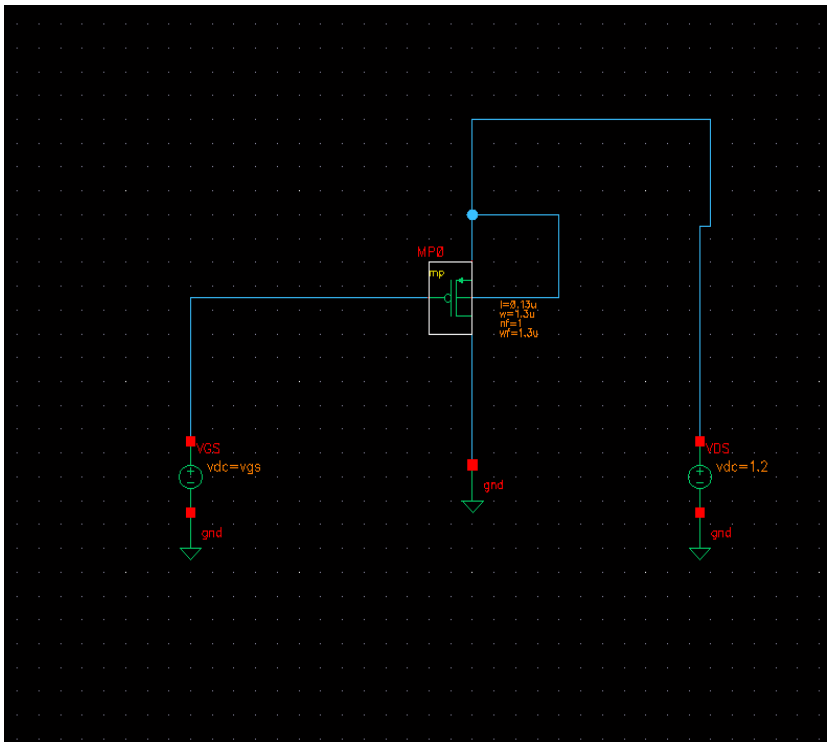
  Vgs>Vt bắt đầu dẫn.

  Vdsat<Vds dẫn tuyến tính.

  Vds>Vdsat dẫn bão hòa.

1.3. Đặc tuyến I-V PMOS.

1.3.1. Sơ đồ nguyên lí.



Hình 1. 9 Sơ đồ nguyên lí pMOS.

- **Mô tả kết nối.**

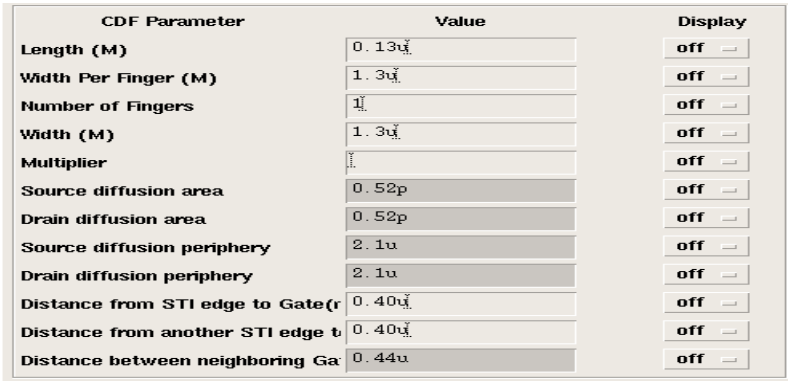
  Cực D của nMOS được kết nối với Vds = 1.2V.

  Cực G của nMOS được kết nối với Vgs.

  Body của nMOS nối đất.

  Cực S nối đất.

  Tiến hành cài đặt các thông số pMOS trước khi tiến hành mô phỏng :



CDF Parameter	Value	Display
Length (M)	0.13u	off
Width Per Finger (M)	1.3u	off
Number of Fingers	1	off
Width (M)	1.3u	off
Multiplier	1	off
Source diffusion area	0.52p	off
Drain diffusion area	0.52p	off
Source diffusion periphery	2.1u	off
Drain diffusion periphery	2.1u	off
Distance from STI edge to Gate(r	0.40u	off
Distance from another STI edge t	0.40u	off
Distance between neighboring Ga	0.44u	off

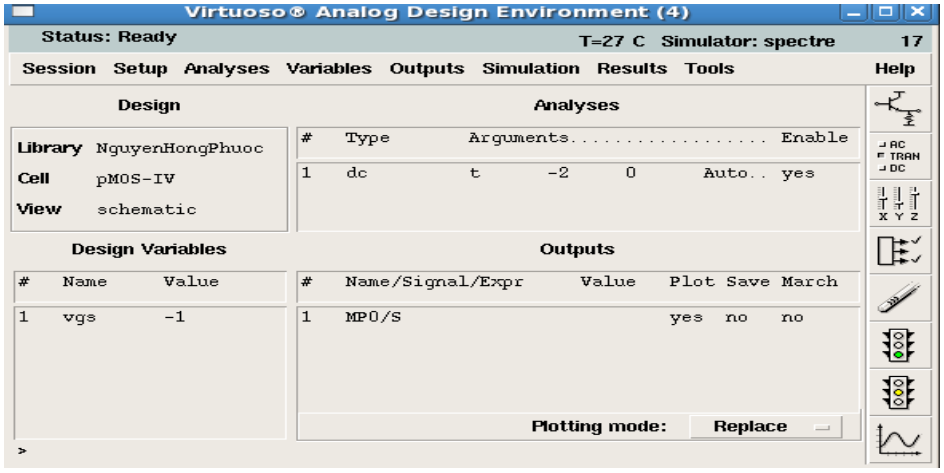
Hình 1. 10. Thông số pMOS.

- **Thông số của nMOS:**

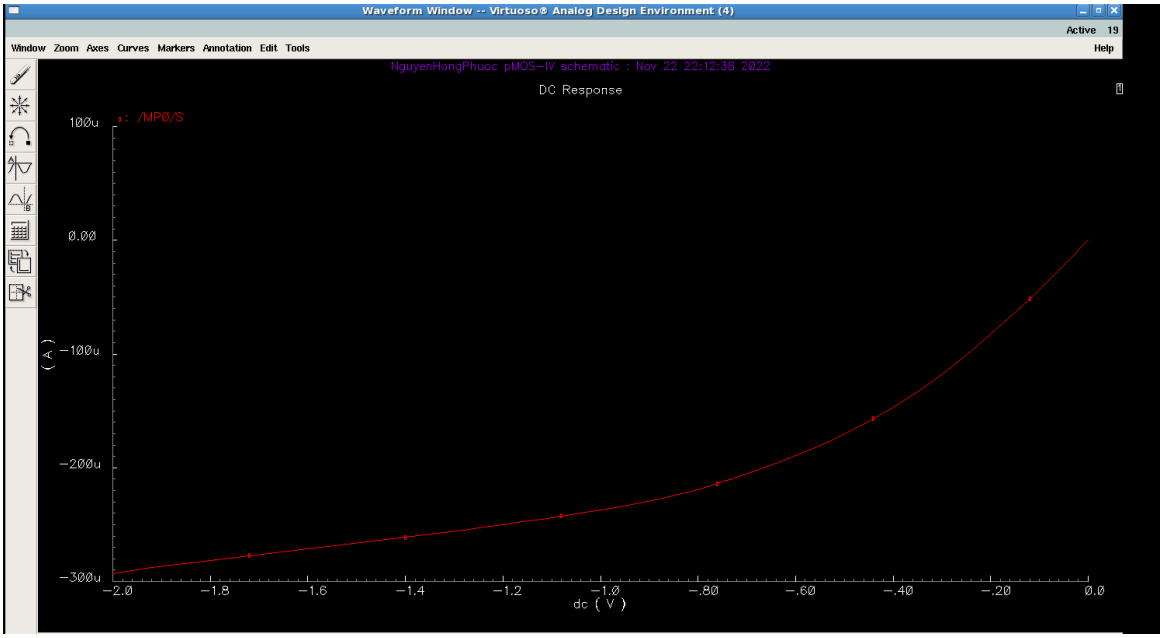
  Chiều dài: l=0.13µ.

  Độ rộng: w=1.3µ.

1.3.2. Kết quả mô phỏng.



Hình 1. 11. Cài đặt biến giá trị.

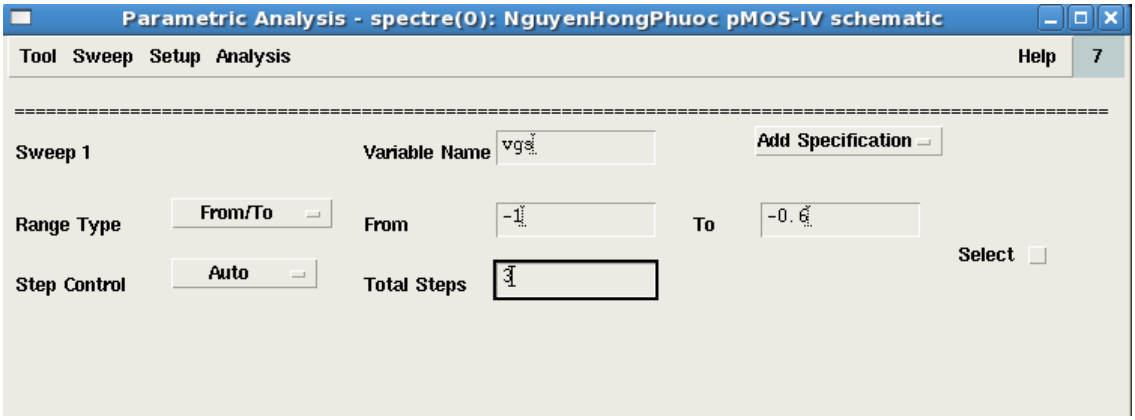


Hình 1. 12. Gía trị ngõ ra.

- **Đặc tuyến I-V với các mức điện áp Vgs = -0.6V, Vgs = -0.8V, Vgs = -1V**

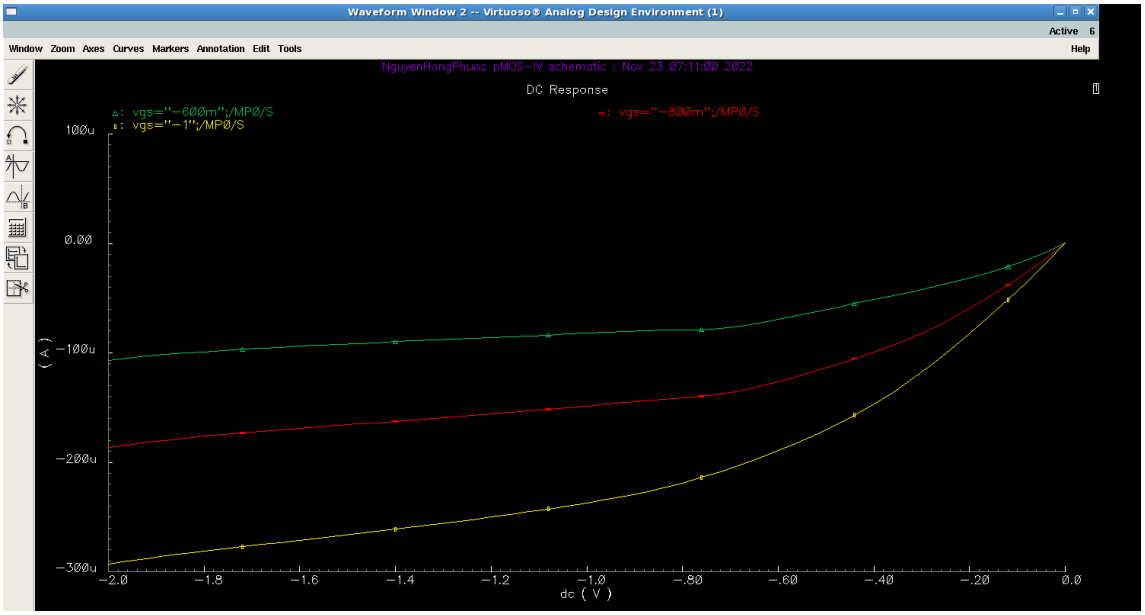
  Tiến hành cài đặt các thông số Vgs theo yêu cầu.

  Nhằm quan sát được các đường đặc tuyến với giá trị Vgs thay đổi.Thay đổi giá trị vgs từ -1 V đến -0.6V theo 3 vùng khảo sát.

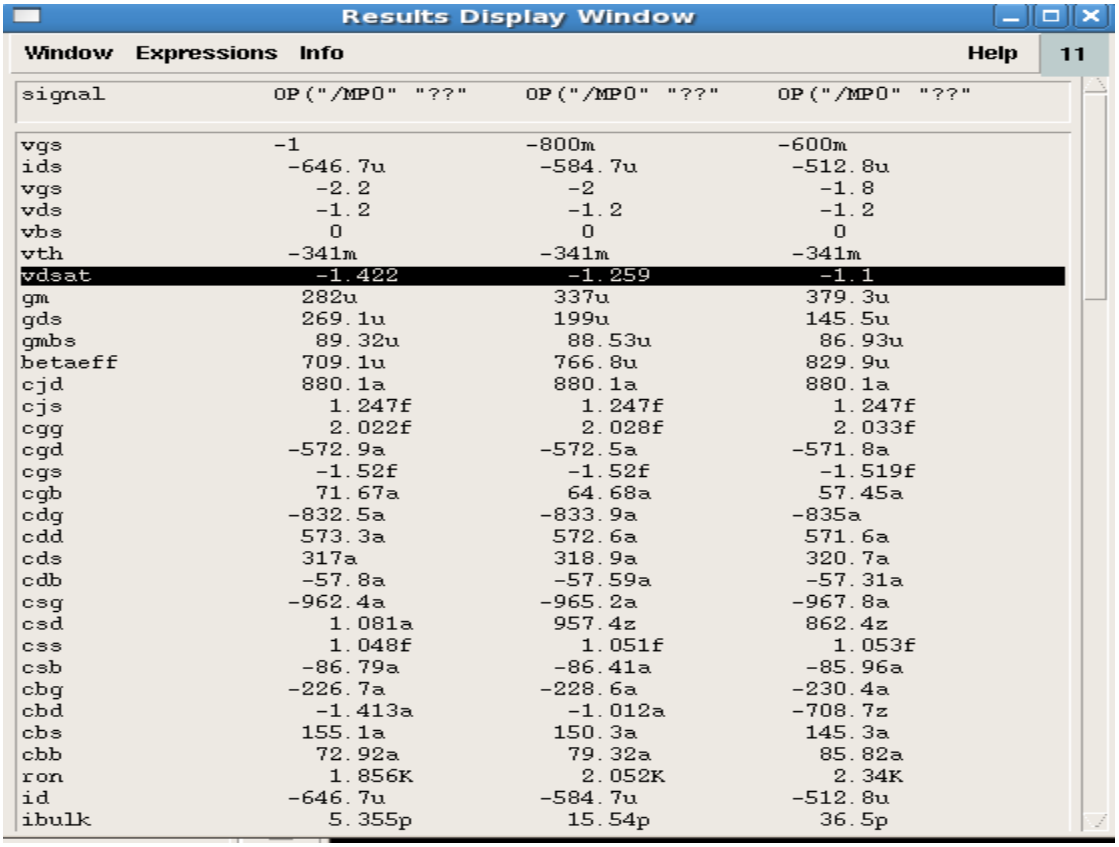


Hình 1. 13. Tùy chỉnh biến.

Ta được kết quả mô phỏng đặc tuyến pMOS với các mức điện áp Vgs được yêu cầu:



Hình 1. 14. Đặc tuyến I – V pMOS.

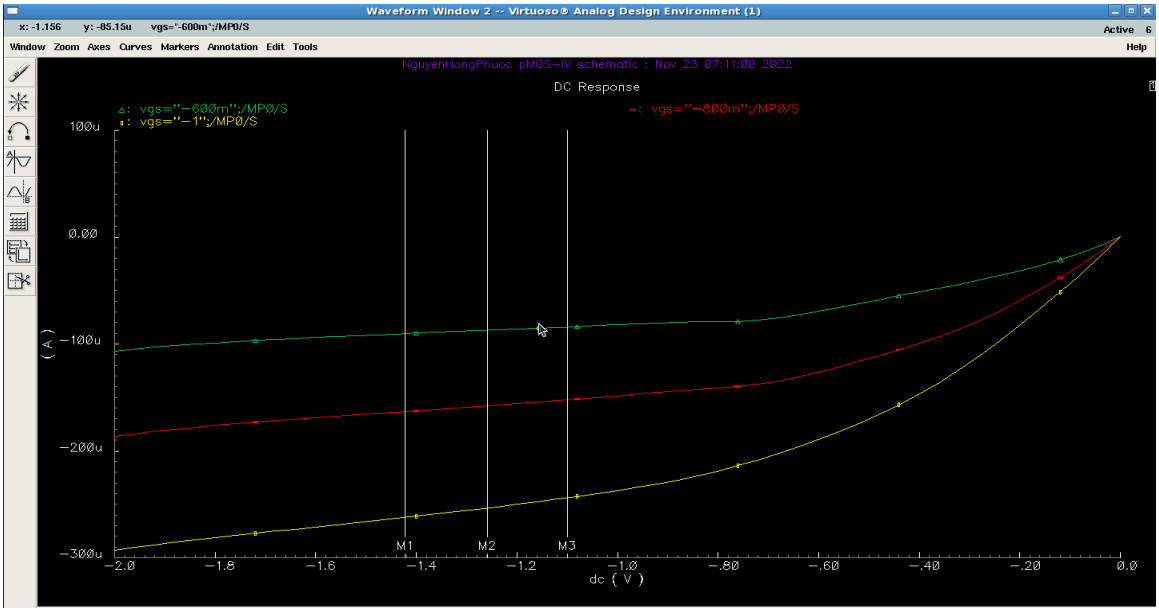


Results Display Window

Window Expressions Info Help 11

signal	OP("/MP0" "??"	OP("/MP0" "??"	OP("/MP0" "??"
vgs	-1	-800m	-600m
ids	-646.7u	-584.7u	-512.8u
vgs	-2.2	-2	-1.8
vds	-1.2	-1.2	-1.2
vbs	0	0	0
vth	-341m	-341m	-341m
vdsat	-1.422	-1.259	-1.1
gm	282u	337u	379.3u
gds	269.1u	199u	145.5u
gmbs	89.32u	88.53u	86.93u
betaeff	709.1u	766.8u	829.9u
cjd	880.1a	880.1a	880.1a
cjs	1.247f	1.247f	1.247f
cgg	2.022f	2.028f	2.033f
cgd	-572.9a	-572.5a	-571.8a
cgs	-1.52f	-1.52f	-1.519f
cgb	71.67a	64.68a	57.45a
cdg	-832.5a	-833.9a	-835a
cdd	573.3a	572.6a	571.6a
cds	317a	318.9a	320.7a
cdb	-57.8a	-57.59a	-57.31a
csg	-962.4a	-965.2a	-967.8a
csd	1.081a	957.4z	862.4z
css	1.048f	1.051f	1.053f
csb	-86.79a	-86.41a	-85.96a
cbg	-226.7a	-228.6a	-230.4a
cbd	-1.413a	-1.012a	-708.7z
cbs	155.1a	150.3a	145.3a
cbb	72.92a	79.32a	85.82a
ron	1.856K	2.052K	2.34K
id	-646.7u	-584.7u	-512.8u
ibulk	5.355p	15.54p	36.5p

Hình 1. 15. Vùng Vdsat theo vùng Vgs.



Hình 1. 16. Các điểm đặc tuyến Vdsat.

1.3.3. Kết luận.

Vdsat = Vgs – Vt.

- Với đường đặc tuyến I-V với Vgs =-0.6V tại M1, Vdsat=-1.422V cho thấy:

  Vgs<Vt bắt đầu dẫn.

  Vds>Vdsat dẫn tuyến tính.

  Vds<Vdsat dẫn bão hòa.

- Với đường đặc tuyến I-V với Vgs =-0.8V tại M2, Vdsat=-1.259V cho thấy:

  Vgs<Vt bắt đầu dẫn.

  Vds>Vdsat dẫn tuyến tính.

  Vds<Vdsat dẫn bão hòa.

- Với đường đặc tuyến I-V với Vgs =-1.0V tại M3, Vdsat=-1.1V cho thấy:

  Vgs<Vt bắt đầu dẫn.

  Vds>Vdsat dẫn tuyến tính.

  Vds<Vdsat dẫn bão hòa.

Bài 2. MÔ PHỎNG ĐẶC TÍNH DC CỦA BỘ INVERTER.

2.1. MỤC TIÊU.

Nghiên cứu cách thức hoạt động của bộ inverter.

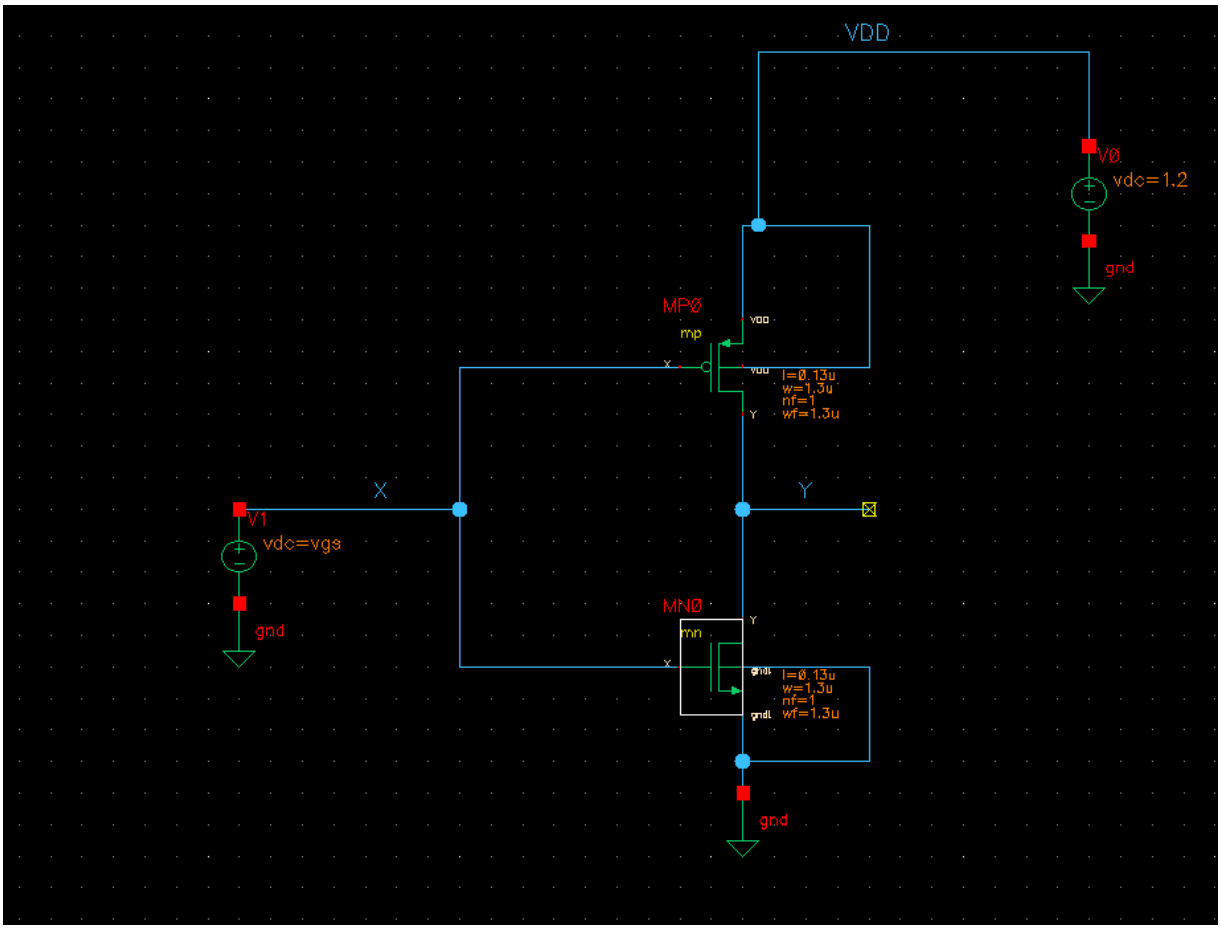
Phân tích và mô phỏng các đặc tính DC của bộ inverter.

+ Vùng hoạt động.

+ Hệ số chuyển mạch.

2.2. ĐẶC TÍNH DC CỦA 1 CỔNG INVERTER.

2.2.1. Sơ đồ nguyên lí bộ Inverter.



Hình 2. 1 Sơ đồ nguyên lí bộ inverter.

- **Mô tả kết nối.**

  Ngõ vào X được kết nối.

  Cực S của pMOS được kết nối với nguồn Vdd 1.2V.

  Cực D của nMOS được kết nối với cực D của pMOS.

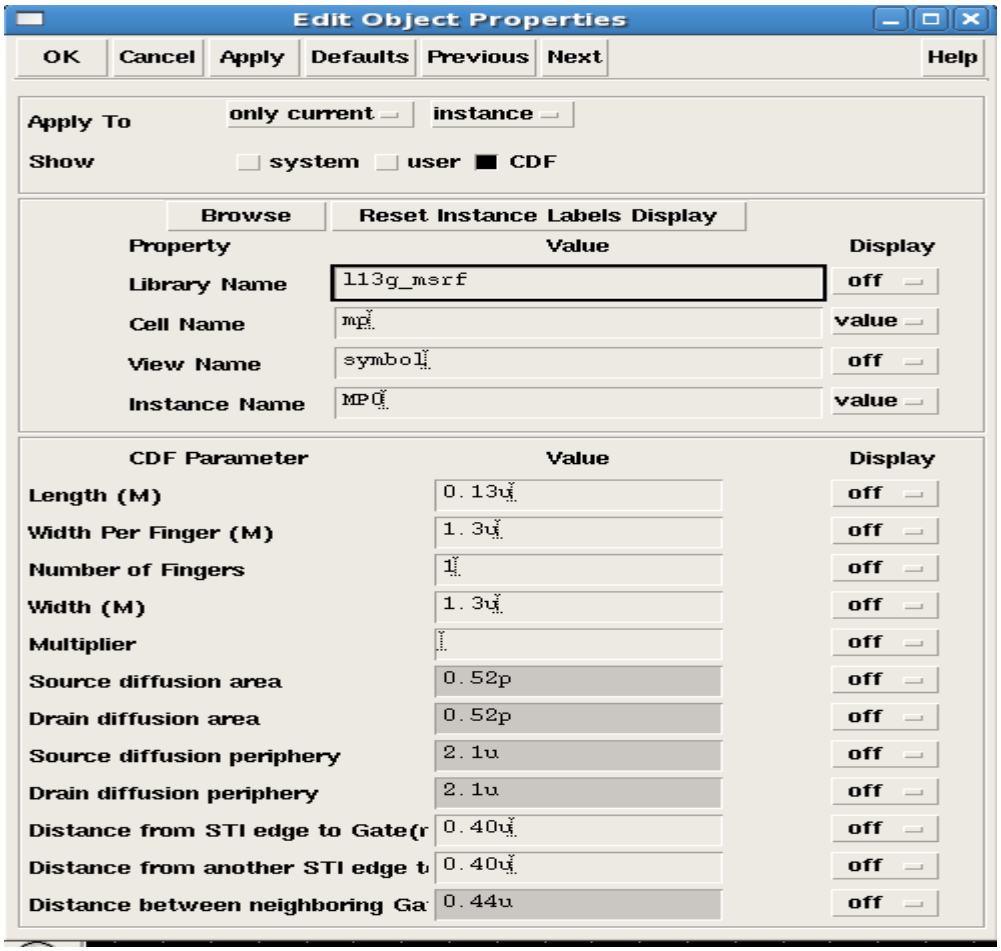
  Cực S của nMOS được nối xuống GND.

  Body của pMOS được nối lên Vdd.

  Body của nMOS được nối đất.

  Ngõ vào tín hiệu được nối chung với 2 cực G của pMOS và nMOS.

  Ngõ ra tín hiệu là điểm Y như trên hình.

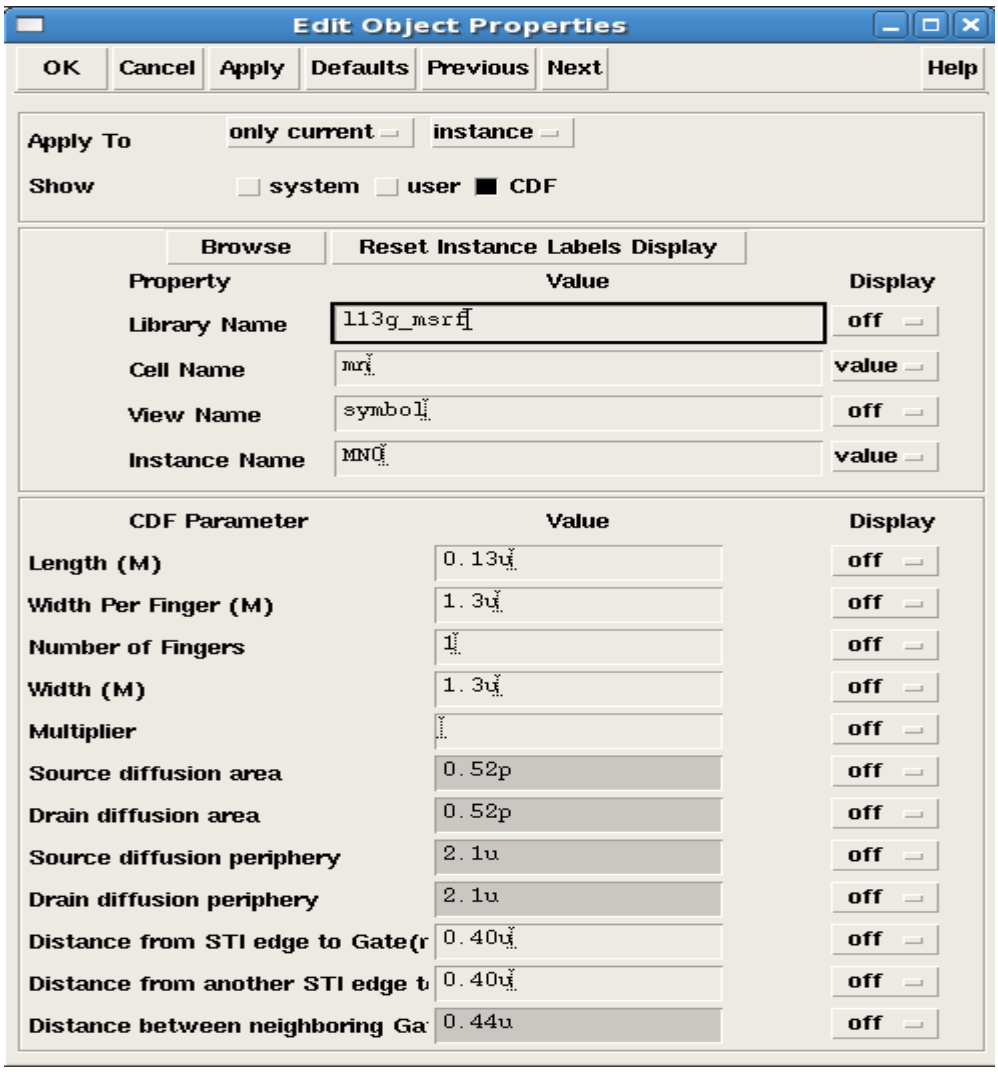


Hình 2. 2. Thông số pMOS.

- **Thông số của pMOS**

  Chiều dài: l=0.13µ.

  Độ rộng: w=1.3µ.



Hình 2. 3. Thông số nMOS.

- **Thông số của nMOS**

  Chiều dài: l=0.13µ.

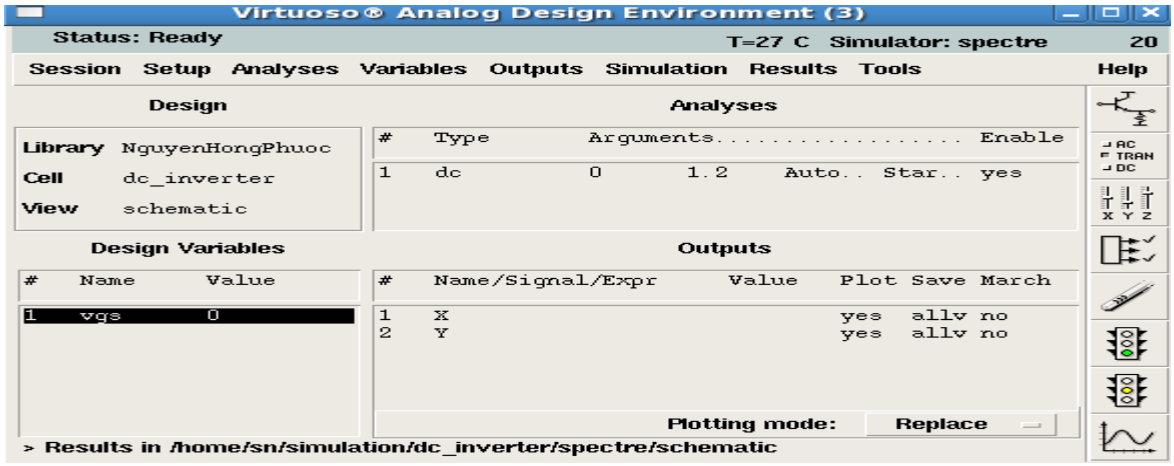
  Độ rộng: w=1.3µ.

2.2.2. Kết quả mô phỏng.

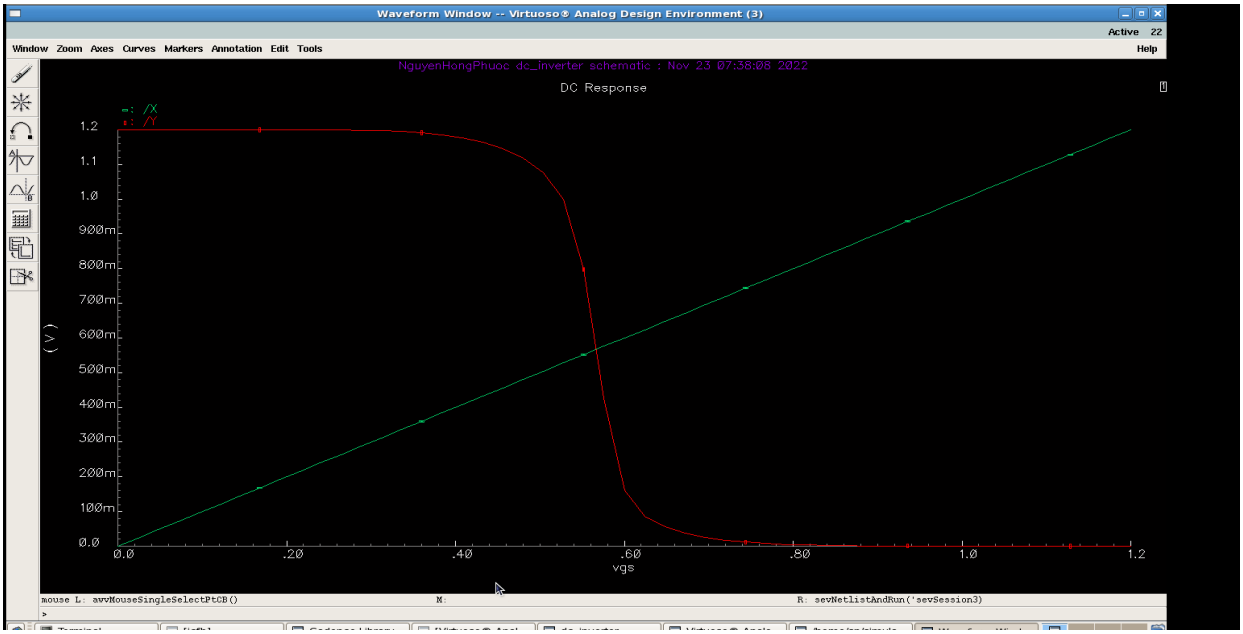
2.2.2.1. Thiết lập mô phỏng trong trường hợp $B_p/B_n = 1$.

Tiến hành cài đặt các thông số cho quá trình mô phỏng:

Đặt biến vgs ở tín hiệu đầu vào, sau đó tiến hành chạy biến



Hình 2. 4. Thiết lập giá trị biến giá trị mô phỏng.



Hình 2. 5. Gía trị ngõ ra,

***Nhận xét :**

- Ở vùng A do $\mathbf{0 \le V_{in} < V_t}$, pMOS sẽ hoạt động ở chế độ tuyến tính (linear) , nMOS đang ở trạng thái ngắt (cut off), $\mathbf{V_{out} = V_{dd}}$.

- Ở vùng B do $\mathbf{V_{tn} \le V_{in} < \frac{Vdd}{2}}$, pMOS sẽ hoạt động ở chế độ tuyến tính (linear) , nMOS đang ở trạng bão hòa (saturated), $\mathbf{V_{out} > \frac{Vdd}{2}}$**.**

- Ở vùng C do $\mathbf{V_{in} = \frac{Vdd}{2}}$, cả 2 cMOS sẽ mở bão hòa , $\mathbf{V_{out}}$ dốc đứng.

- Ở vùng D do $\mathbf{\frac{Vdd}{2} < V_{in} \le V_{dd} - |V_{tp}|}$, pMOS sẽ hoạt động ở chế độ bão hòa (saturated), nMOS đang ở trạng tuyến tính (linear), $\mathbf{V_{out} < \frac{Vdd}{2}}$**.**

- Ở vùng E do $\mathbf{V_{in} > V_{dd} - |V_{tp}|}$ **,** pMOS sẽ hoạt động ở trạng thái ngắt (cutoff) , nMOS đang ở trạng tuyến tính (linear), $\mathbf{V_{out} = 0}$**.**

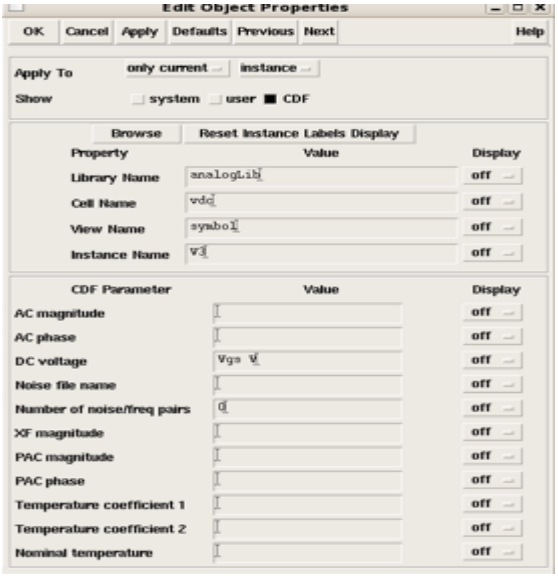
2.2.2.2. Hệ số chuyển mạch.

- Nhằm khảo sát khi Inverter chuyển mạch thì với các hệ số B (hệ số chuyển mạch) khác nhau thì sẽ như thế nào ?

-Mô phỏng trong trường hợp B_p/B_n khác nhau trên cùng một đồ thị **,** để thay đổi tỉ số trên một cách nhanh chóng ***sẽ thay đổi L của nMOS.***

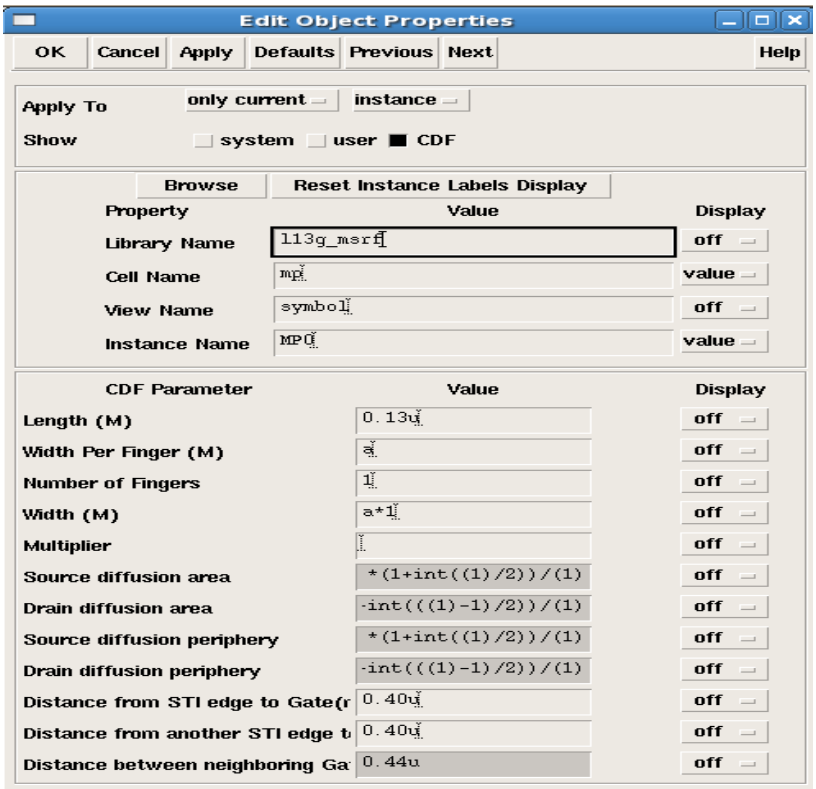
Tiến hành thiết lập các thông số trước khi tiến hành mô phỏng

Tiến hành đặt biến đầu vào



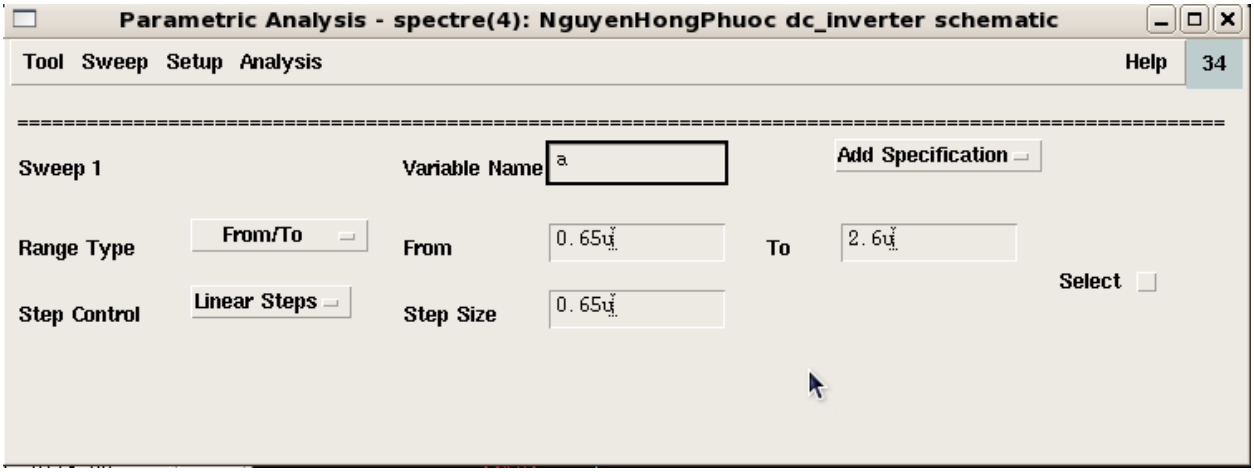
Hình 2. 6 Thiết lập biến đầu vào.

Tiến hành đặt biến thay đổi chiều dài nMOS

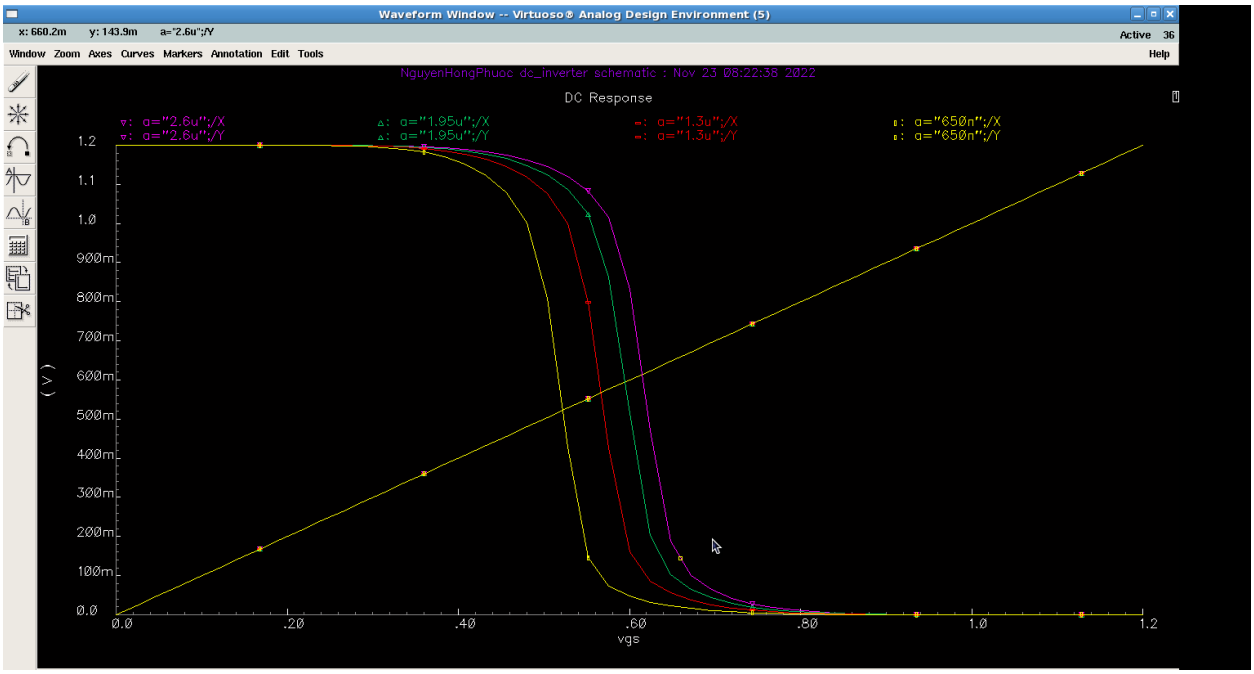


Hình 2. 7. Thiết lập biến giá trị độ rộng.

Tiến hành cài đặt



Hình 2. 8 Tùy chỉnh biến giá trị.



Hình 2. 9. Dạng ngõ ra theo tín hiệu của bộ inverter.

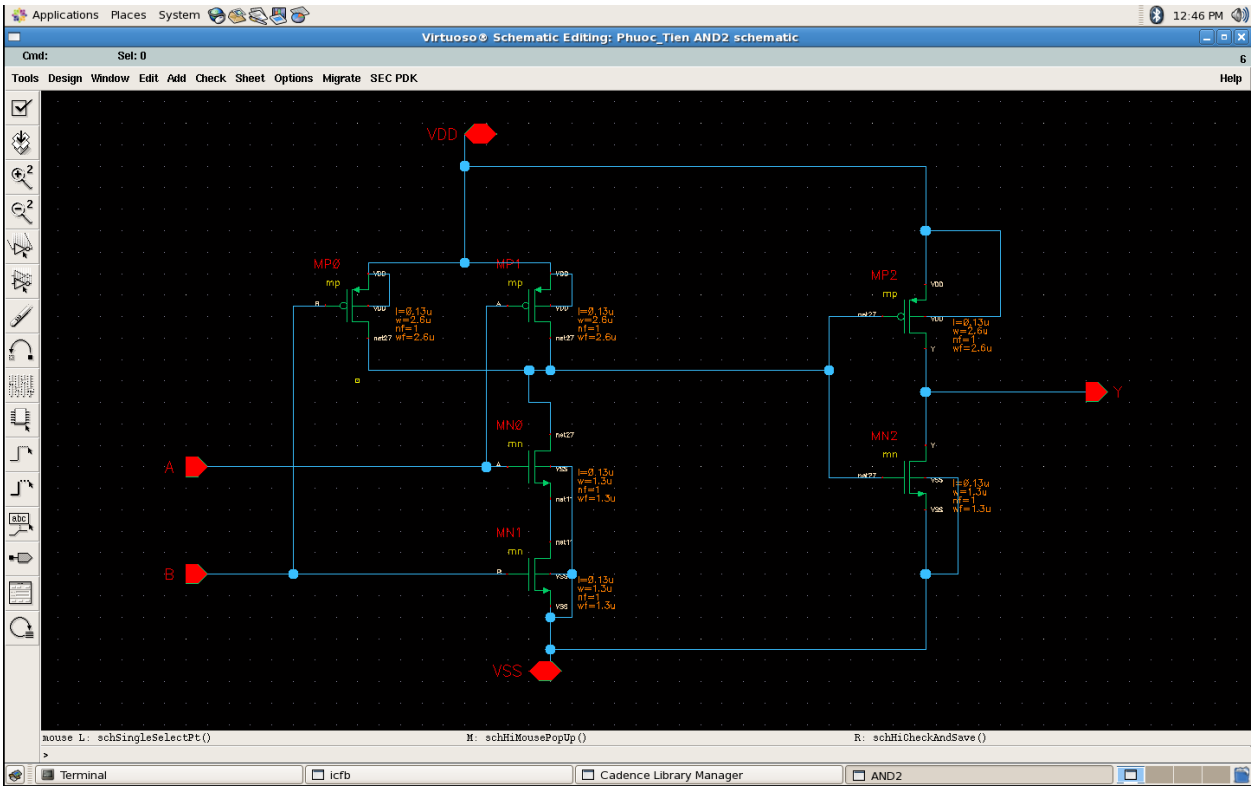
BÀI 3. THIẾT KẾ VÀ MÔ PHỎNG CỔNG LOGIC.

3.1. MỤC TIÊU.

- Nghiên cứu phương thức kết nối pMOS và nMOS và các mức dẫn. Thực hiện một phép toán logic trên một hoặc nhiều logic đầu vào, và tạo ra một kết quả logic dựa theo mức điện áp.

3.2. CỔNG AND 2 NGÕ VÀO.

3.2.1. Sơ đồ nguyên lý

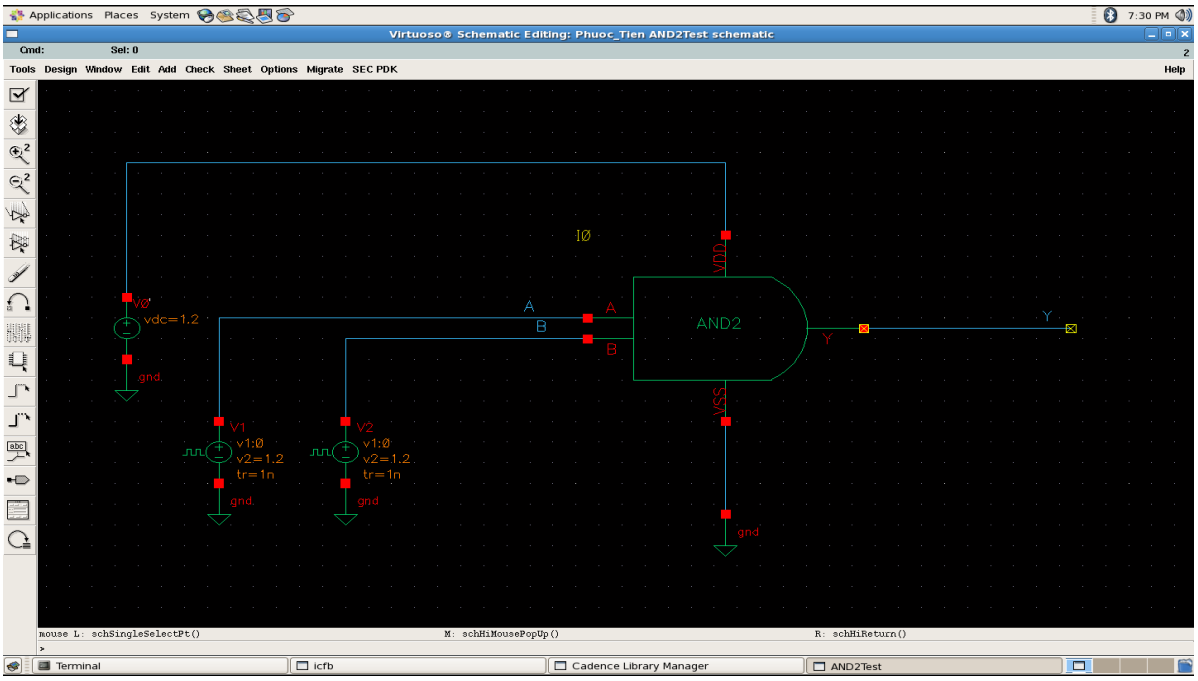


Hình 3.1. Sơ đồ nguyên lí cổng AND 2 ngõ vào

- Biểu thức Y = A*B

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

Bảng 3.1: Bảng trạng thái cổng AND 2 ngõ vào



Hình 3.2. Sơ đồ nguyên lí cổng AND 2 ngõ vào đã được đóng gói

- Các thông số được cài đặt cho quá trình mô phỏng

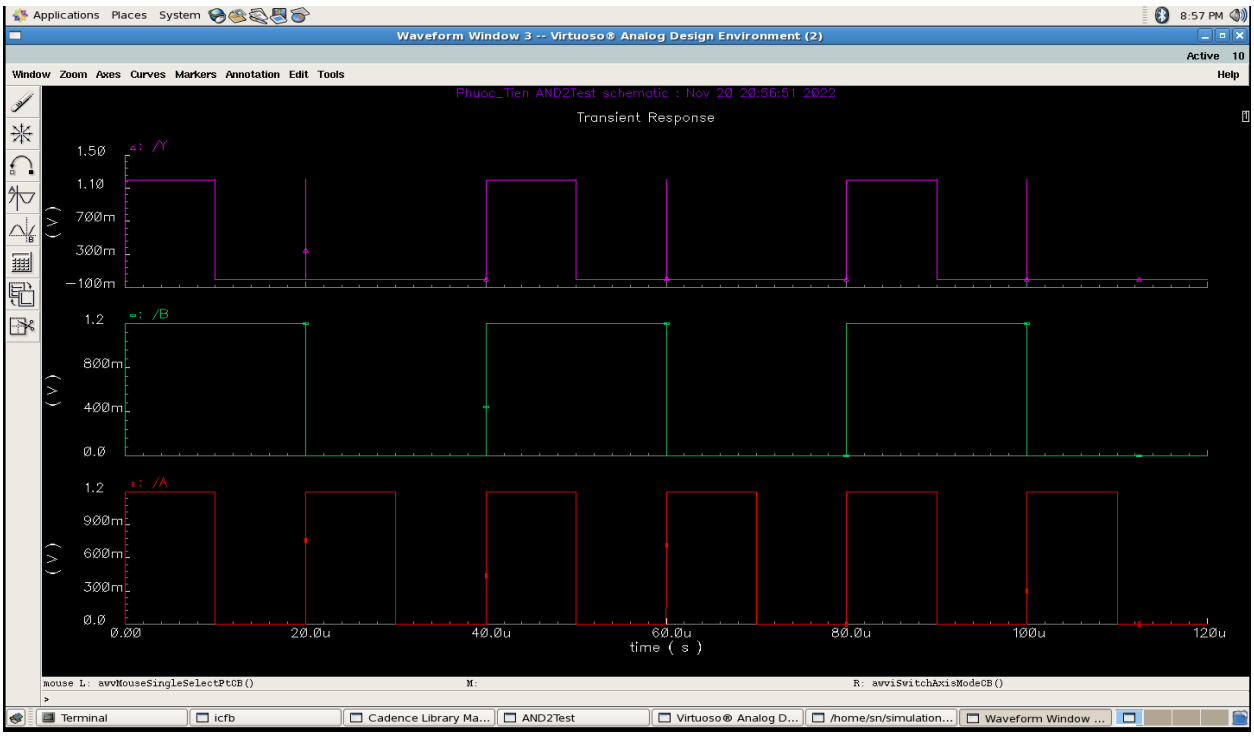
	nMOS	pMOS
Chiều dài (L)	0.13 u	0.13 u
Chiều rộng (W)	2.6 u	.3 u

Bảng 3.2: Bảng thông số nMOS và pMOS

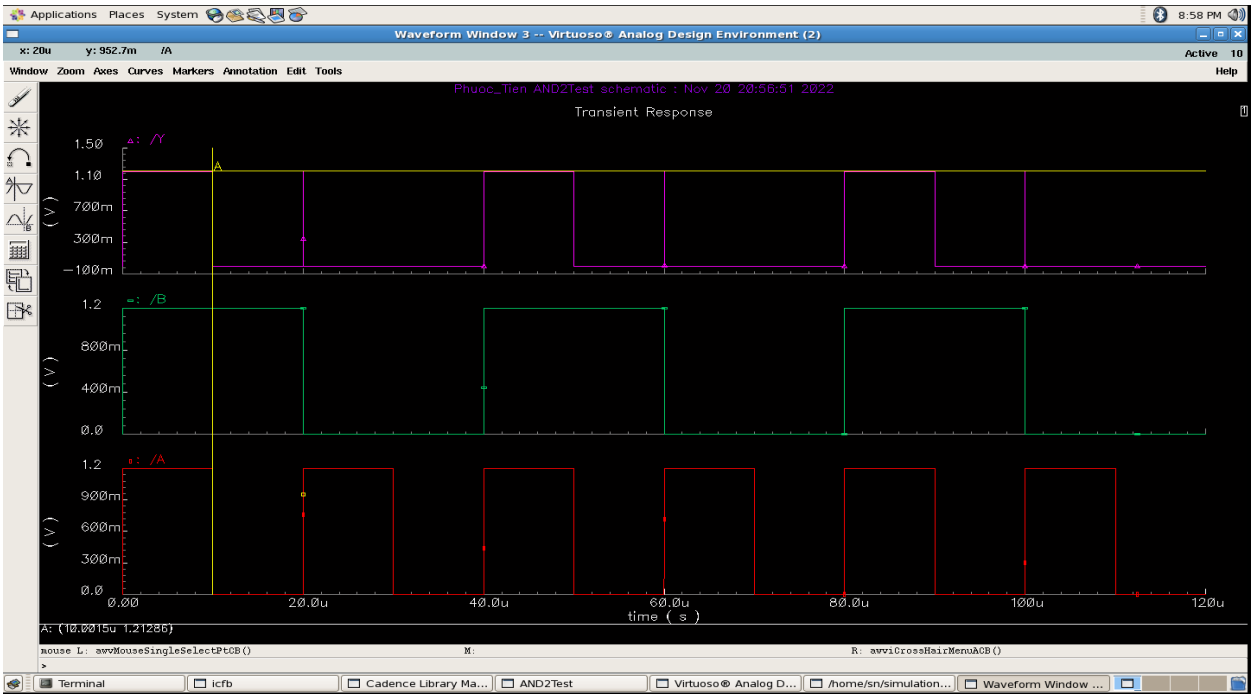
	Voltage 1	Voltage 2	Rise time	Fall time	Pulse with	Period
A	0V	1.2V	1ns	1ns	10us	20us
B	0V	1.2V	1ns	1ns	20us	40us

Bảng 3.3: Bảng thông số hai ngõ vào A và B

3.2.2 Kết quả mô phỏng



Hình 3.3. Kết quả mô phỏng dạng sóng vào – ra cổng AND 2 ngõ vào

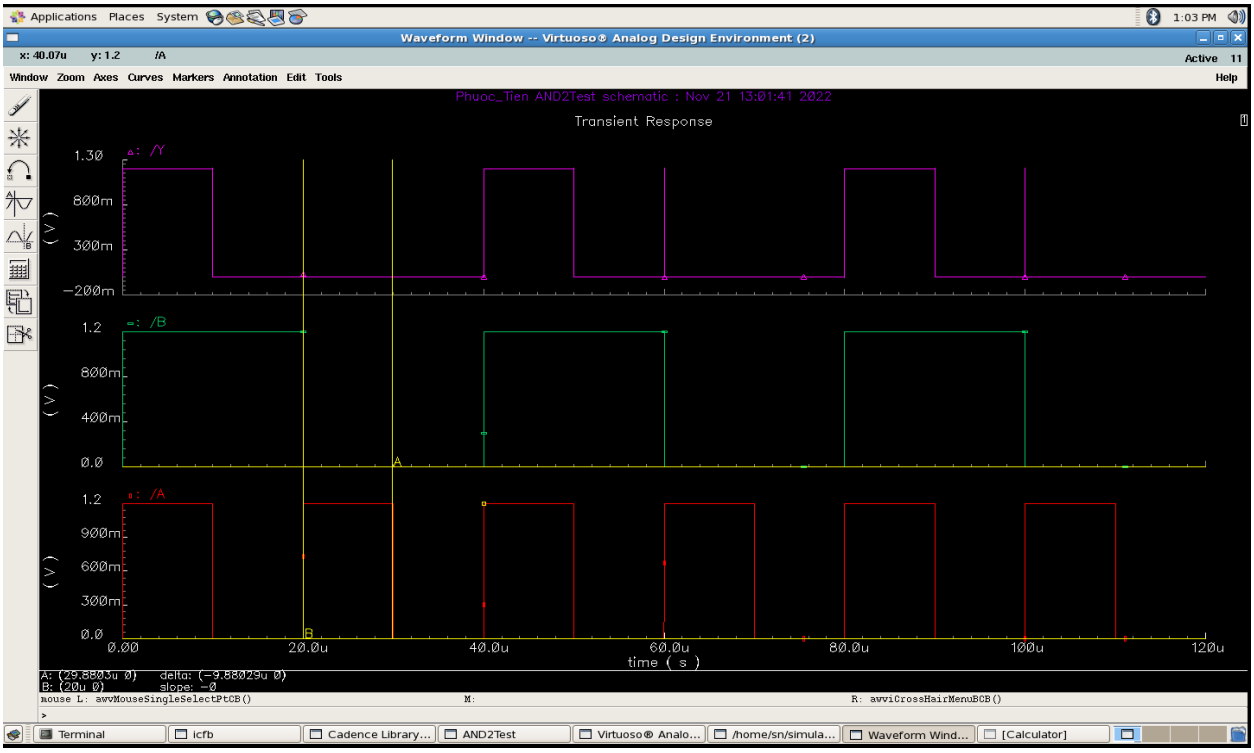


Hình 3.4. Kết quả mô phỏng dạng sóng vào – ra cổng AND 2 ngõ vào

A	B	Y
1	1	1

Bảng 3.4: Bảng trạng thái cho khoảng thời gian từ 0us → 10us

- Giải thích: Dựa vào bảng 3.1 ta thấy trong Hình 3.4 trong khoảng thời gian từ 0us đến 10us cả hai đầu vào A và B đều ở mức 1 nên sẽ có ngõ ra Y=1



Hình 3.5. Kết quả mô phỏng dạng sóng vào – ra cổng AND 2 ngõ vào.

A	B	Y
1	0	0

Bảng 3.5: Bảng trạng thái cho khoảng thời gian từ 20us → 30us

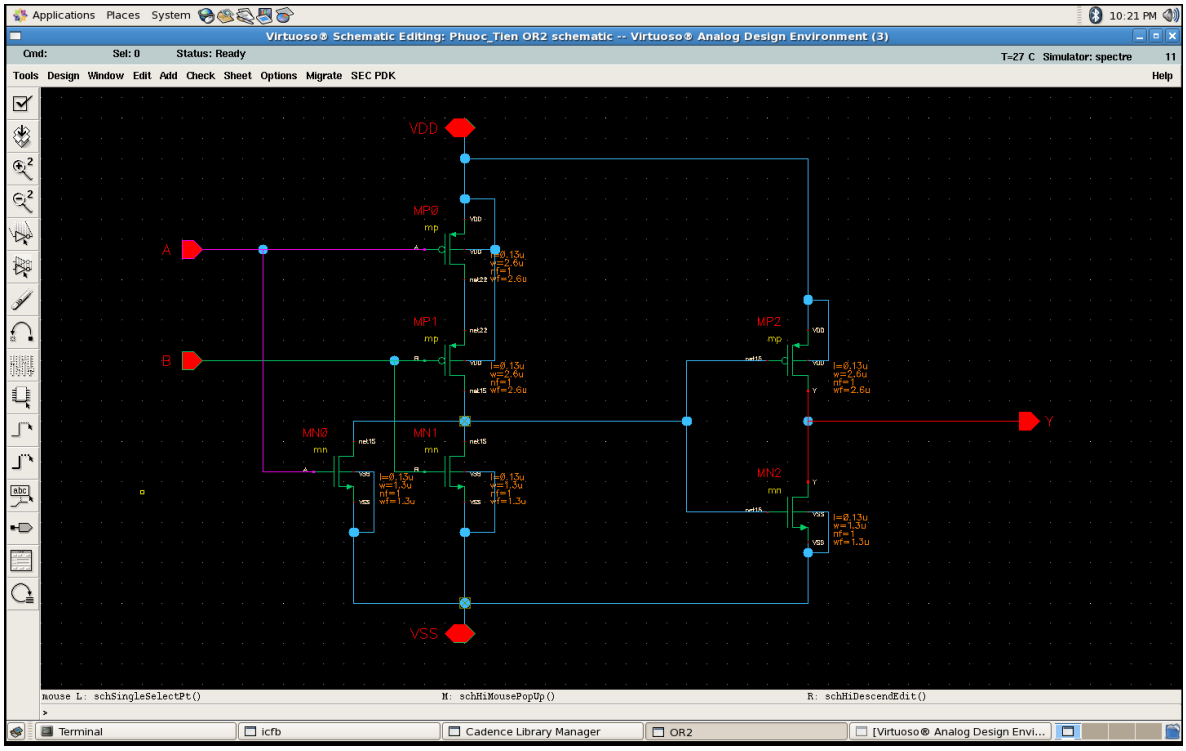
- Giải thích: Dựa vào bảng 3.1 ta thấy trong Hình 3.5 trong khoảng thời gian từ 20us đến 30us một trong hai đầu vào A hoặc B ở mức 0 nên sẽ có ngõ ra Y=0.

3.2.3 Kết luận.

Kết quả mô phỏng đúng với bảng trạng thái đã được nêu ra ở Bảng 3.1.

3.3 CỔNG OR 2 NGÕ VÀO.

3.3.1. Sơ đồ nguyên lý.



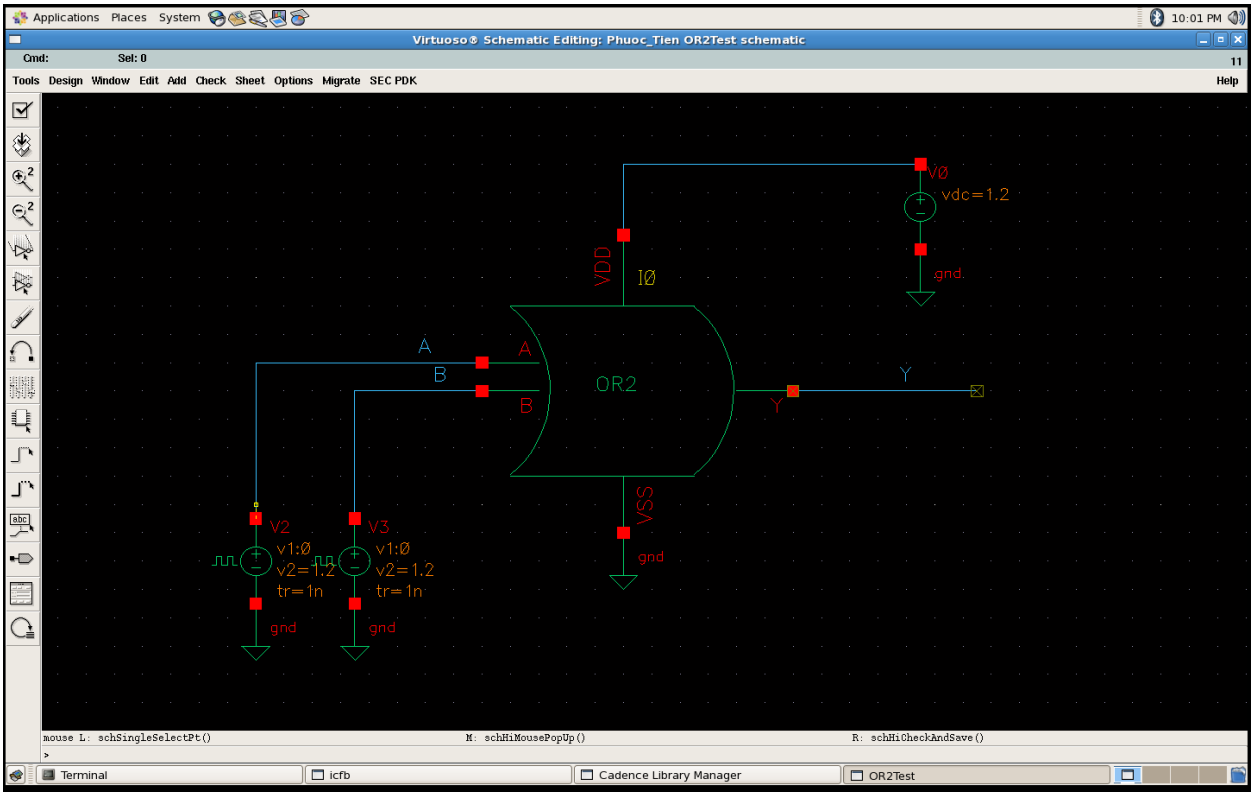
Hình 3.6. Sơ đồ nguyên lí cổng OR 2 ngõ vào.

- Biểu thức: Y = A+B
- Với Y là ngõ ra

  A và B là 2 ngõ vào

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

Bảng 3.6: Bảng trạng thái cổng OR 2 ngõ vào.



Hình 3.7. Sơ đồ nguyên lí cổng OR 2 ngõ vào đã được đóng gói

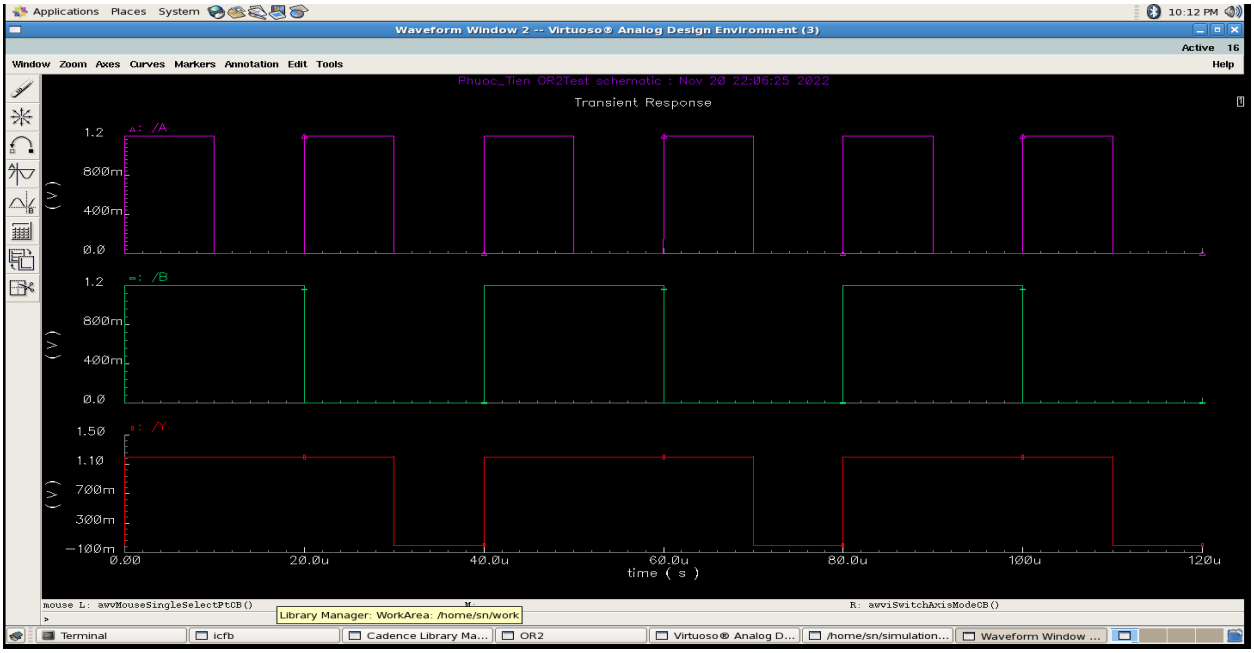
	nMOS	pMOS
Chiều dài (L)	0.13 u	0.13 u
Chiều rộng (W)	2.6 u	1.3 u

Bảng 3.7: Bảng thông số nMOS và pMOS.

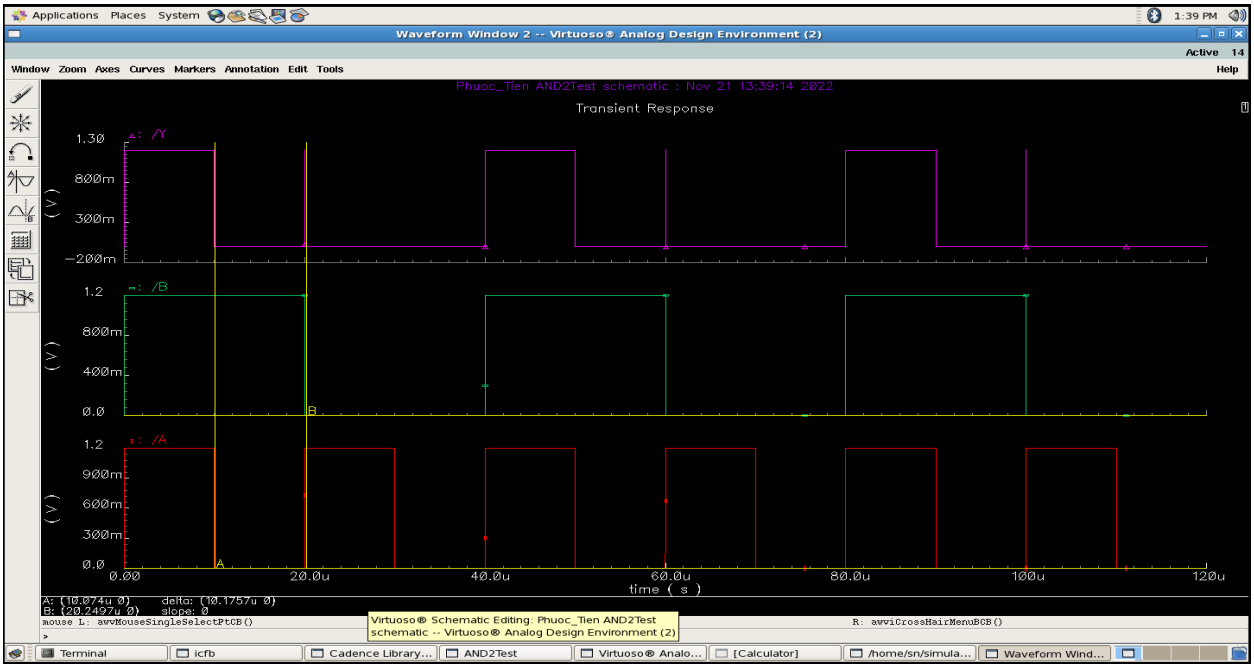
	Voltage 1	Voltage 2	Rise time	Fall time	Pulse with	Period
A	0V	1.2V	1ns	1ns	10us	20us
B	0V	1.2V	1ns	1ns	20us	40us

Bảng 3.8: Bảng thông số hai ngõ vào A và B.

3.3.2 Kết quả mô phỏng.



Hình 3.8. Kết quả mô phỏng dạng sóng vào – ra cổng OR 2 ngõ vào

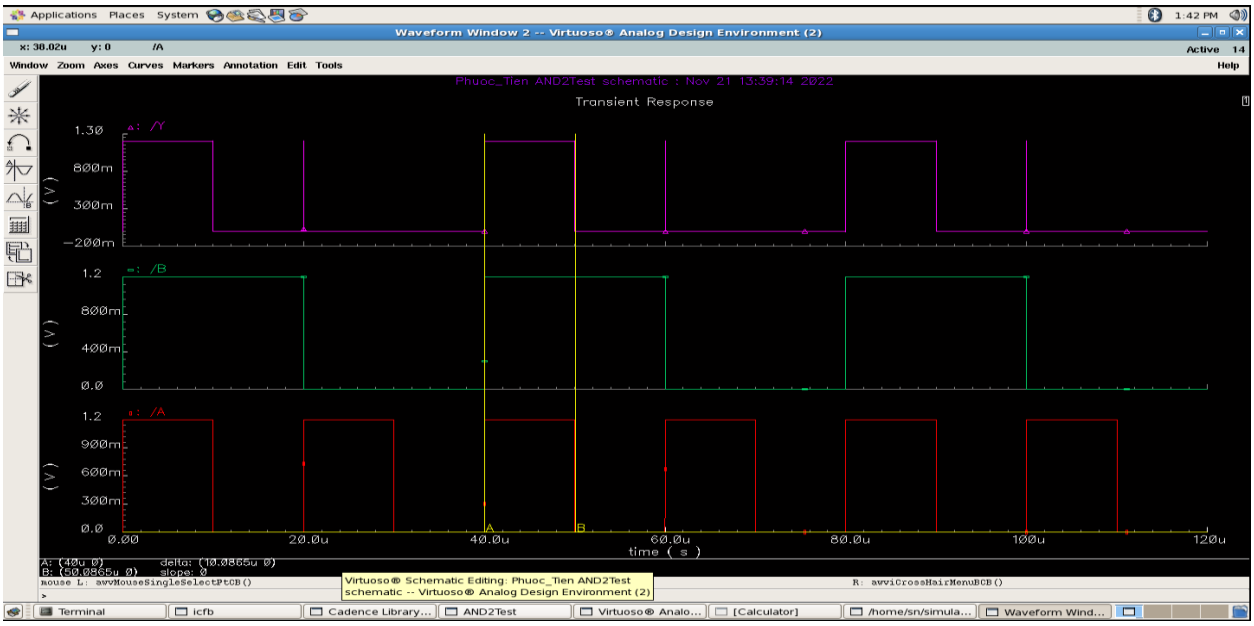


Hình 3.9. Kết quả mô phỏng dạng sóng vào – ra cổng AND 2 ngõ vào

A	B	Y
0	1	0

Bảng 3.9: Bảng trạng thái cho khoảng thời gian từ 10us → 20us.

- Giải thích: Dựa vào bảng 3.6 ta thấy trong Hình 3.9 trong khoảng thời gian từ 10us đến 20us khi một trong hai đầu vào A hoặc B ở mức 0 nên sẽ có ngõ ra Y=0.



Hình 3.10. Kết quả mô phỏng dạng sóng vào – ra cổng OR 2 ngõ vào.

A	B	Y
1	1	1

Bảng 3.10: Bảng trạng thái cho khoảng thời gian từ 40us → 50us.

- Giải thích: Dựa vào bảng 3.6 ta thấy trong Hình 3.10 trong khoảng thời gian từ 40us đến 50us khi cả hai đầu vào A và B đều ở mức 1 nên sẽ có ngõ ra Y=1.

3.3.3 Kết luận.

Kết quả mô phỏng đúng với bảng trạng thái đã được nêu ra ở bảng 3.6

3.4 CỔNG XOR 2 NGÕ VÀO.

3.4.1. Sơ đồ nguyên lý.

- Ta có biểu thức Boolean cho cổng XOR hai ngõ vào:

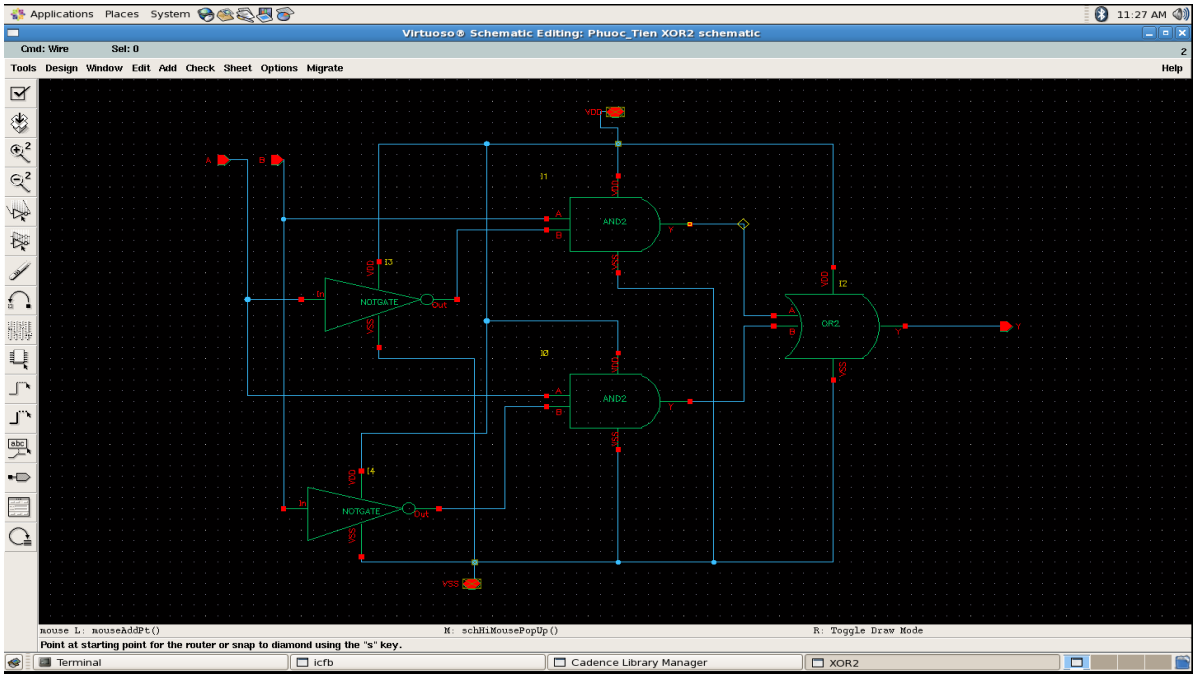
$Y = A \oplus B$

$= \bar{A}B + A\bar{B}$ (1)

- Với Y là ngõ ra

  A và B là 2 ngõ vào

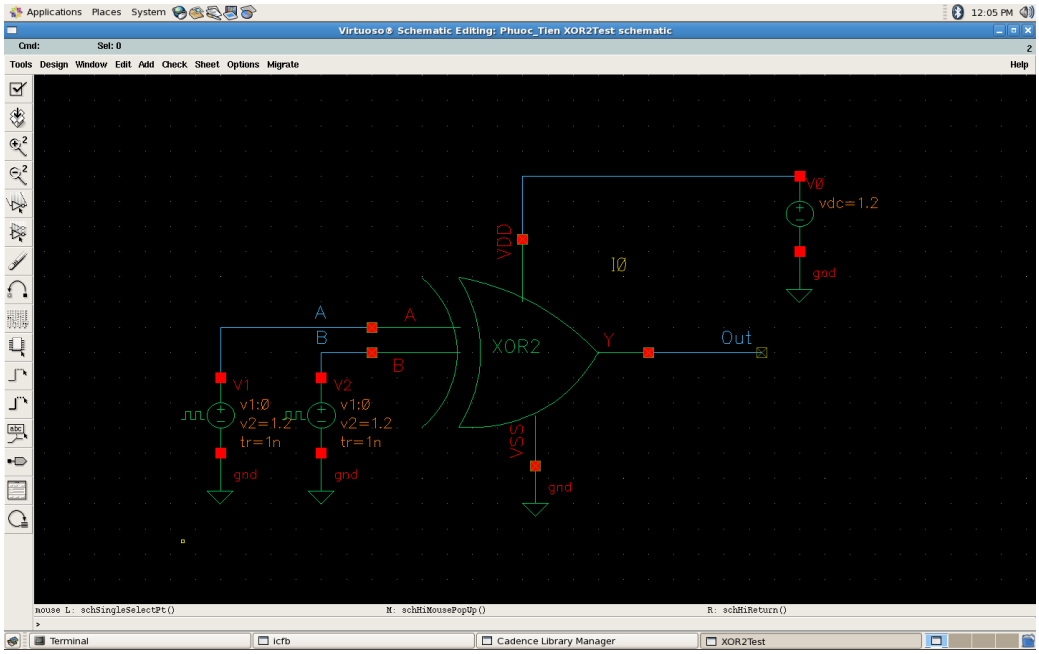
- Từ biểu thức (1) ta có được sơ đồ nguyên lí cổng XOR hai ngõ vào như sau:



Hình 3.11. Sơ đồ nguyên lí cổng XOR 2 ngõ vào sử dụng các cổng NOT, AND, OR

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

Bảng 3.11: Bảng trạng thái cổng XOR 2 ngõ vào



Hình 3.12. Sơ đồ nguyên lí cổng XOR 2 ngõ vào đã được đóng gói

- Các thông số được cài đặt cho quá trình mô phỏng

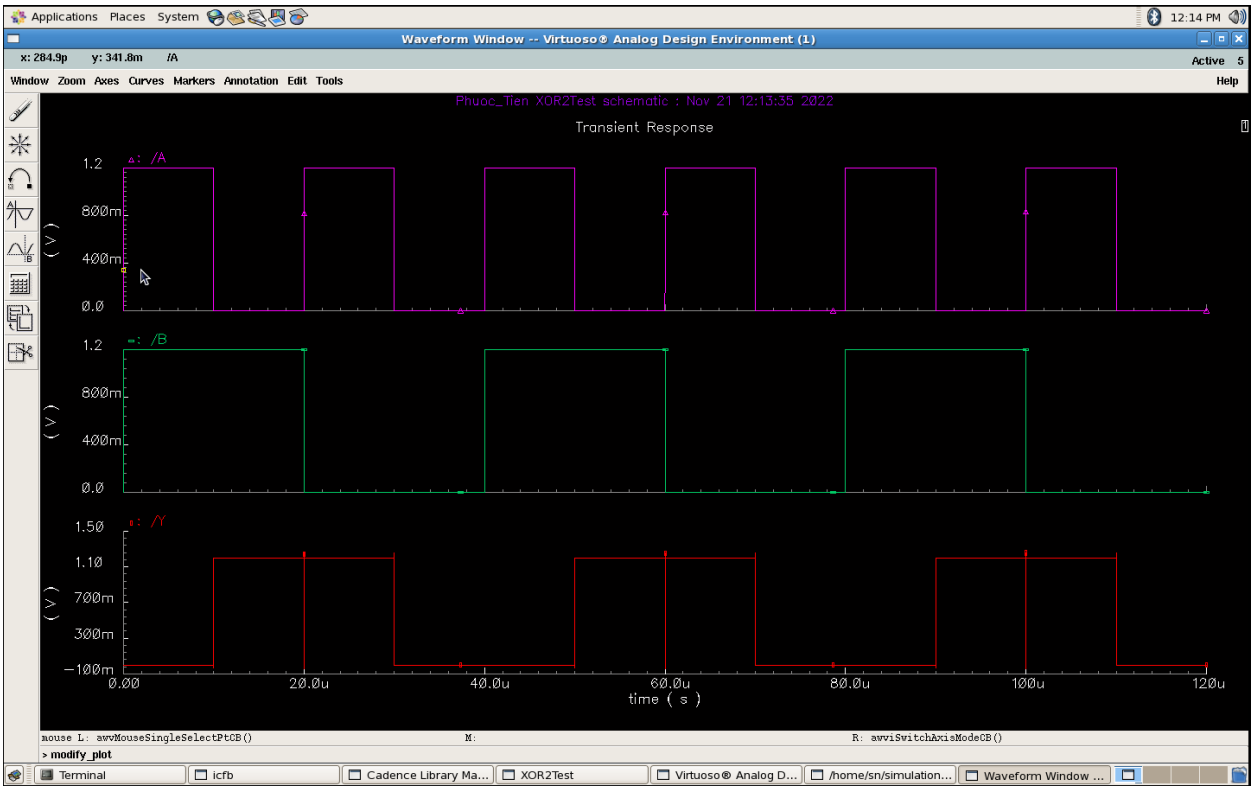
	nMOS	pMOS
Chiều dài (L)	0.13 u	0.13 u
Chiều rộng (W)	2.6 u	1.3 u

Bảng 3.12: Bảng thông số nMOS và pMOS

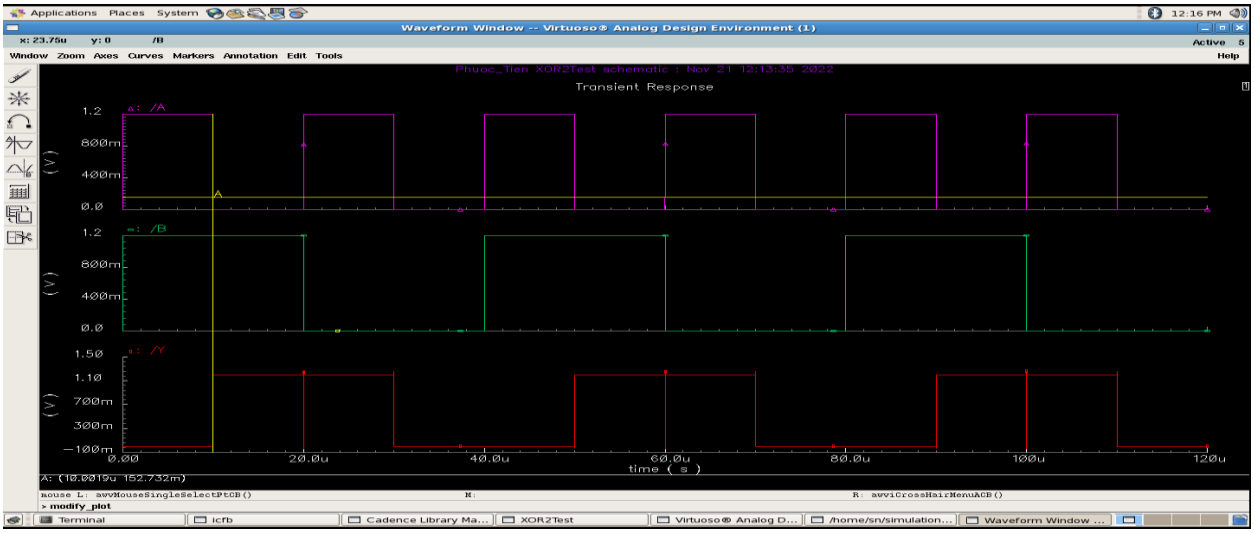
	Voltage 1	Voltage 2	Rise time	Fall time	Pulse with	Period
A	0V	1.2V	1ns	1ns	10us	20us
B	0V	1.2V	1ns	1ns	20us	40us

Bảng 3.13: Bảng thông số hai ngõ vào A và B

3.4.2 Kết quả mô phỏng



Hình 3.12. Kết quả mô phỏng dạng sóng vào – ra cổng XOR 2 ngõ vào.

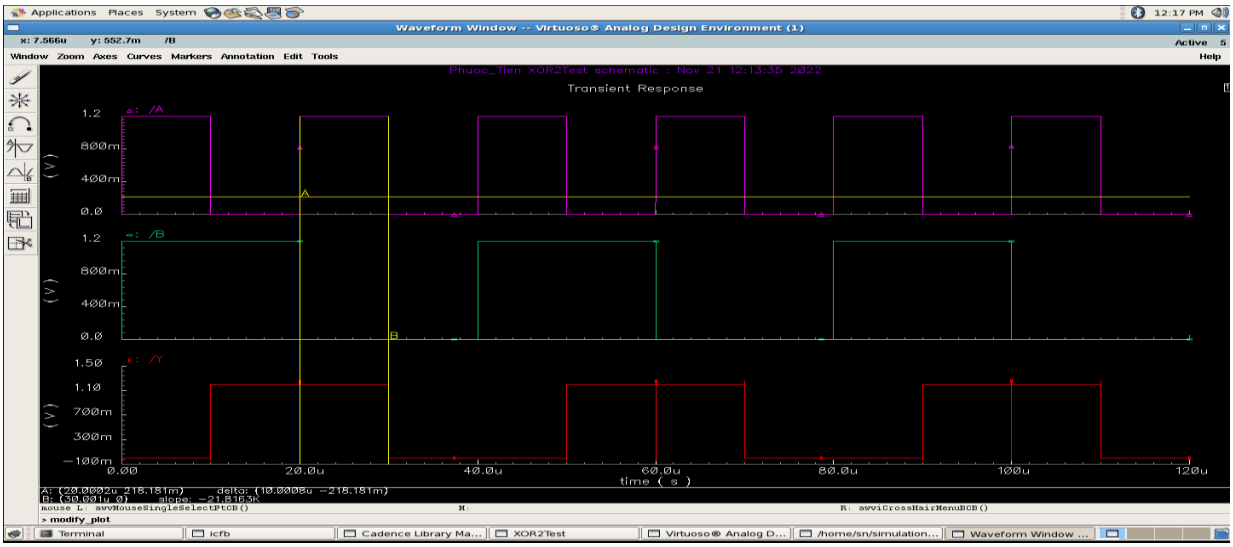


Hình 3.14. Kết quả mô phỏng dạng sóng vào – ra cổng XOR 2 ngõ vào

A	B	Y
1	1	0

Bảng 3.14: Bảng trạng thái cho khoảng thời gian từ 0us → 10us

- Giải thích: Dựa vào bảng 3.11 ta thấy trong hình 3.14 trong khoảng thời gian từ 0us đến 10us khi hai đầu vào A và B có cùng mức dữ liệu là 1 nên sẽ có ngõ ra Y=0.



Hình 3.15. Kết quả mô phỏng dạng sóng vào – ra cổng XOR 2 ngõ vào.

A	B	Y
1	0	1

Bảng 3.15: Bảng trạng thái cho khoảng thời gian từ 20us → 30us.

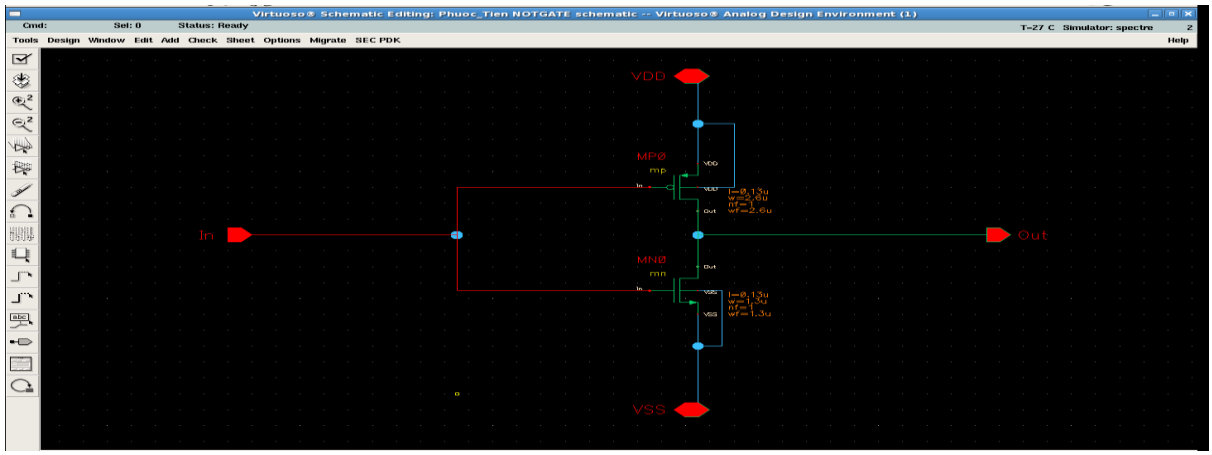
- Giải thích: Dựa vào bảng 3.11 ta thấy trong hình 3.15 trong khoảng thời gian từ 20us đến 30us khi hai đầu vào A và B có mức dữ liệu khác nhau sẽ có ngõ ra Y=1.

3.4.3 Kết luận.

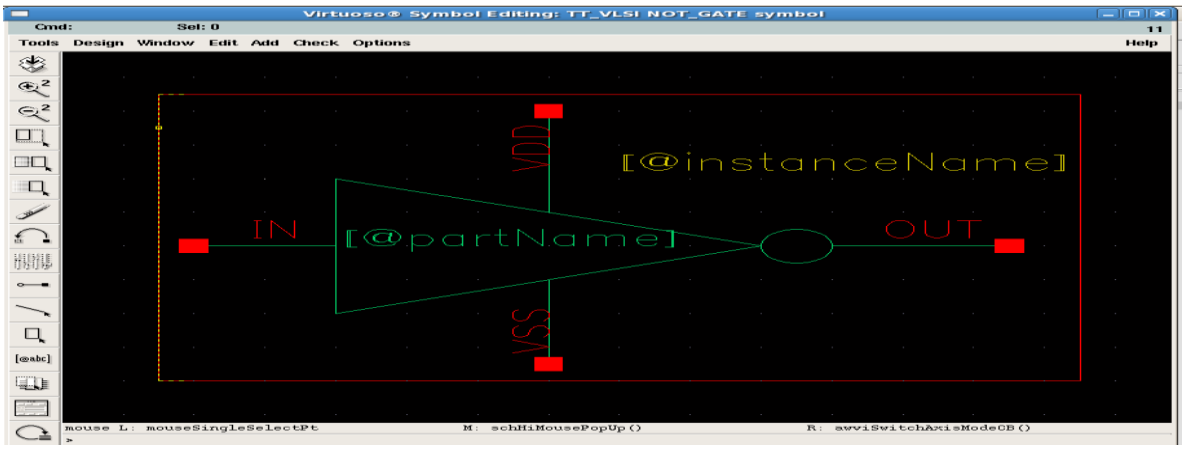
Kết quả mô phỏng đúng với bảng trạng thái đã được nêu ra ở bảng 3.11.

3.5 CỔNG NOT

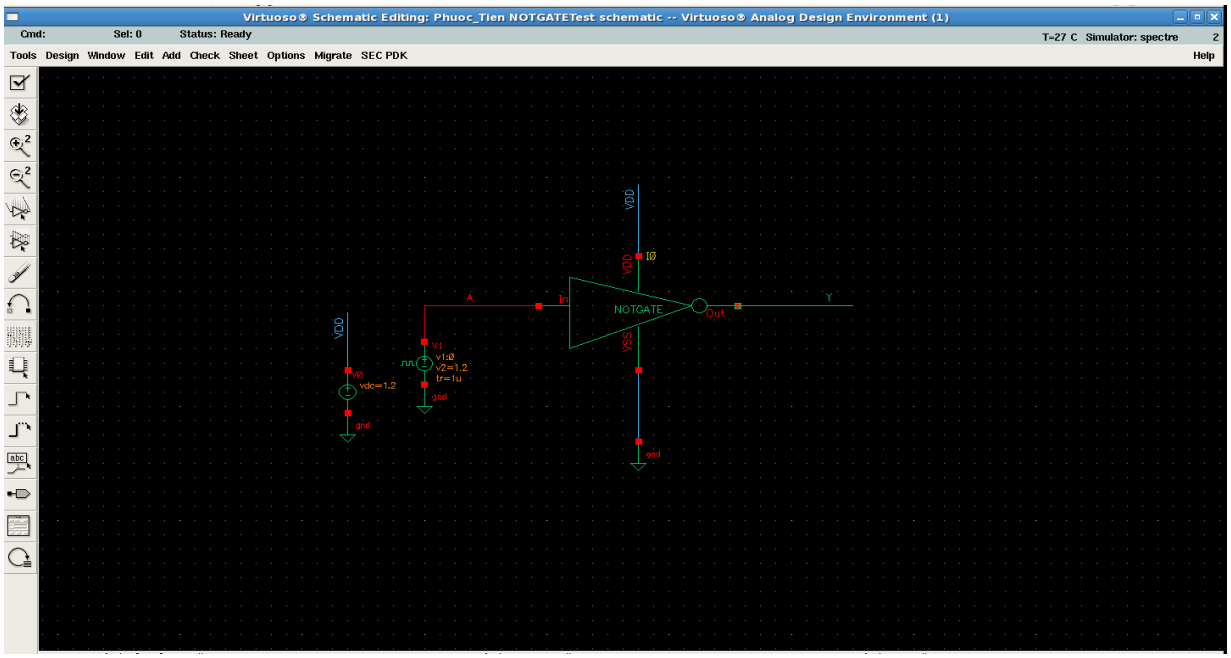
a. Sơ đồ nguyên lí.



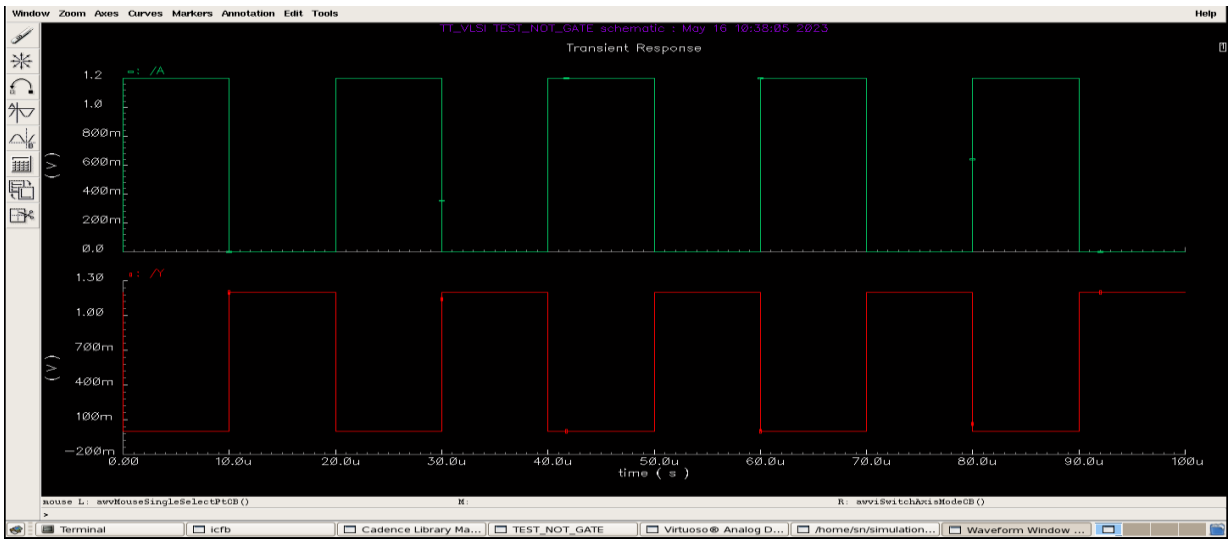
b. Đóng gói.



c. Test.



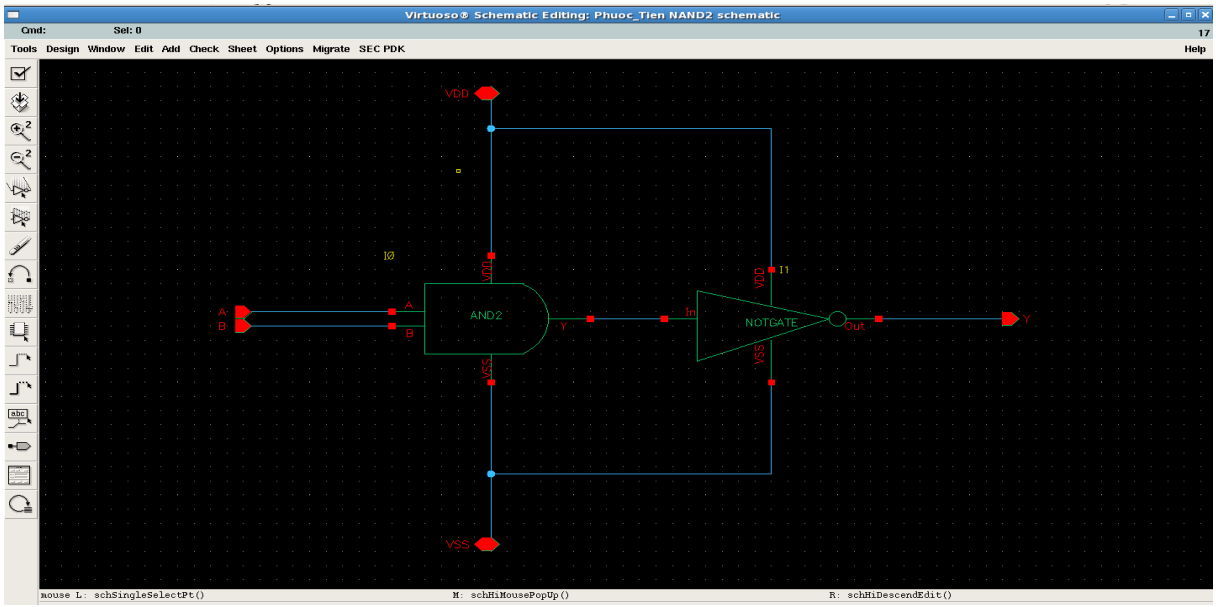
d. Dạng sóng.



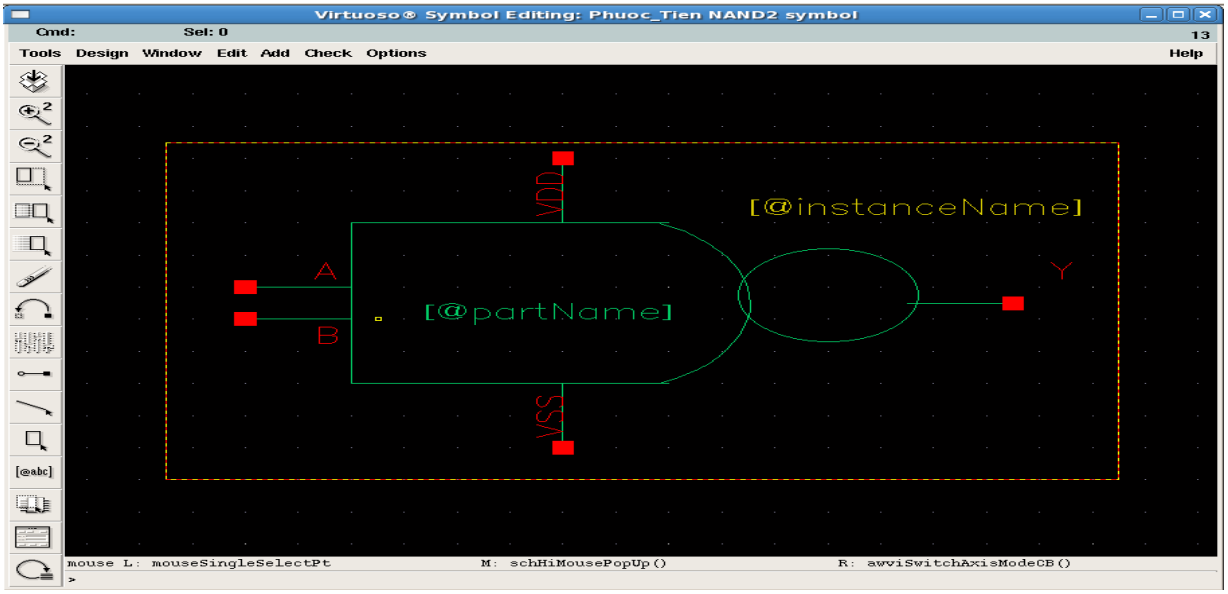
❖ **<u>Nhận xét:</u>** Kết quả mô phỏng đúng với bảng trạng thái cổng NOT .

3.6 CỔNG NAND 2 NGÕ VÀO

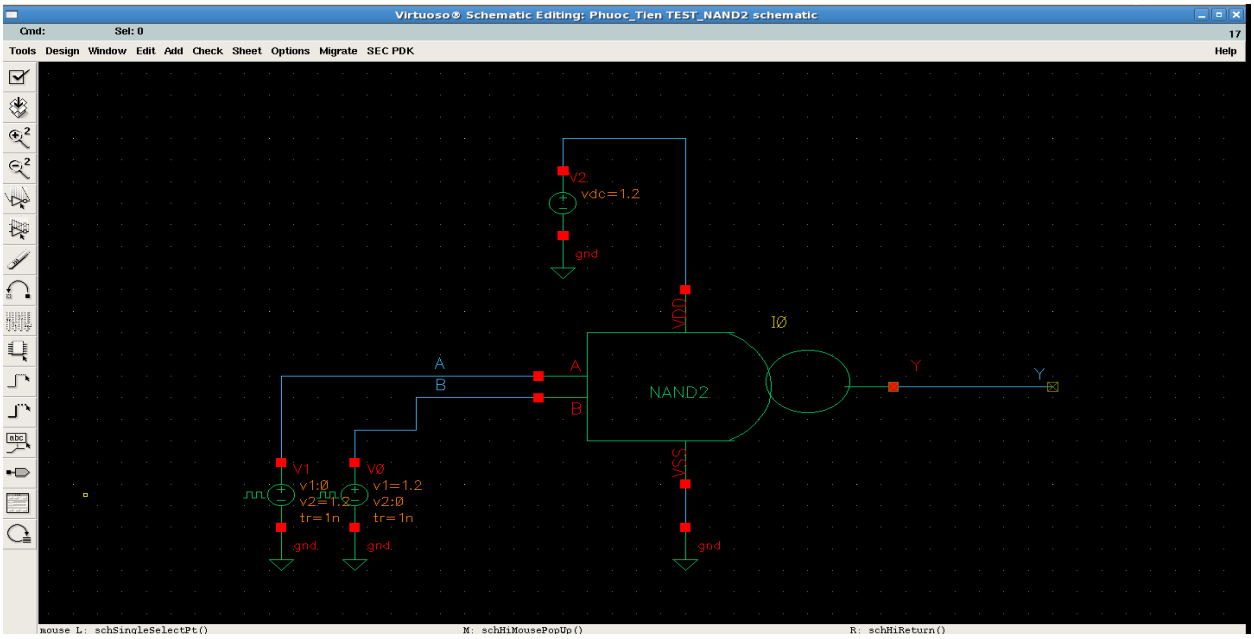
a. Sơ đồ nguyên lí.



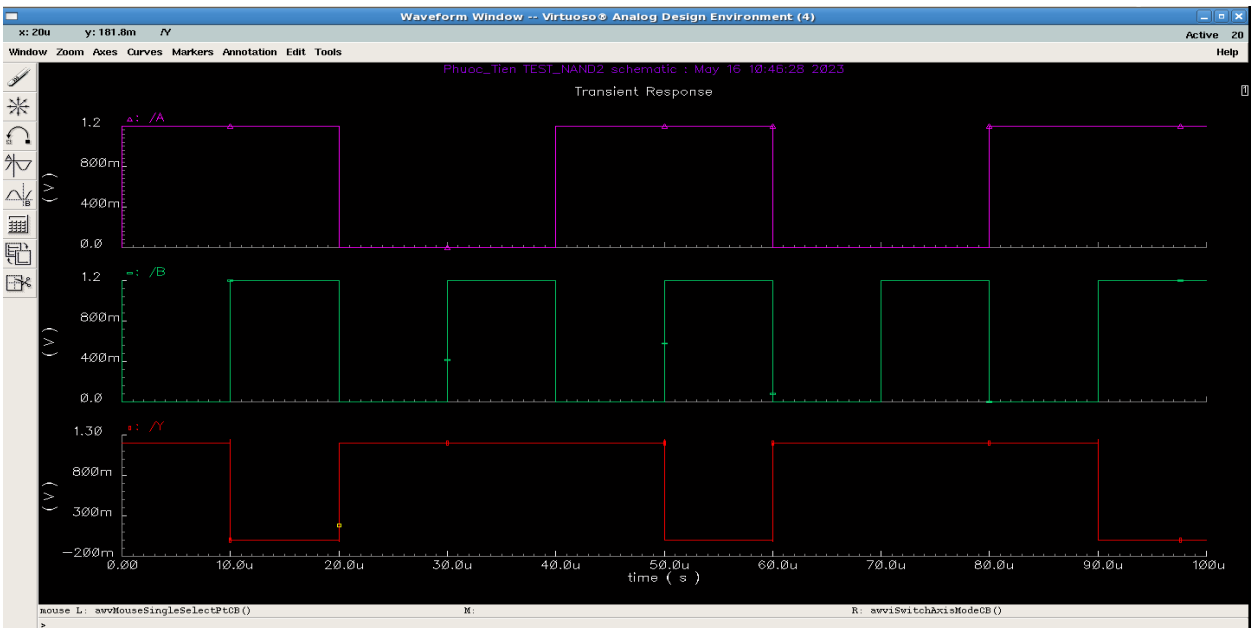
b. Đóng gói.



c. Test.



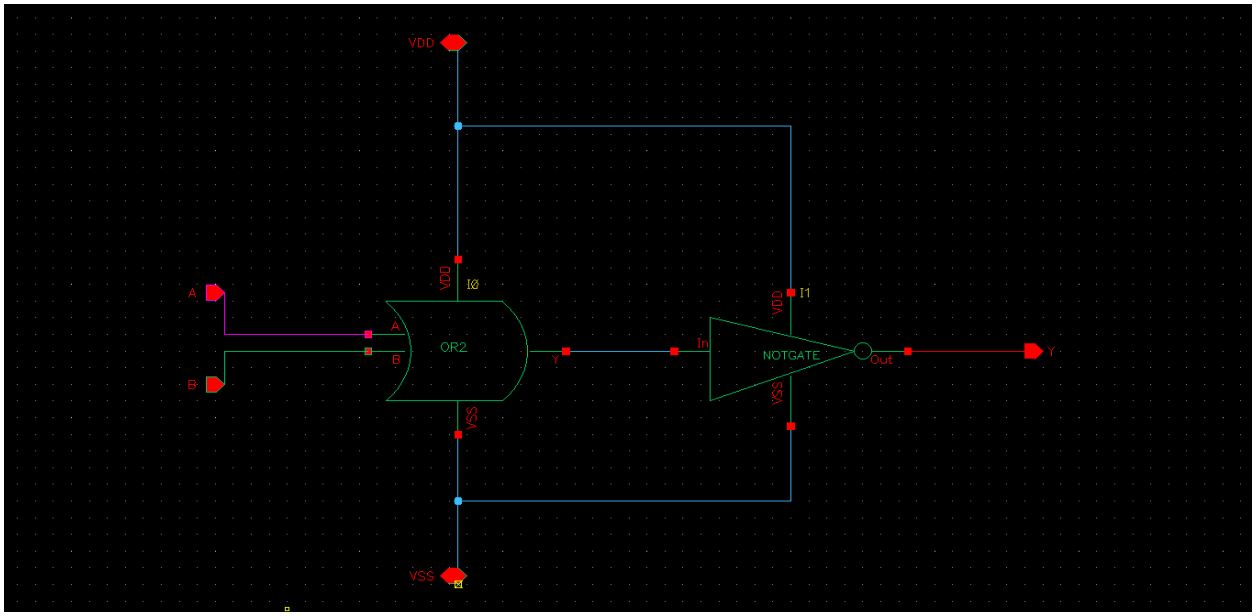
d. Dạng sóng.



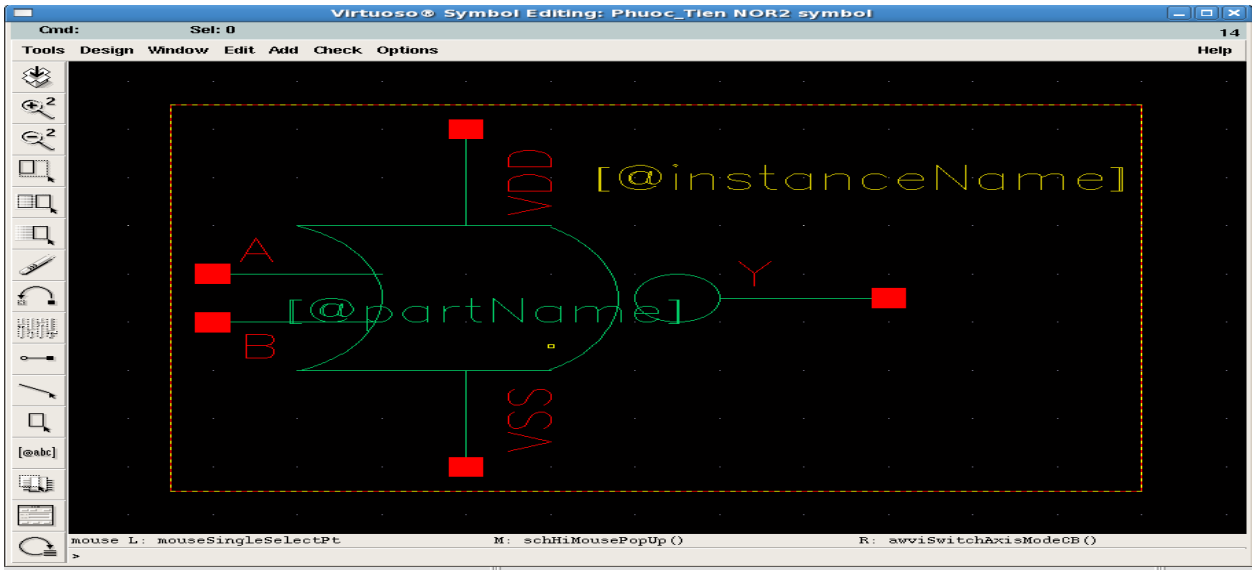
❖ **<u>Nhận xét</u>**: Kết quả mô phỏng đúng với bảng trạng thái cổng NAND 2 ngõ vào

3.7 CỔNG NOR 2 NGÕ VÀO

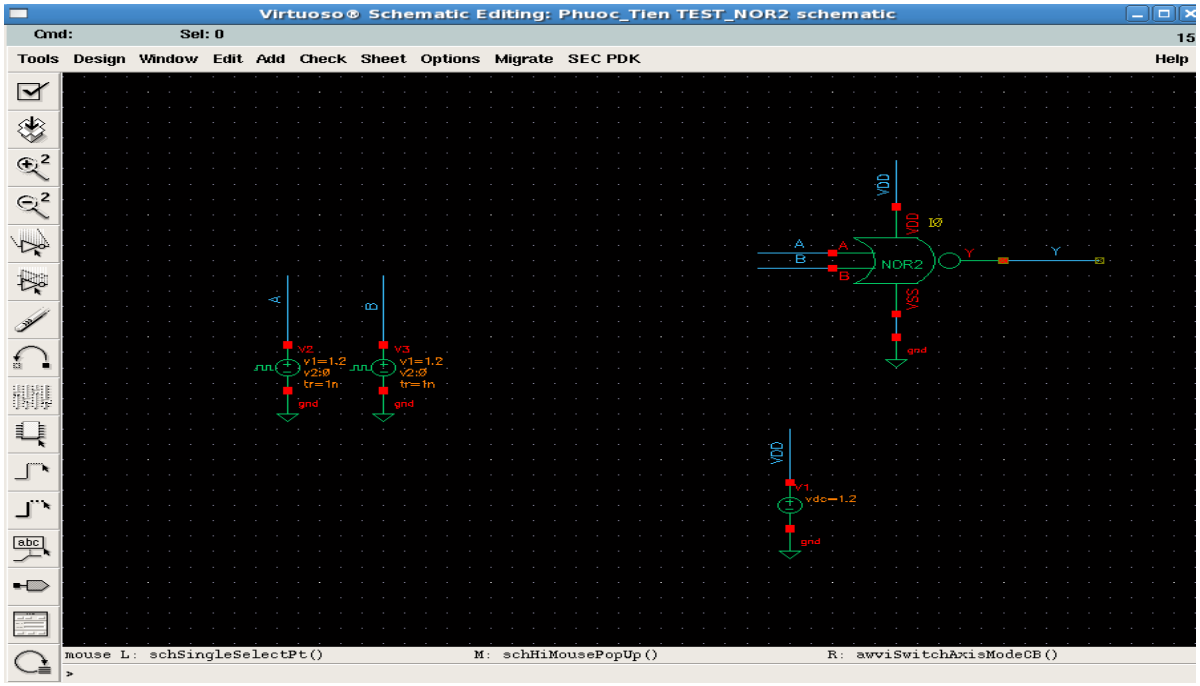
a. Sơ đồ nguyên lí.



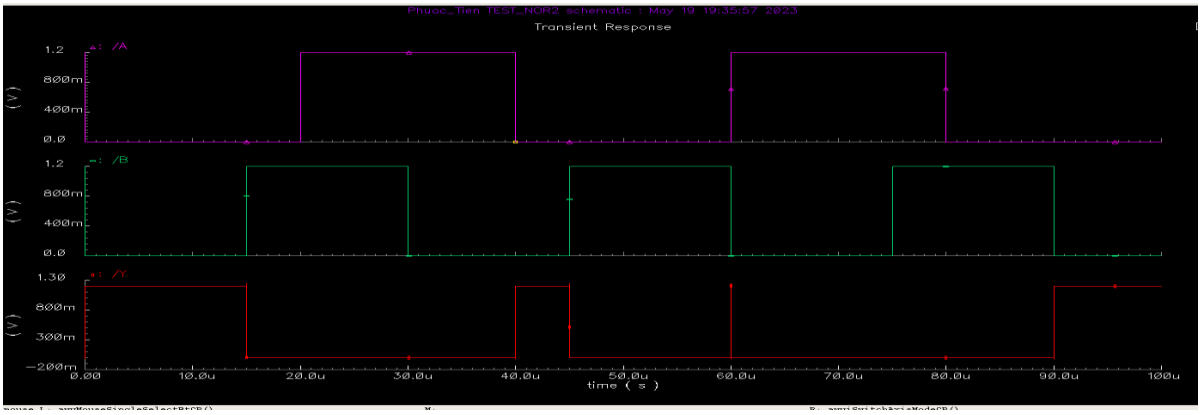
b. Đóng gói.



c. Test.



d. Dạng sóng.



❖ **<u>Nhận xét:</u>** Kết quả mô phỏng đúng với bảng trạng thái cổng NOR 2 ngõ vào.

3.8 KẾT LUẬN.

Sau khi so sánh giữa kết quả mô phỏng và bảng trạng thái của các cổng logic thì kết quả đúng.

BÀI 4. THIẾT KẾ, TÍNH CÔNG SUẤT TIÊU THỤ MỘT SỐ MẠCH TỔ HỢP.

4.1 MỤC TIÊU.

Vận dụng các cổng locgic được thiết kế ở phần trước để nghiên cứu và đánh giá cách thức hoạt động của các mạch cộng, trừ, nhân để tính toán các công suất tiêu thụ.

4.2 MẠCH CỘNG 8 BIT TỪ CÁC MẠCH CỘNG 1 BIT TOÀN PHẦN.

4.2.1. Sơ đồ nguyên lý.

4.2.1.1 Mạch cộng 1 bit toàn phần

A	B	C_{in}	SUM	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Bảng 4.1: Bảng trạng thái mạch cộng toàn phần 1 bit

- Với A, B : Ngõ vào
  - C_{in} : Số nhớ của lần cộng trước đó
  - SUM : Tổng hiện tại

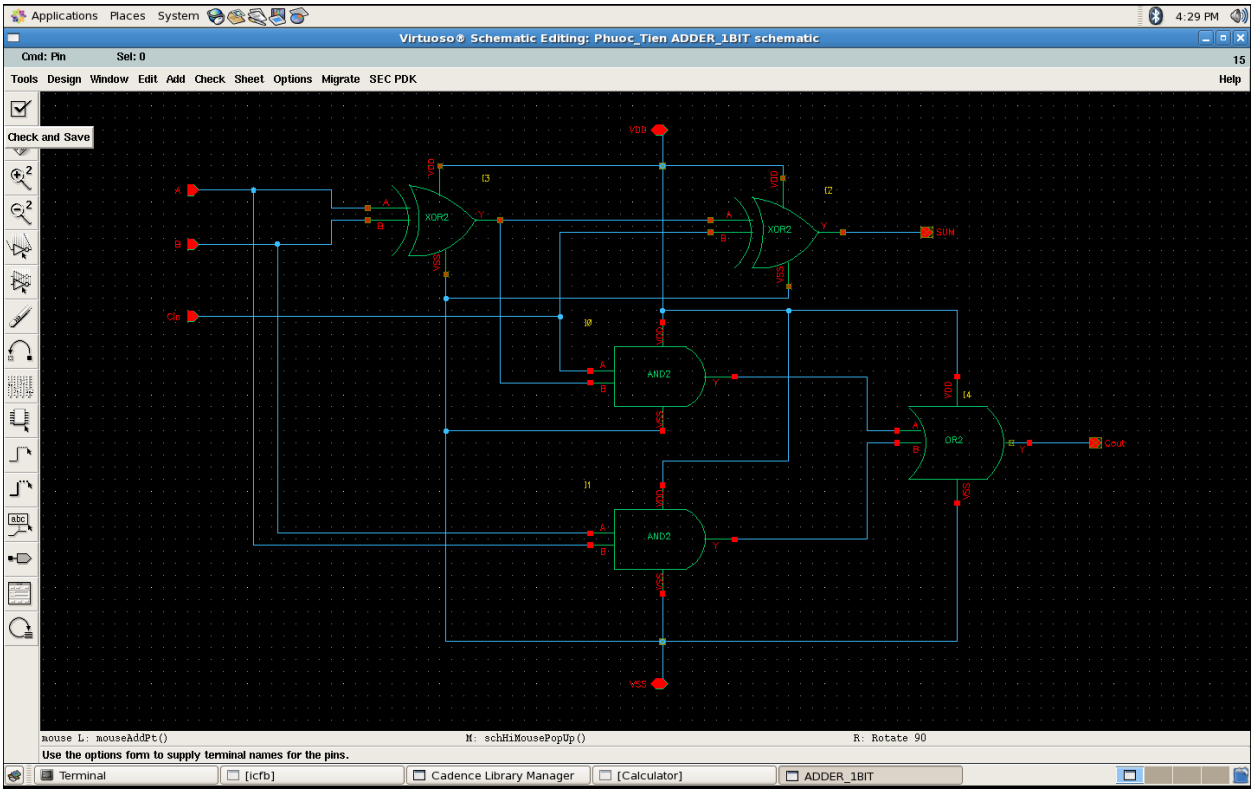
- C_{out} : Số nhớ của lần cộng hiện tại

Từ bảng 3.16 ta có được các biểu thức khi rút gọn bằng phương pháp dùng bìa các nô:

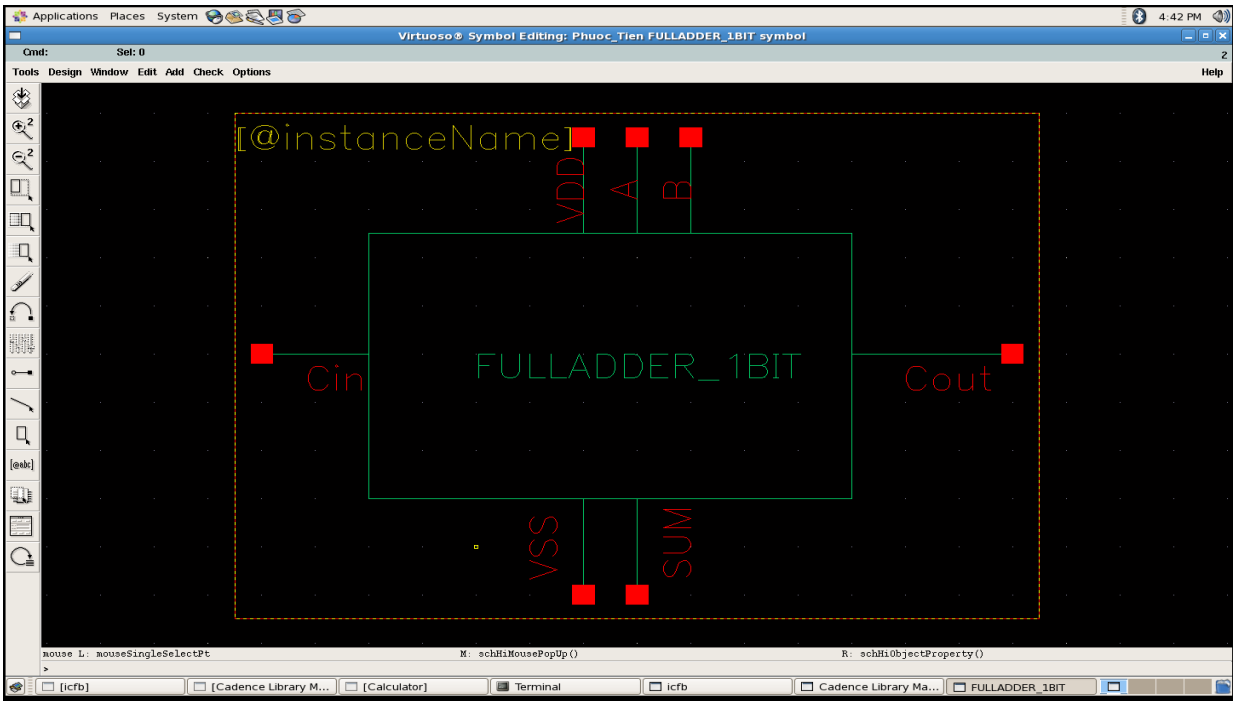
$SUM = A \oplus B \oplus C_{in}$ (1)

$C_{out} = A.B + C_{in}(A + B)$ (2)

- Từ (1) và (2) ta có được sơ đồ nguyên lí của mạch cộng toàn phần 1 bit như sau:



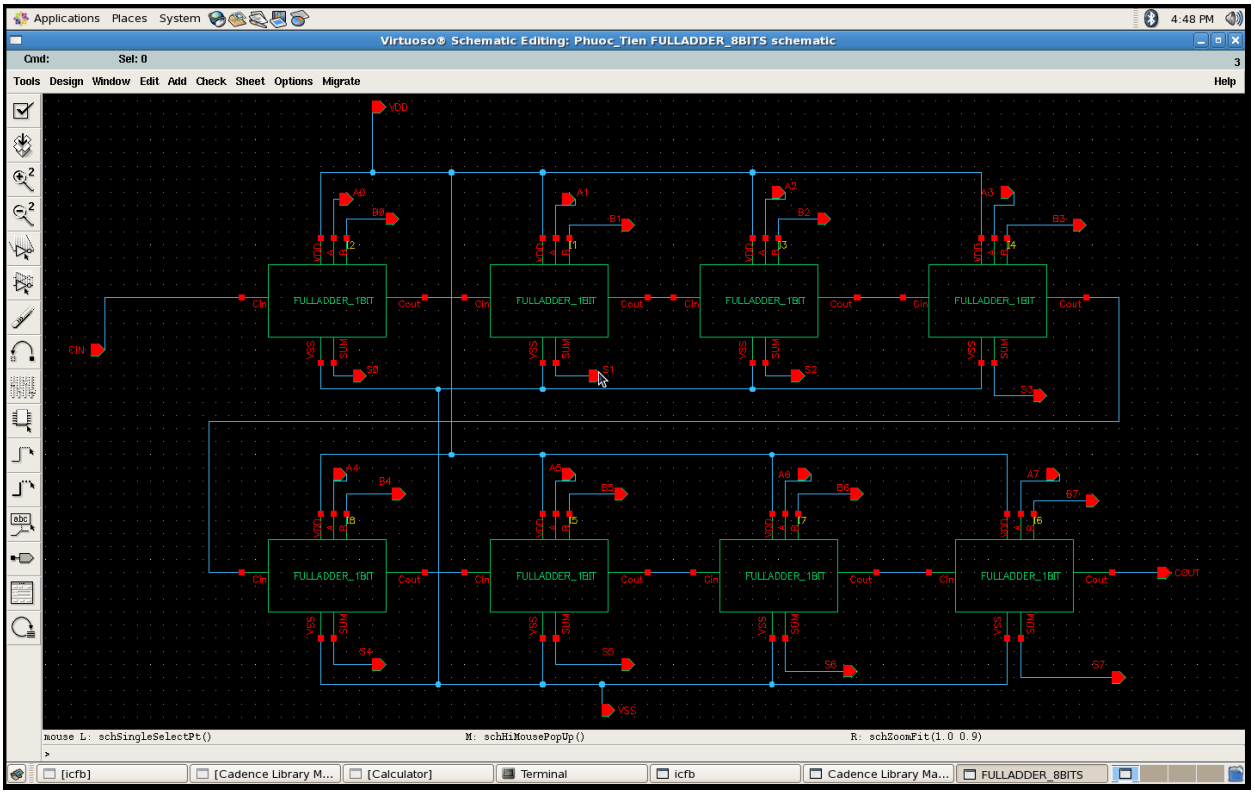
Hình 4.1. Sơ đồ nguyên lí mạch cộng 1 bit toàn phần



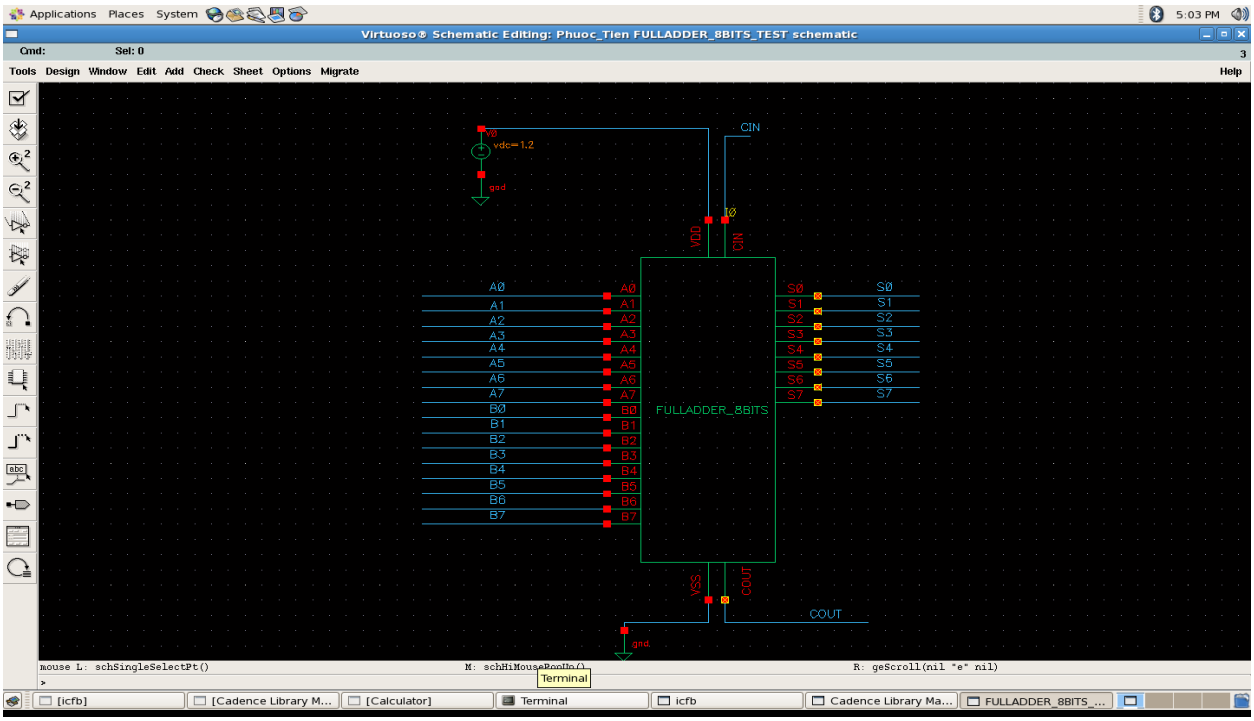
Hình 4.2. Sơ đồ nguyên lí mạch cộng 1 bit toàn phần đã được đóng gói

4.2.1.2 Mạch cộng nhị phân 8 bit từ các bộ cộng 1 bit toàn phần

Tiếp theo để thực hiện phép cộng hai số nhị phân 8 bit ta sử dụng 8 bộ FullAdder 1bit ghép nối tiếp với nhau

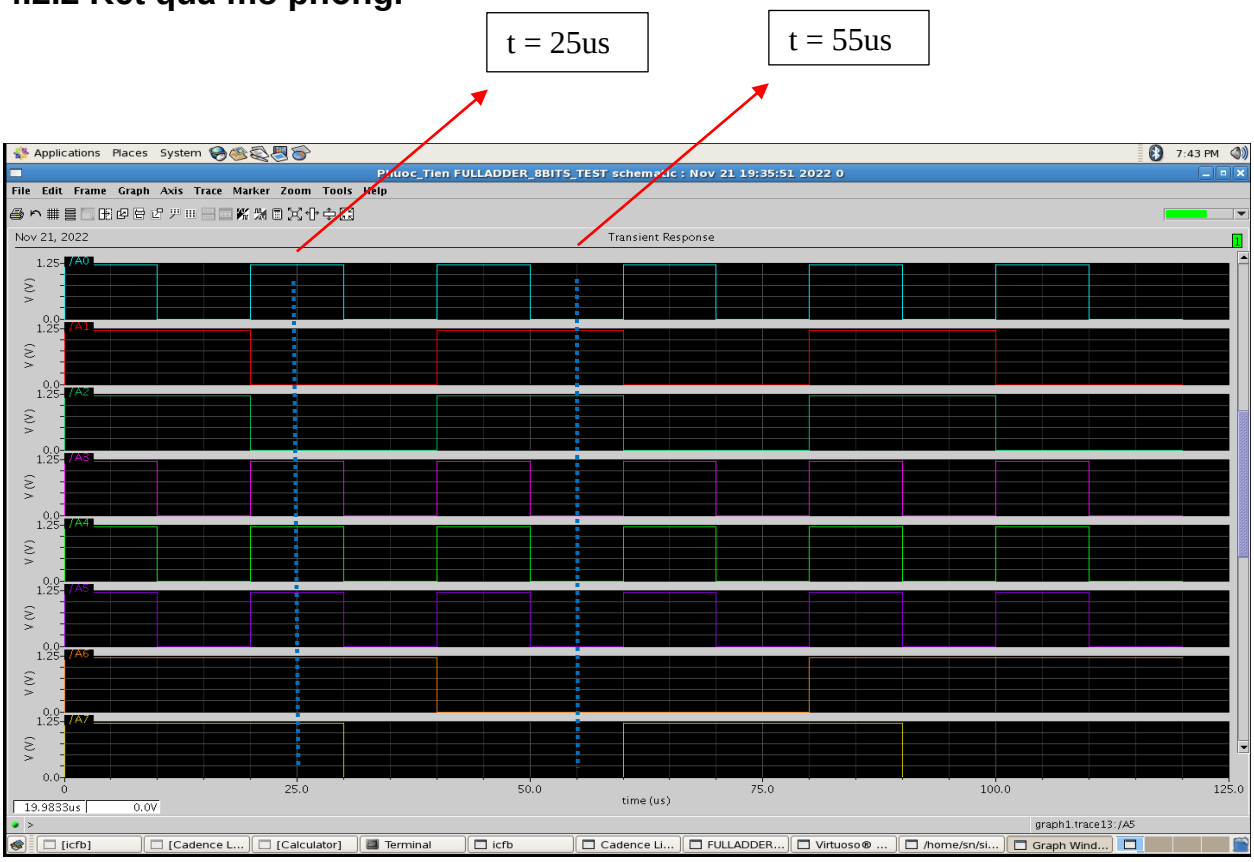


Hình 4.3. Sơ đồ nguyên lí mạch cộng 8 bit toàn phần

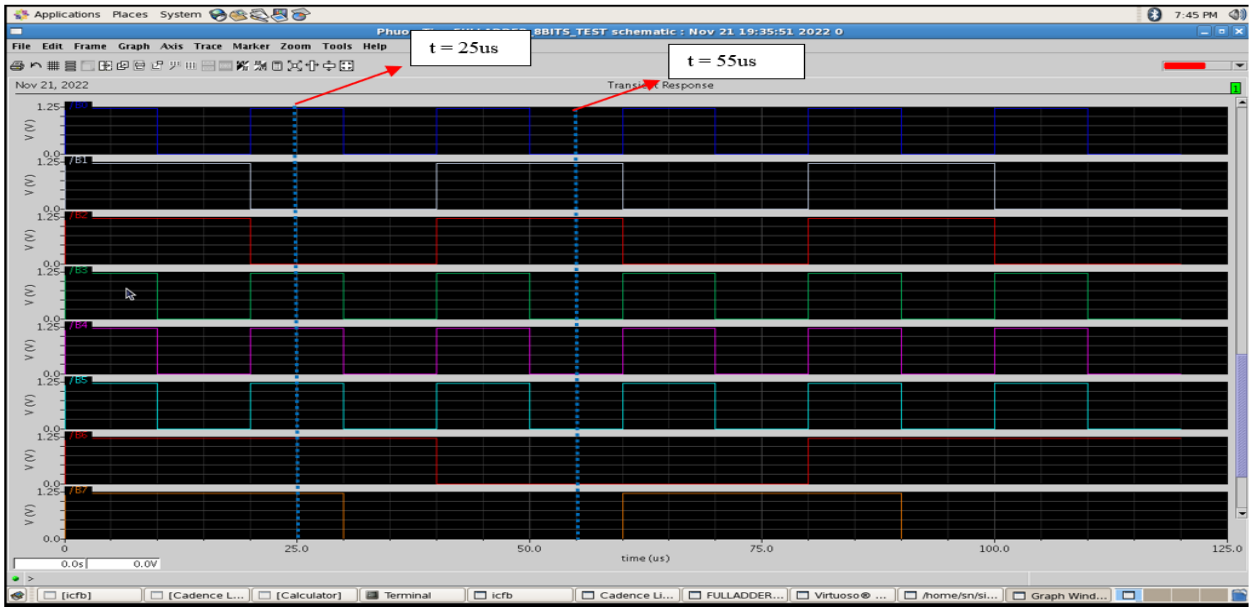


Hình 4.4. Sơ đồ nguyên lí mạch cộng 8 bit toàn phần đã được đóng gói

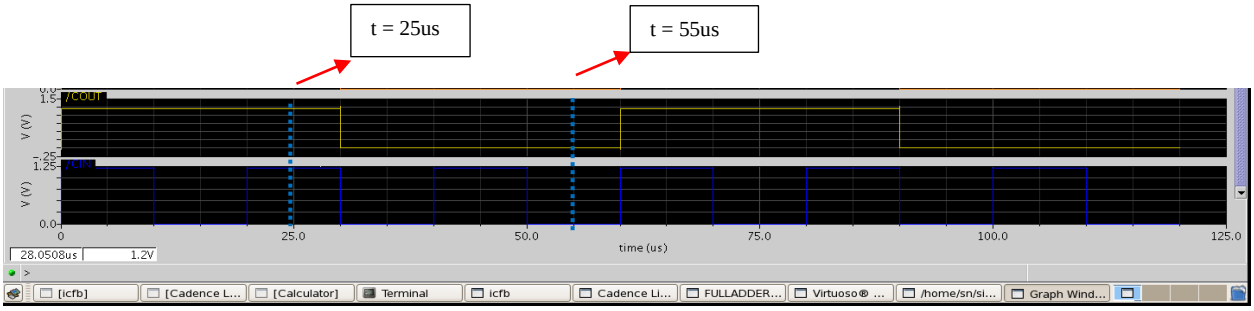
4.2.2 Kết quả mô phỏng.



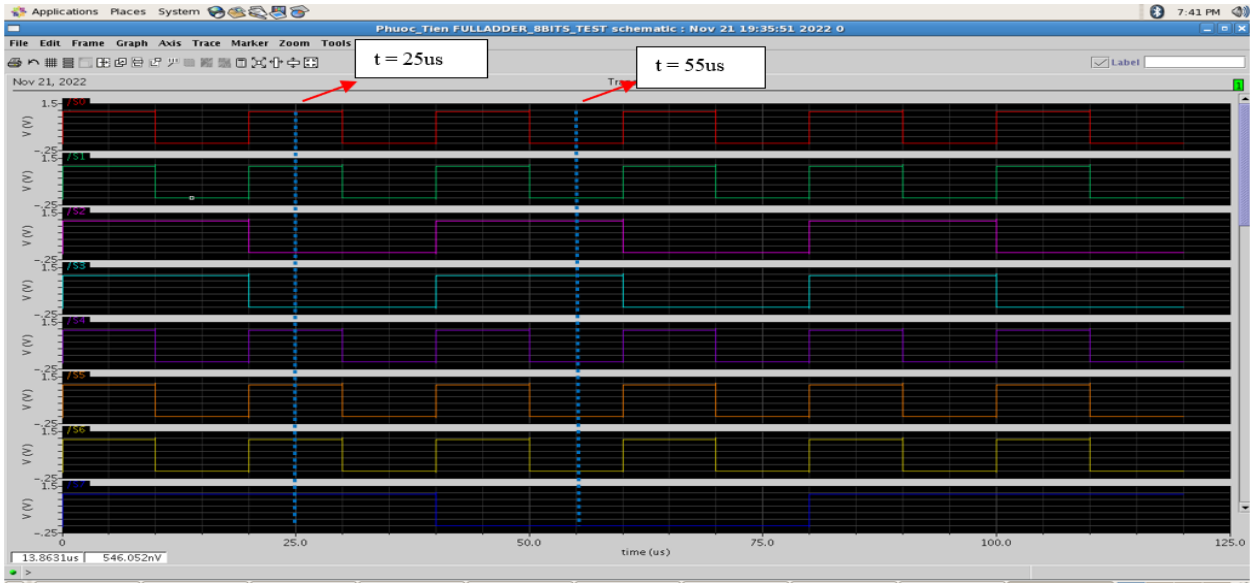
Hình 4.5. Kết quả mô phỏng dạng sóng ngõ vào A mạch cộng 8 bit



Hình 4.6. Kết quả mô phỏng dạng sóng ngõ vào 8 mạch cộng 8 bit



Hình 4.7. Kết quả mô phỏng dạng sóng số nhớ Cin-Cout mạch cộng 8 bit



Hình 4.8. Kết quả mô phỏng dạng sóng ngõ ra S mạch cộng 8 bit

	7	6	5	4	3	2	1	0	
	1	1	1	1	1	0	0	1	A
	1	1	1	1	1	0	0	1	B
								1	C_{in}
1	1	1	1	1	0	0	1	1	SUM
	C_{out} = 1								

Bảng 4.4. Bảng trạng thái cho trường hợp t = 25ns

	7	6	5	4	3	2	1	0	
	0	0	0	0	0	1	1	0	A
	0	0	0	0	0	1	1	0	B
								0	C_{in}
0	0	0	0	0	1	1	0	0	SUM
	C_{out} = 0								

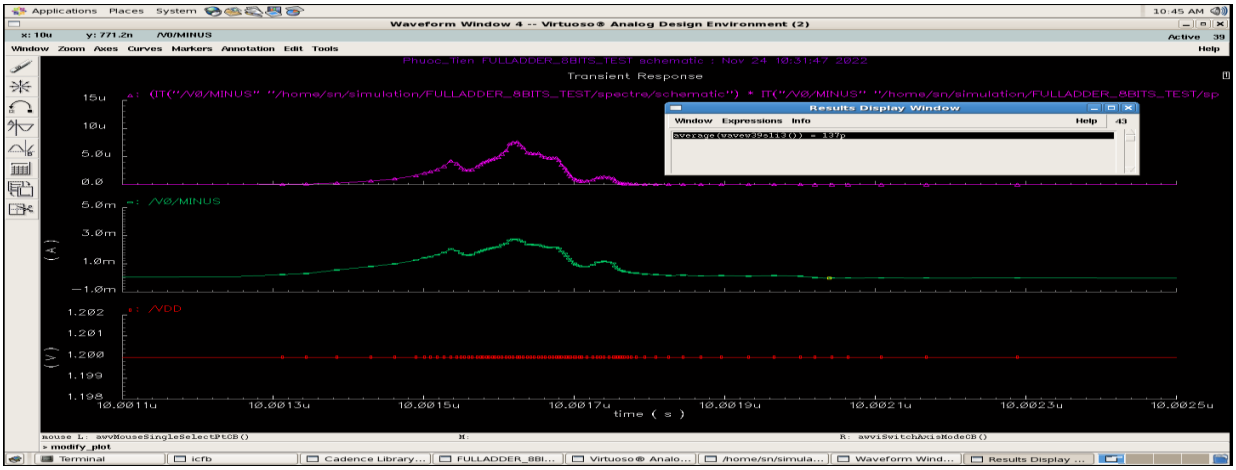
Bảng 4.5. Bảng trạng thái cho trường hợp t = 55ns

Giả thích: Khi thực hiện cộng các bit lại với nhau sẽ xuất hiện bit tràn tại bit ngoài cùng bên trái. Bit tràn này củng là bit nhớ Cout.

4.2.1. Kết luận.

Kết quả mô phỏng đúng với bảng trạng thái của mạch cộng được nêu ra ở bảng 4.1

4.2.3 Kết quả mô phỏng công suất tiêu thụ



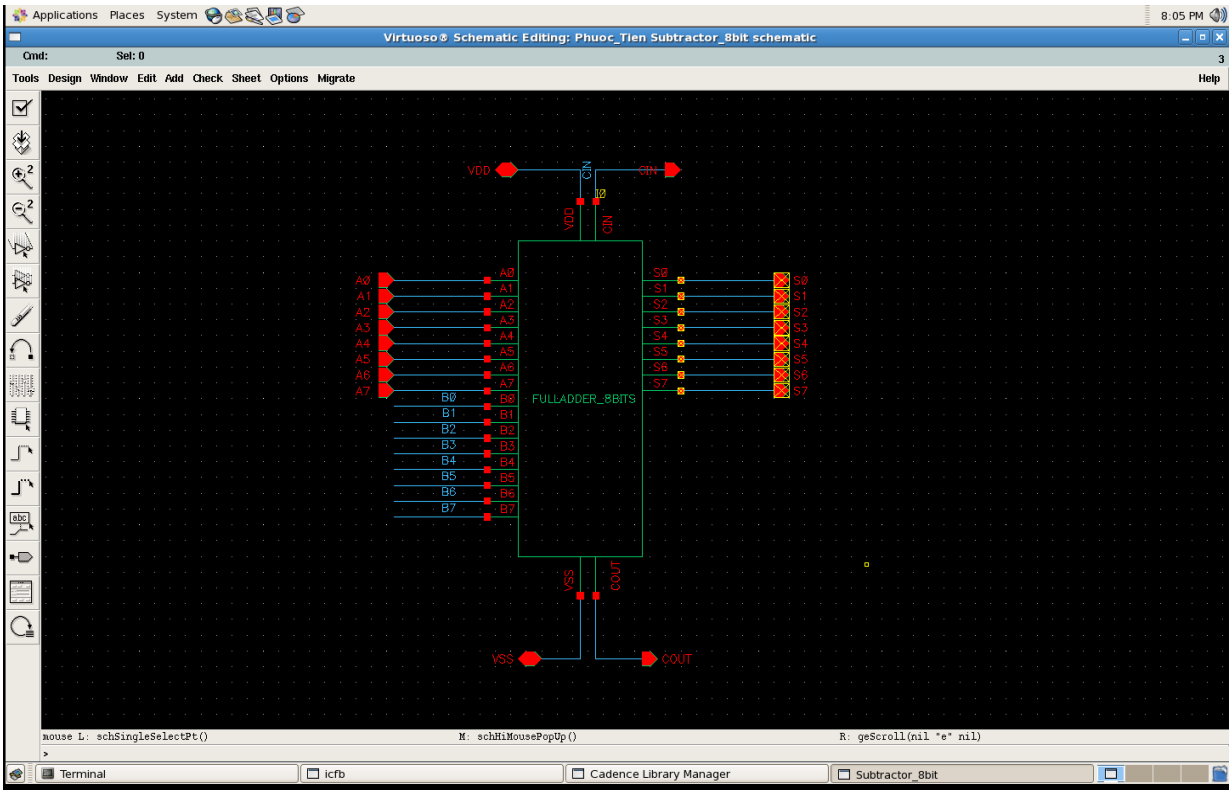
Hình 4.9. Kết quả mô phỏng công suất tiêu thụ trung bình của mạch cộng 8 bit

Từ hình 4.9 công suất trung bình là 137pW được tính bằng trị trung bình của công suất tức thời tại tất cả thời điểm.

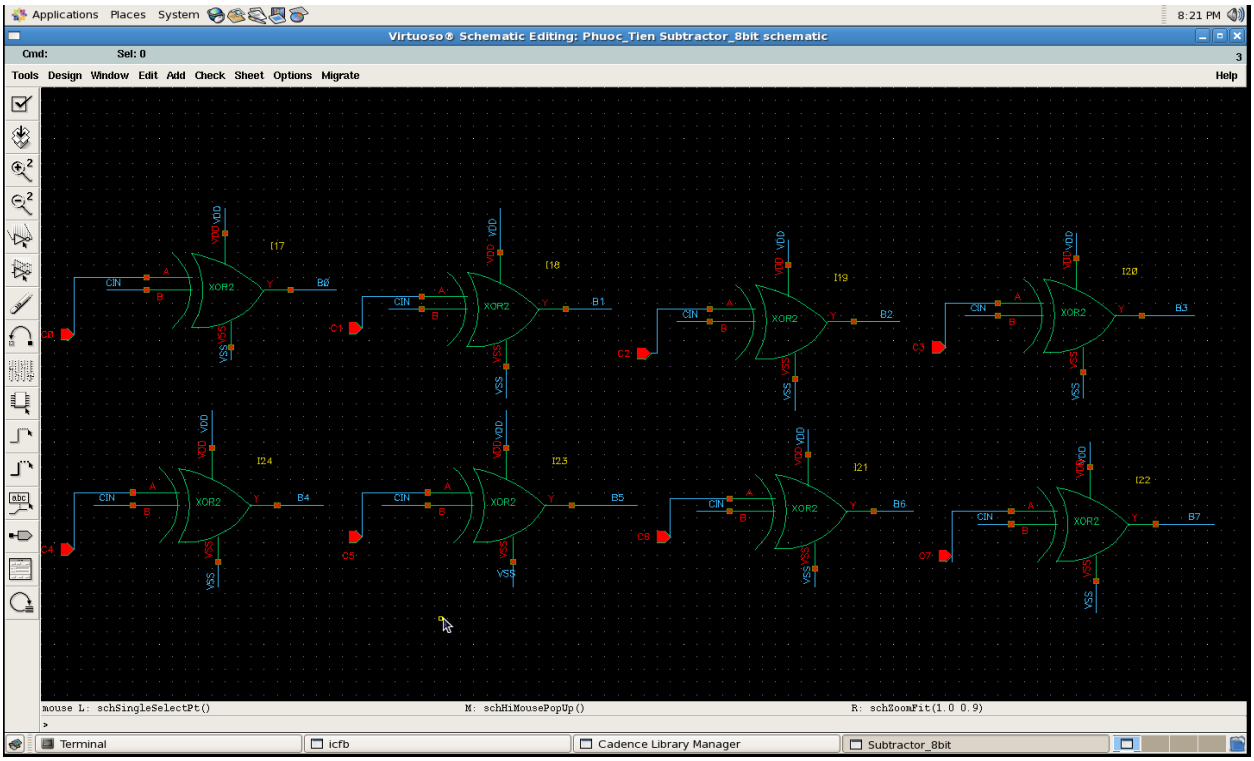
4.3 MẠCH TRỪ 8 BIT TỪ MẠCH CỘNG 8 BIT

4.3.1 Sơ đồ nguyên lí

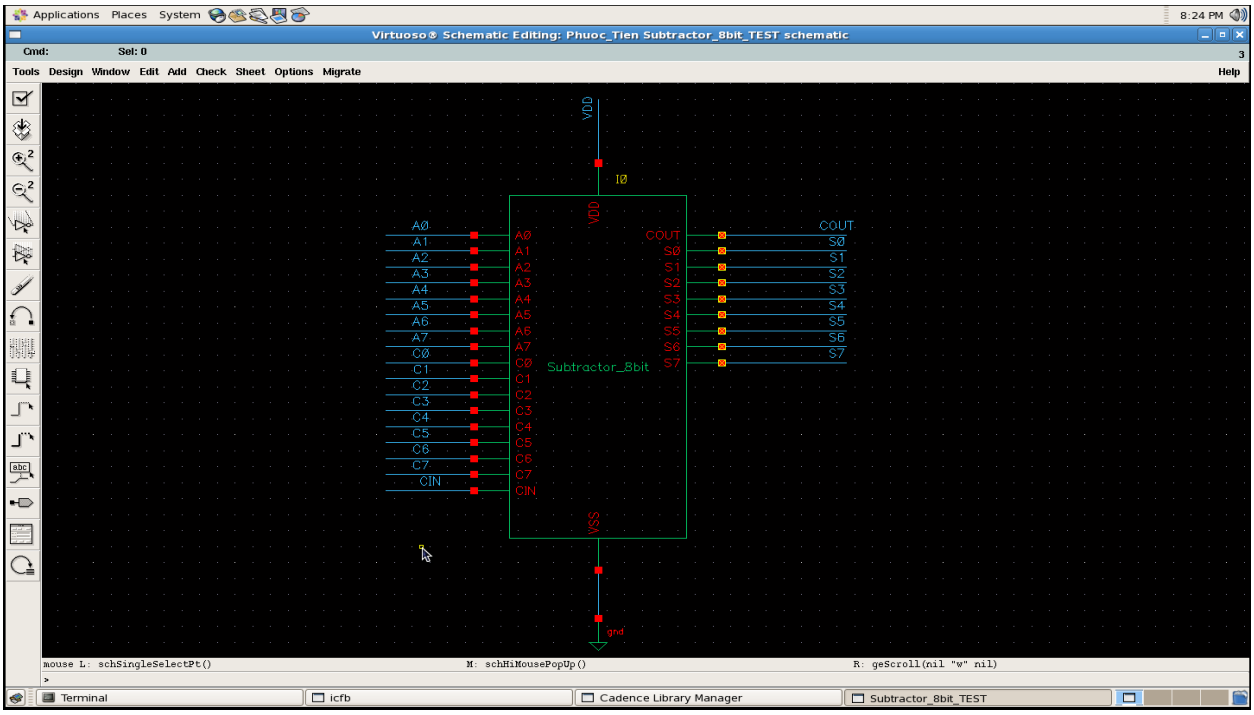
Để có mạch trừ 8 bit từ mạch cộng 8 bit toàn phần ta sử dụng kết hợp các cổng XOR ở bài 3.4 và mạch cộng toàn phần 8 bit đã được thiết kế ở phần 4.3 lại với nhau.



Hình 4.10. Sơ đồ nguyên lí mạch cộng 8 bit toàn phần đã được thiết kế



Hình 4.11. Sơ đồ nguyên lí các cổng XOR



Hình 4.12. Sơ đồ nguyên lí mạch trừ 8 bit đã đóng gói

- Ta có các tín hiệu ngõ vào: A0 đến A7, C0 đến C7
- Tín hiệu vào Cin là một tín hiệu cho phép

▪ Khi Cin = 0, các cổng EXOR có 1 ngõ ở thấp nên cho số C qua không bị đảo, tức là mạch thực hiện phép cộng.Khi Cin = 1, các cổng EXOR có 1 ngõ ở cao nên hoạt động như 1 cổng NOT, số C bị đảo, khi này mạch thực hiện phép trừ bù 2

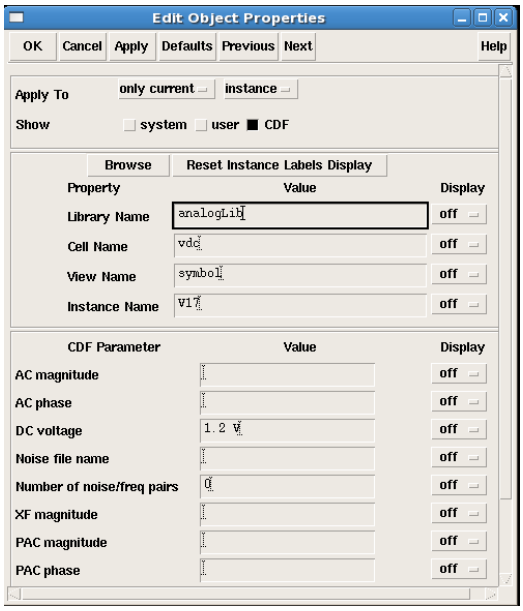
- Trường hợp 1: A<C

▪ $A – C = -[A + (C_2)]_2$ Khi thực hiện phép cộng với số bù 2, kết quả không có bit tràn là dấu hiệu của số âm, nên phải lấy bù 2 của kết quả vừa tính được và thêm dấu trừ phía trước để đọc được kết quả cuối cùng

- Trường hợp 2: A>C

▪ $A - C = A + C_2$ Khi thực hiện phép cộng với số bù 2 lần đầu phát hiện có bit tràn là dấu hiệu của số dương. Bỏ qua bit tràn và đọc kết quả.

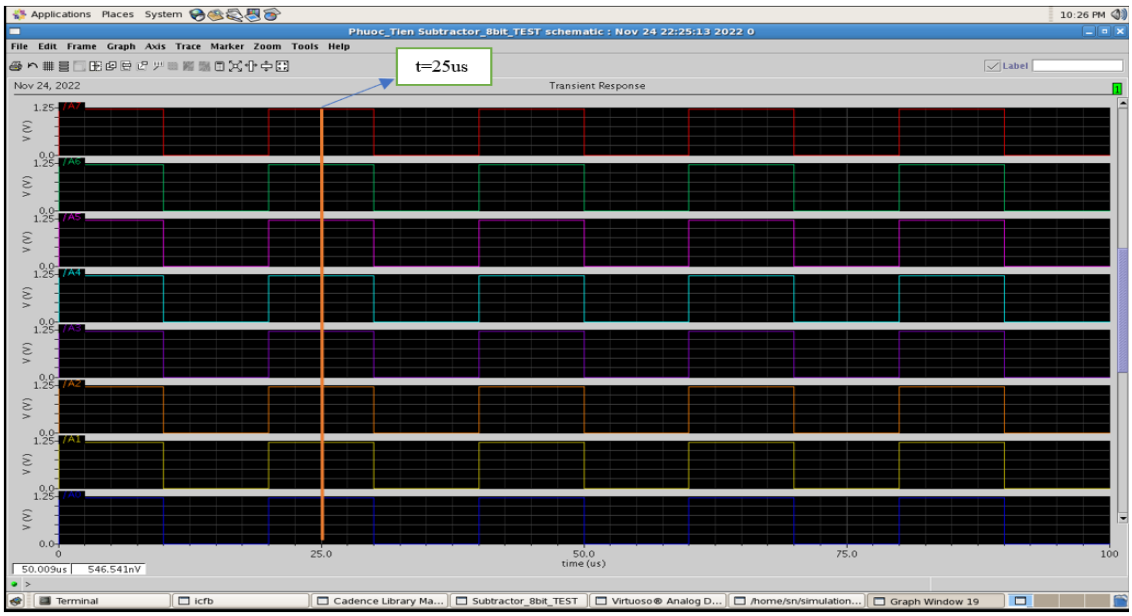
▪ Chú thích $()_2$: số bù 2



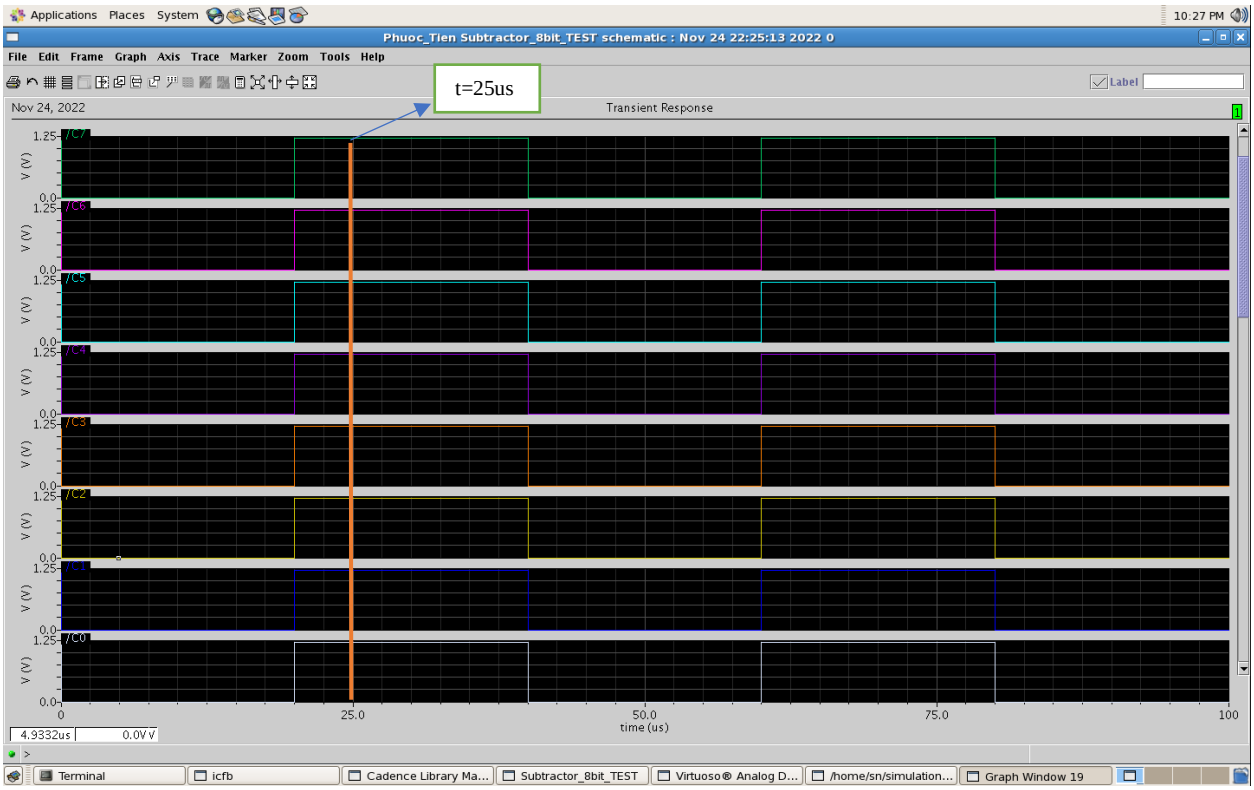
Hình 4.13 Thông số Cin

- Cin = 1.2 ở mức cao để cho phép mạch thực hiện phép tính trừ

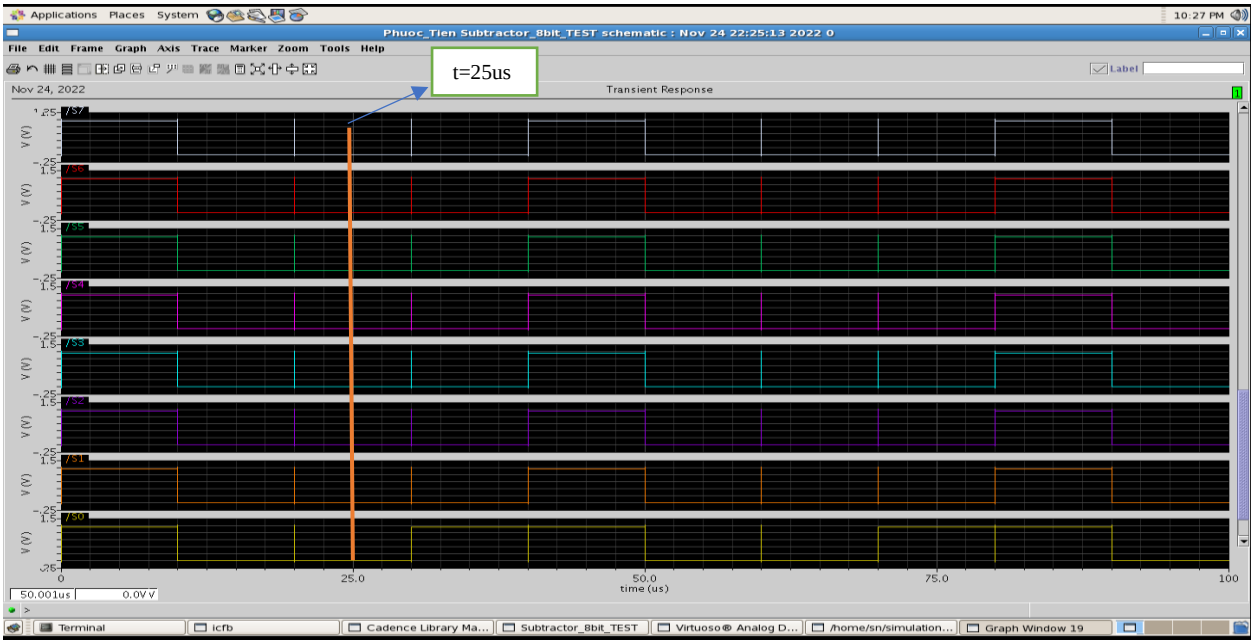
4.3.2 Kết quả mô phỏng



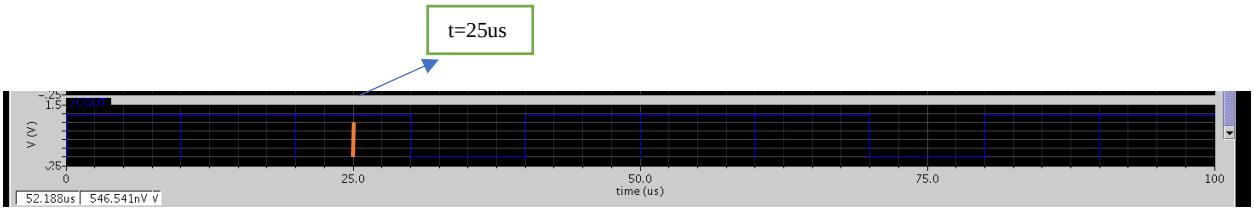
Hình 4.14. Kết quả mô phỏng dạng sóng ngõ vào A mạch mạch trừ



Hình 4.15. Kết quả mô phỏng dạng sóng ngõ vào C mạch mạch trừ



Hình 4.16. Kết quả mô phỏng dạng sóng ngõ ra S mạch trừ



Hình 4.17. Kết quả mô phỏng dạng sóng số nhớ Cout mạch trừ

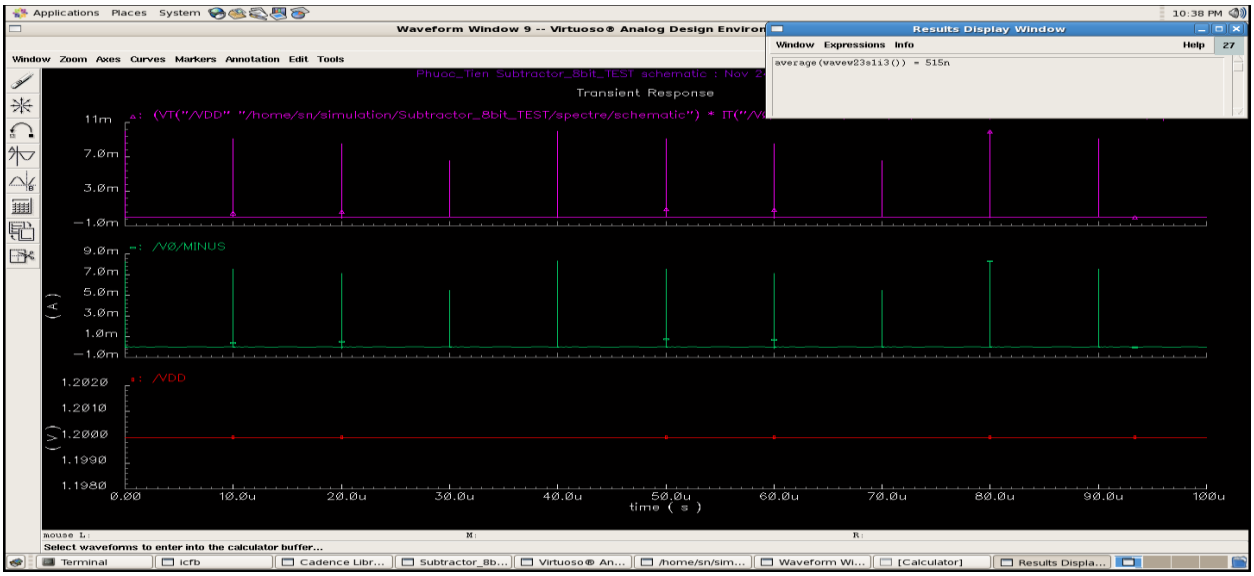
Bảng 4.8: Bảng trạng thái mạch trừ 8 bit khi t = 25us

	7	6	5	4	3	2	1	0	
	1	1	1	1	1	1	1	1	A
	1	1	1	1	1	1	1	1	C
	0	0	0	0	0	0	0	1	C_2
1	0	0	0	0	0	0	0	0	$A+C_2$
	Cout = 1								

Giải thích: Khi t = 25us thì A = 11111111 C = 11111111

A > B do đó khi trừ nhau sẽ có bit tràn kết quả là dương nên khi đọc kết quả sẽ bỏ qua bit tràn. Vì vậy kết quả cuối cùng S = 0, Cout = 1

4.3.3 Kết quả mô phỏng công suất tiêu thụ



Hình 4.18. Kết quả mô phỏng dạng sóng công suất tiêu thụ trung bình mạch trừ

Từ hình 4.18 công suất trung bình là 515nW được tính bằng trị trung bình của công suất tức thời tại tất cả thời điểm.

4.4 MẠCH NHÂN 4 BIT.

4.4.1 Sơ đồ nguyên lí.

Mạch nhân này có thể nhân một số nhị phân có kích thước 4 bit và cho kết quả có kích thước 8 bit vì kích thước bit của tích bằng tổng kích thước bit của số nhân và số bị nhân.

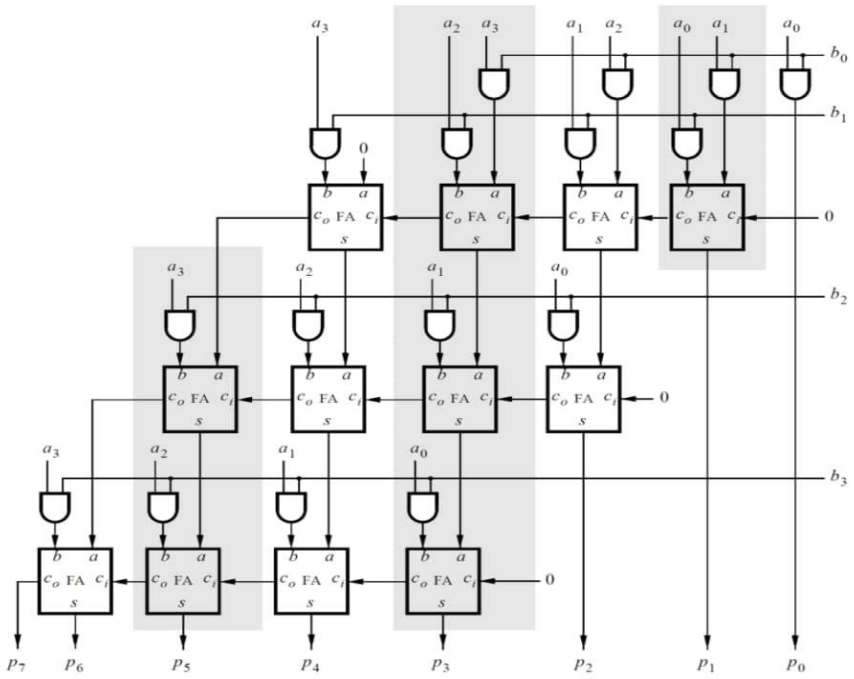
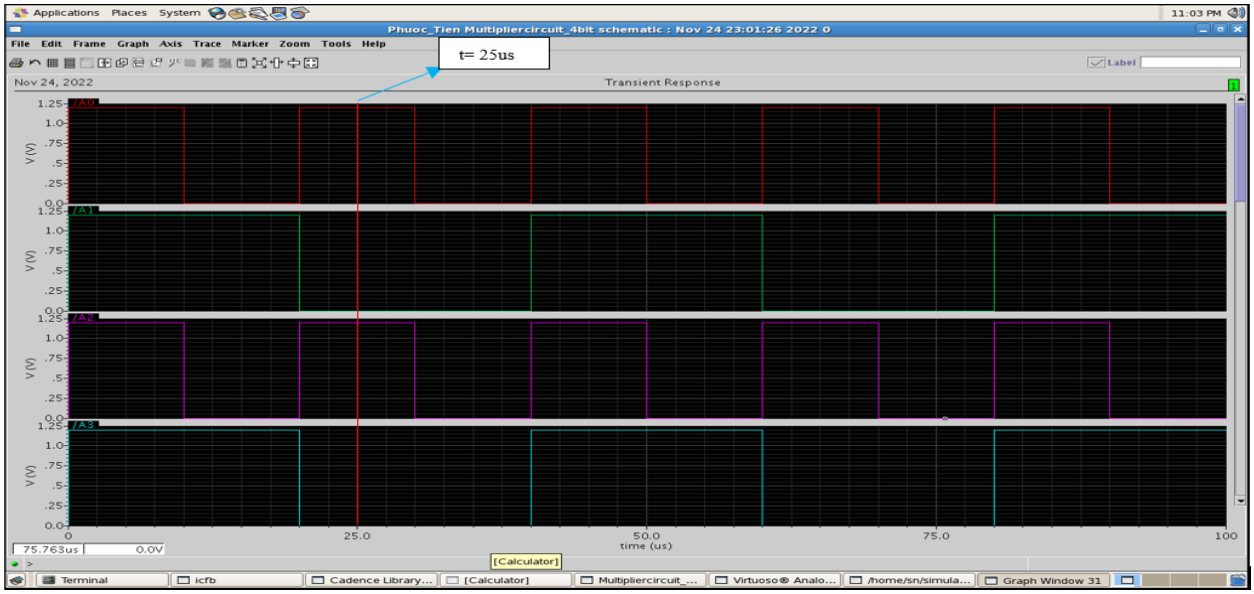


Fig. 3: A 4-bit multiplier circuit.

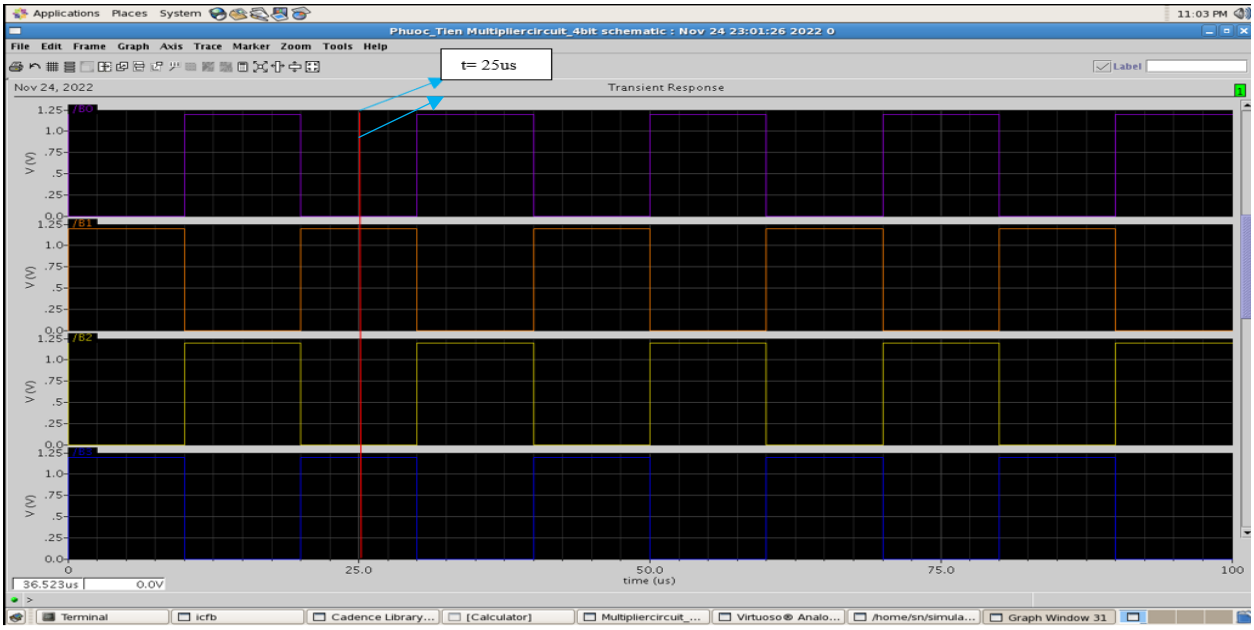
Hình 4.19. Sơ đồ nguyên lý mạch nhân 4 bit

- Mạch nhân 4 bit hình 4.19 có hai ngõ vào 4 bit A và B, một ngõ ra 8 bit là P

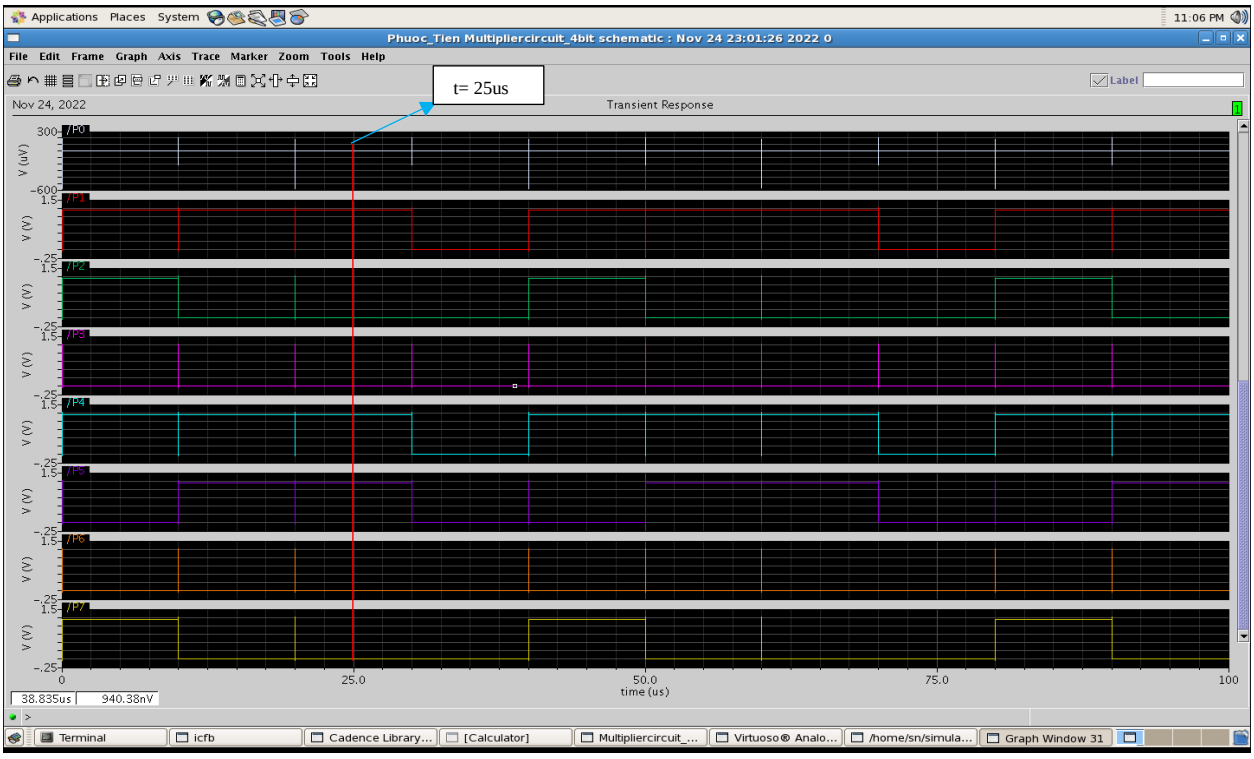
4.4.2 Kết quả mô phỏng



Hình 4.20. Kết quả mô phỏng dạng sóng ngõ vào A mạch nhân 4 bit



Hình 4.21. Kết quả mô phỏng dạng sóng ngõ vào B mạch nhân 4 bit



Hình 4.22. Kết quả mô phỏng dạng sóng ngõ ra P mạch nhân 4 bit.

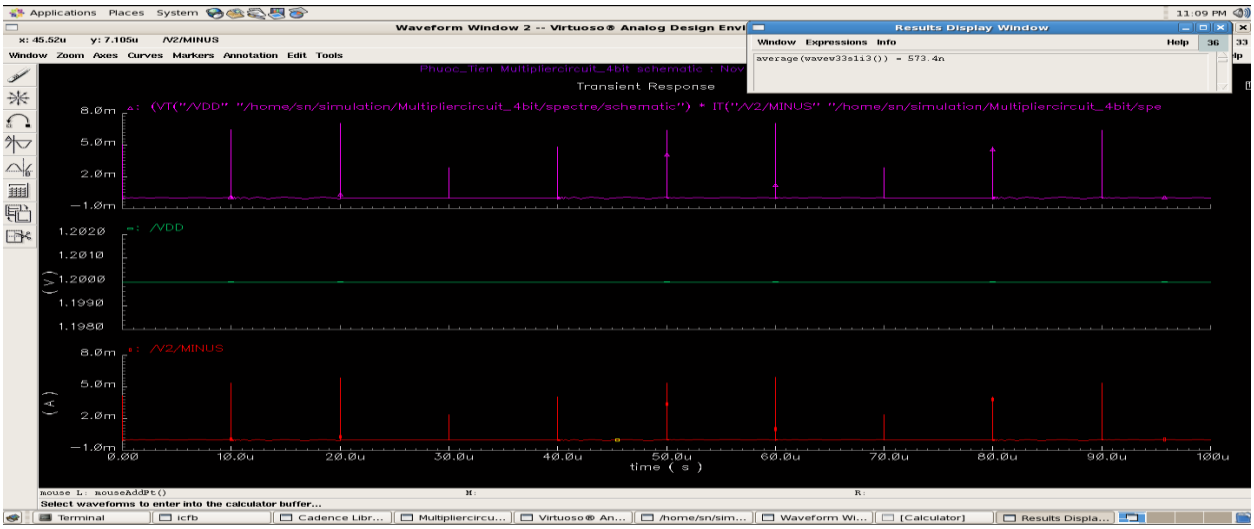
				3	2	1	0	
				0	1	0	1	A
				1	0	1	0	B
				0	0	0	0	
			0	1	0	1		
		0	0	0	0			
	0	1	0	1				
0	0	1	1	0	0	1	0	P

Bảng 4.11: Bảng trạng thái mạch nhân 4 bit khi t = 25us.

Giải thích:

Ta tiến hành nhân từng bit của B cho A. Sau đó cộng các bit lại theo hàng dọc. Kết quả cuối cùng là kết quả của mạch nhân 4 bit nhị phân.

4.4.3 Kết quả mô phỏng công suất tiêu thụ.

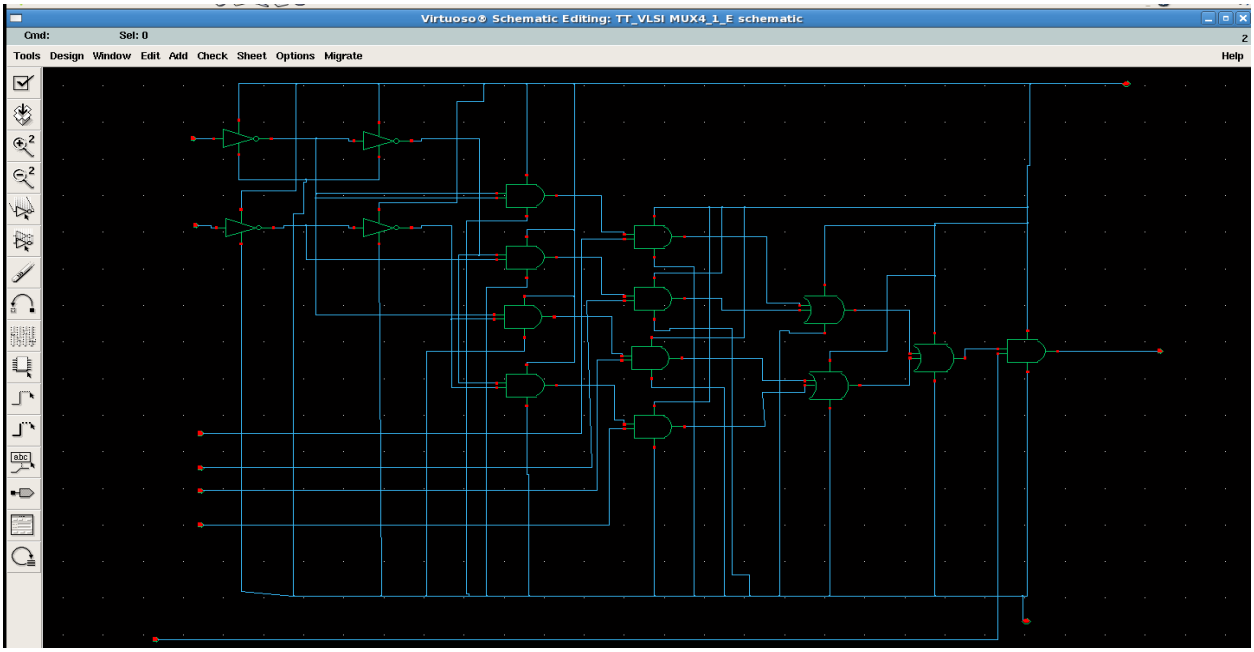


Hình 4.23. Dạng sóng công suất tiêu thụ trung bình mạch nhân 4 bit

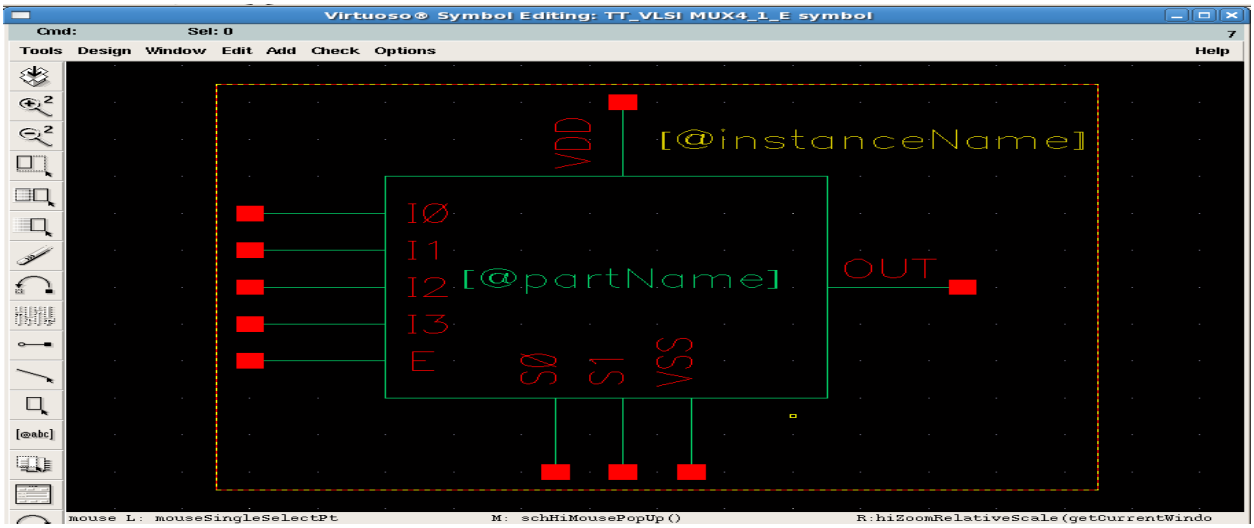
Từ hình 4.23 công suất trung bình là 573.4nW được tính bằng trị trung bình của công suất tức thời tại tất cả thời điểm.

4.5 MUX 4-1

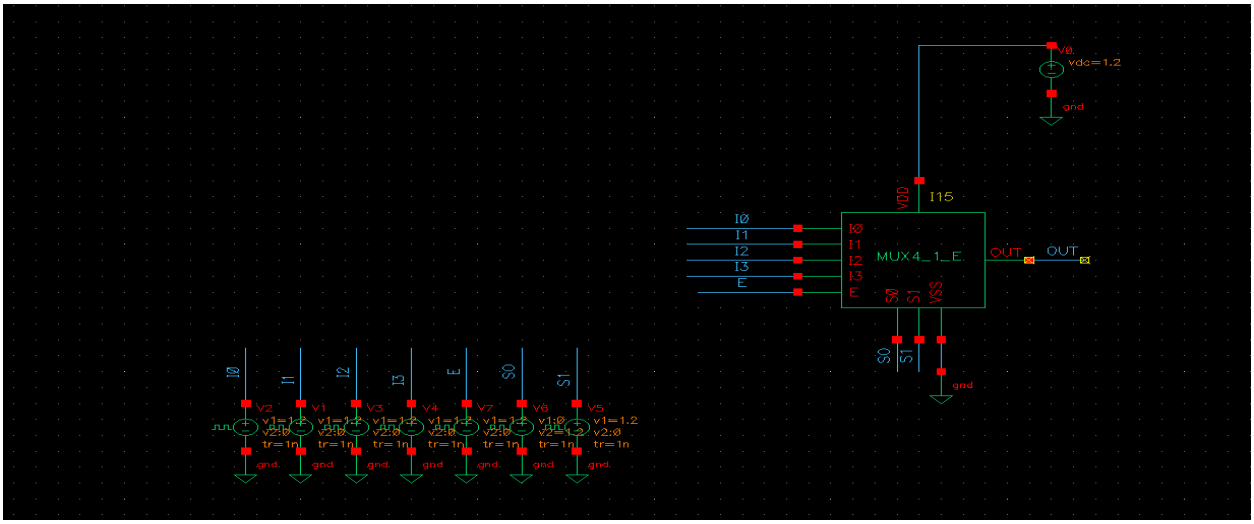
Sơ đồ nguyên lí.



b. Đóng gói.



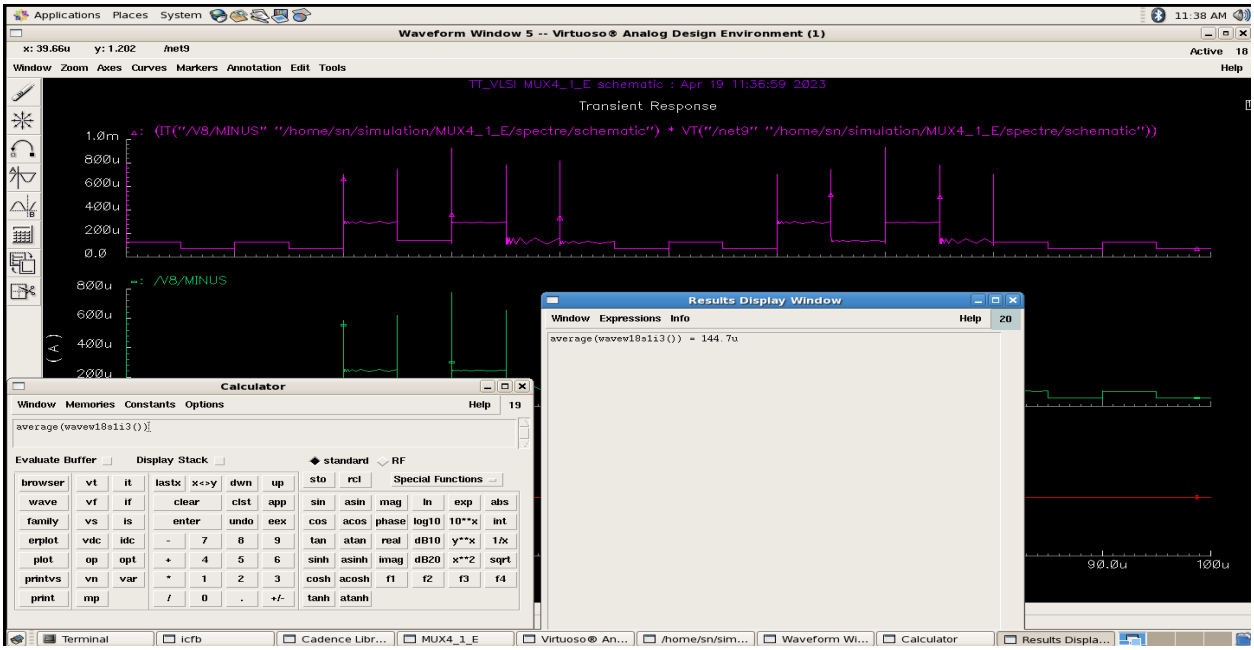
c. Test.



d. Dạng sóng.

❖ **<u>Nhận xét:</u>** Kết quả mô phỏng đúng với bảng trạng thái.

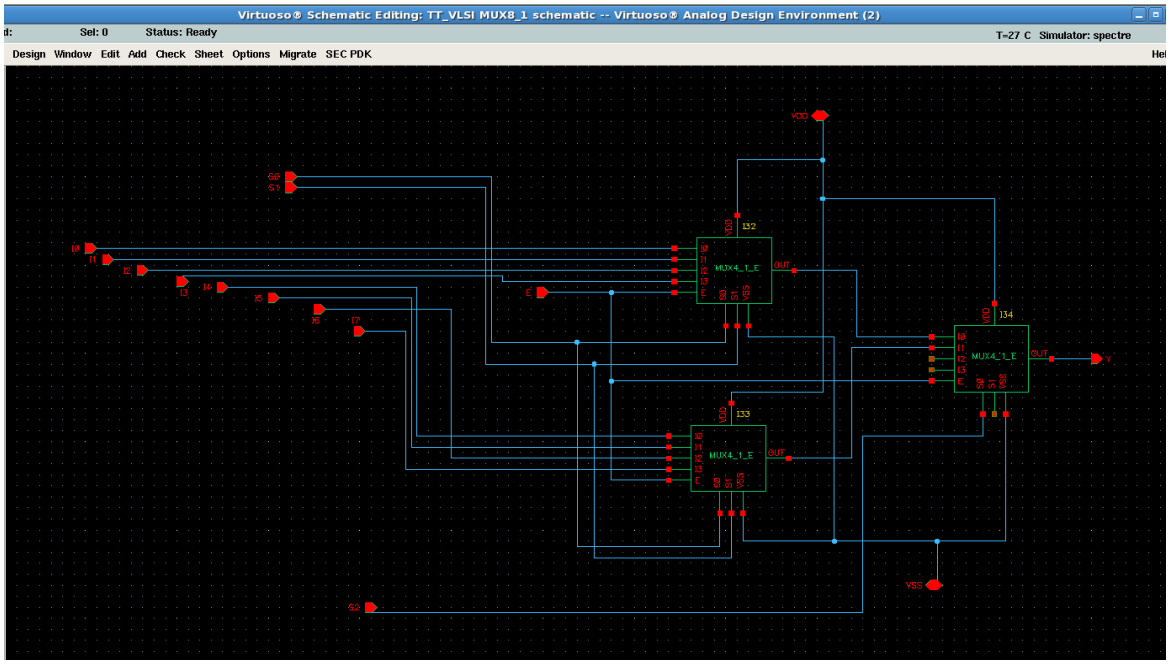
e. Công suất.



4.6 MUX 8-1

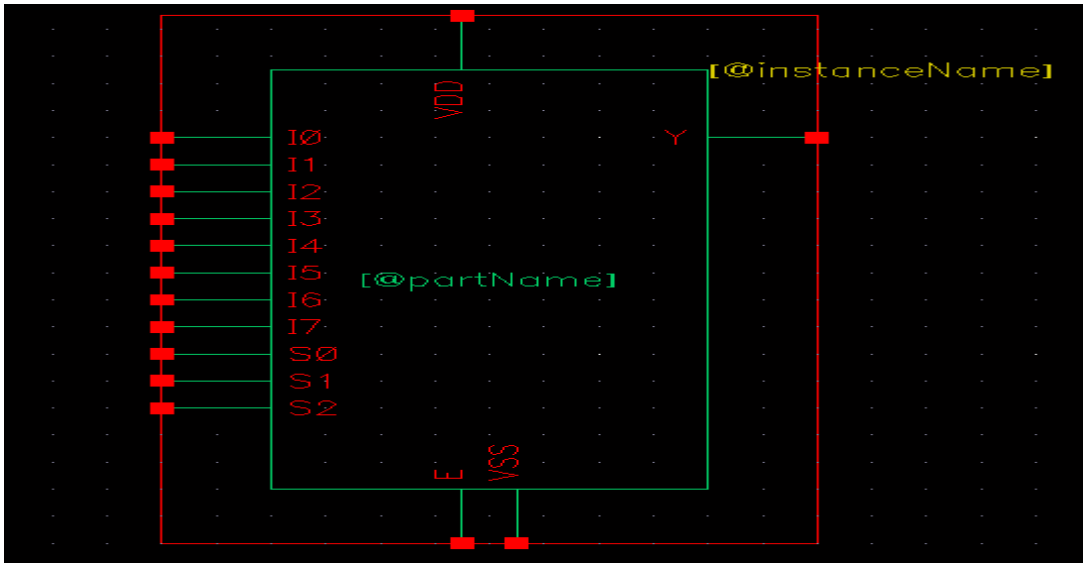
Sơ đồ nguyên lí.

Được ghép nối từ 3 mạch MUX4-1.



Hình 2.1. Sơ đồ nguyên lí mạch MUX 8-1.

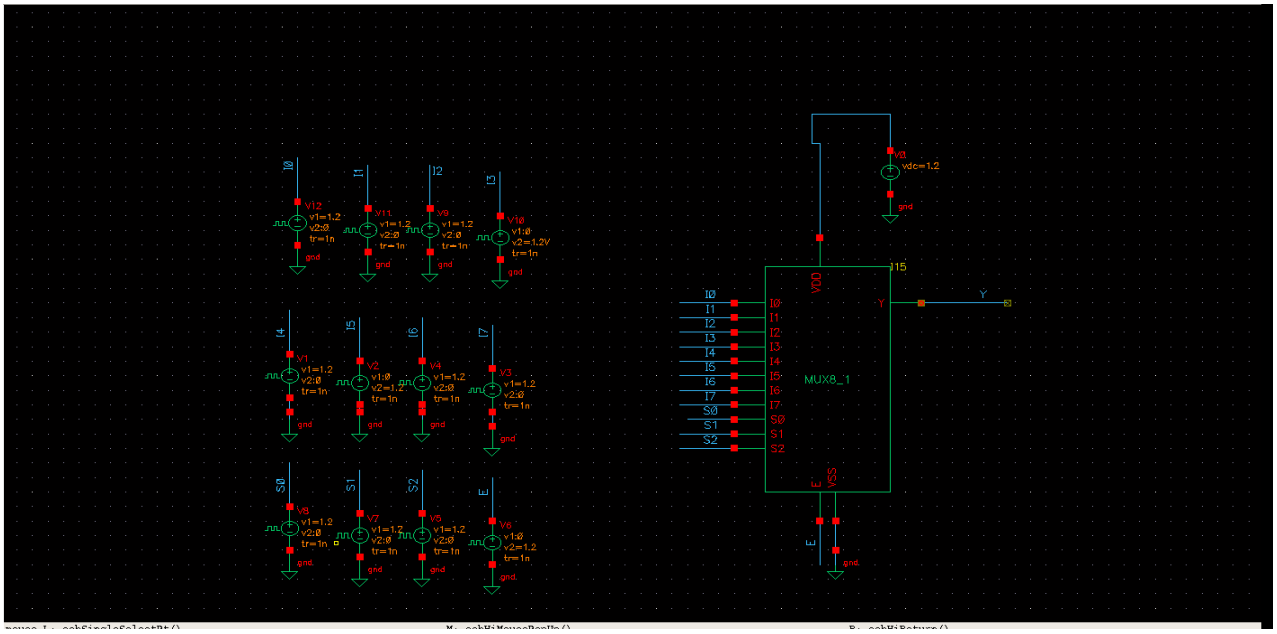
2.2 Đóng gói.



Hình 2.2. Đóng gói mạch MUX 8-1.

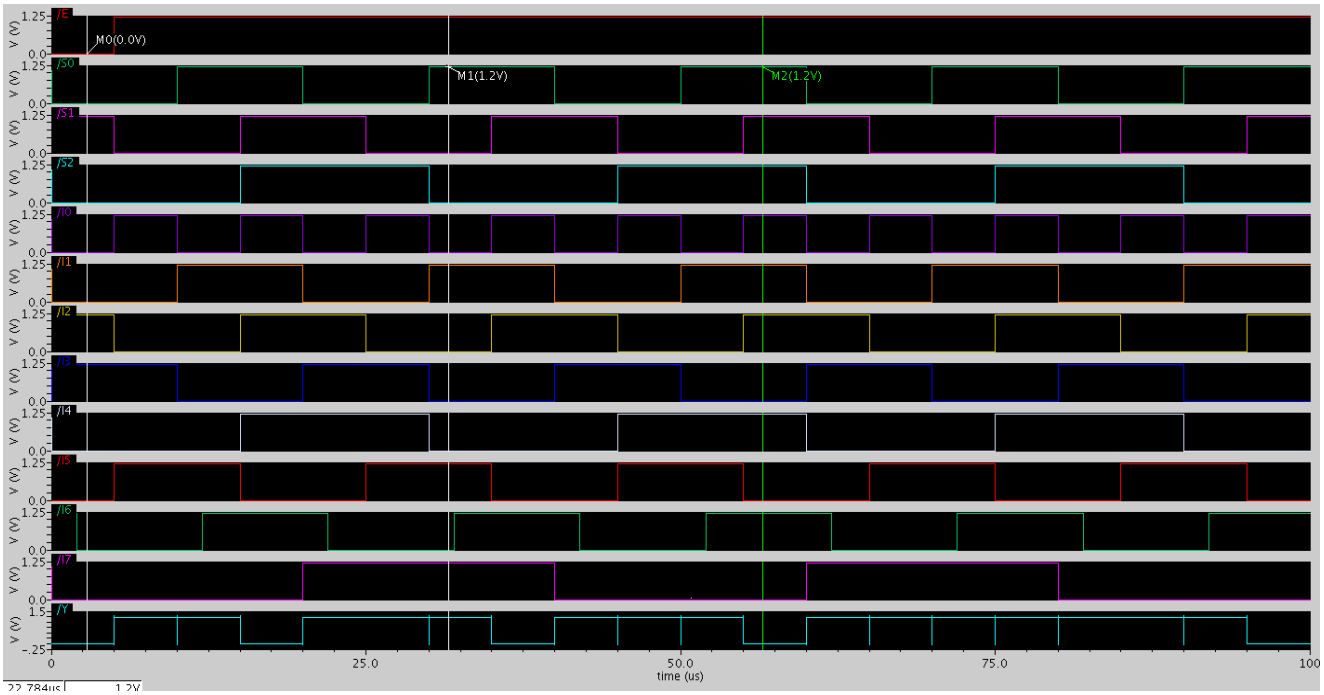
2.3 Test.

Cài đặt các thông số cho các ngõ vào.



Hình 2.3. Test mạch MUX 8-1.

2.4 Dạng sóng.



Hình 2.4. Dạng sóng ngõ vào và ra mạch MUX 8-1.

❖ Tại **t_1**:

- Ngõ vào với E=0 không cho phép nên có ngõ ra Y=0.

❖ Tại t_2 và t_3 :

Ngõ vào với E=1 cho phép mạch dồn kênh.

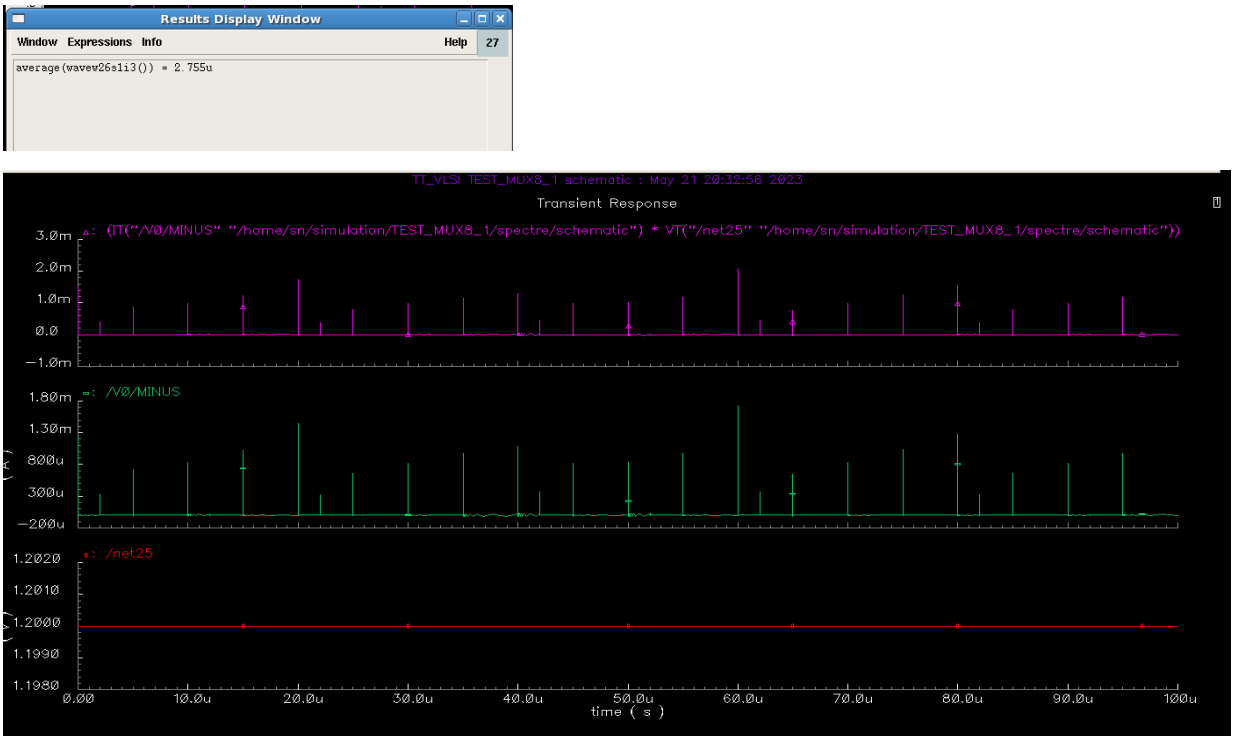
○ **t_2**

• $S_2S_1S_0 = 001_2 = 1_{10}$ ➔ Ngõ ra chọn I_1 ($I_1 = 1$) ➔ Y = 1.

○ **t_3**

• $S_2S_1S_0 = 111_2 = 7_{10}$ ➔ Ngõ ra chọn I_7 ($I_7 = 0$) ➔ Y = 0.

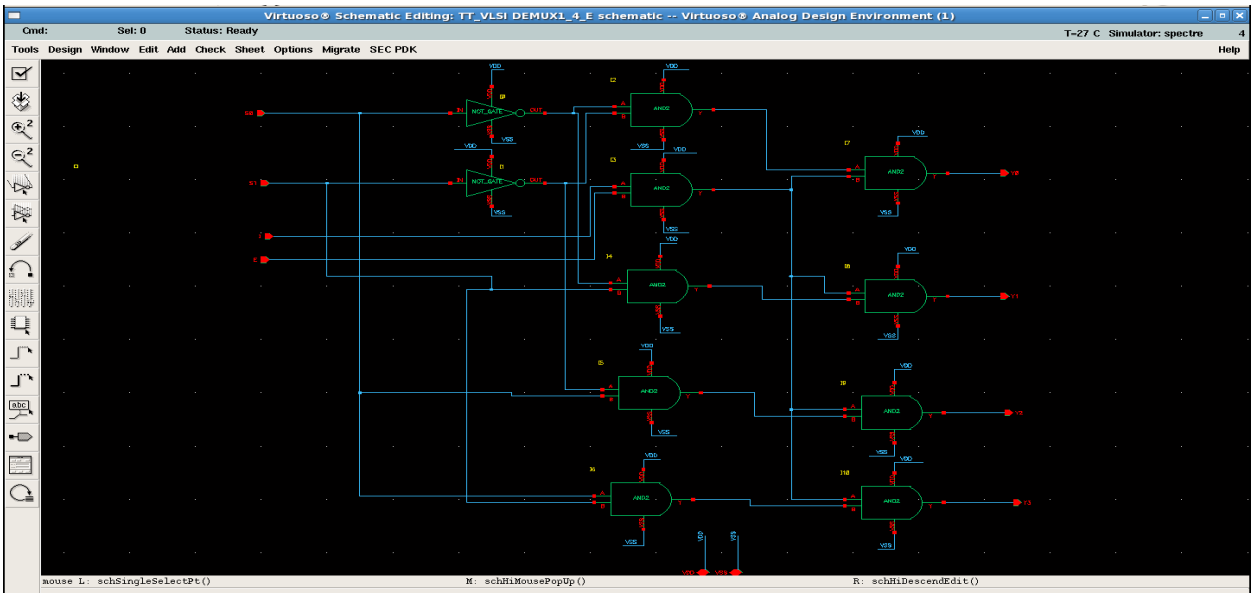
2.5 Công suất tiêu thụ.



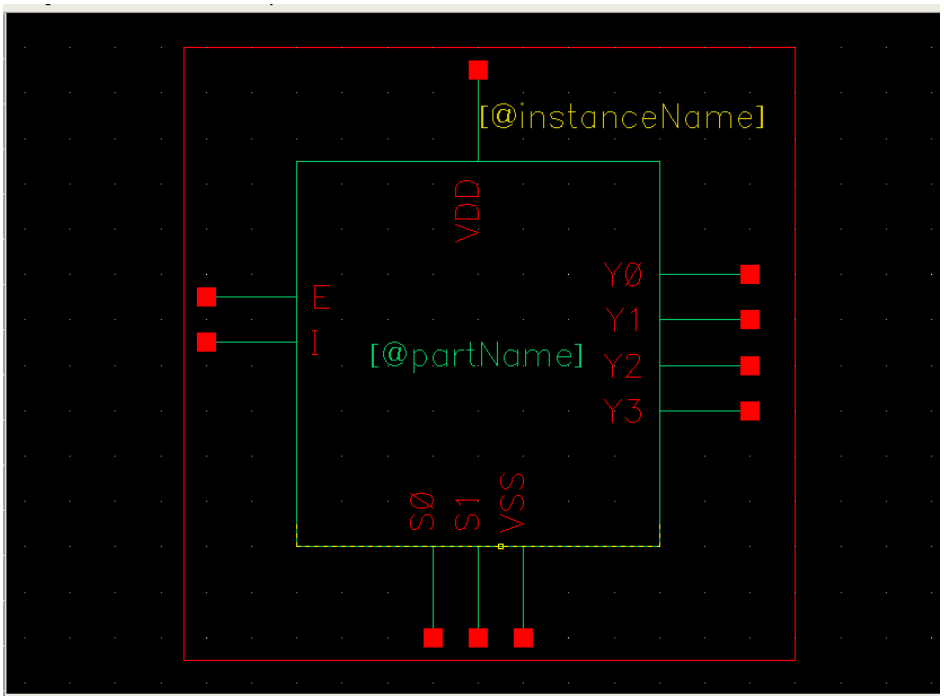
Hình 2.5. Dạng sóng công suất mạch MUX 8-1.

4.7 DEMUX 1-4

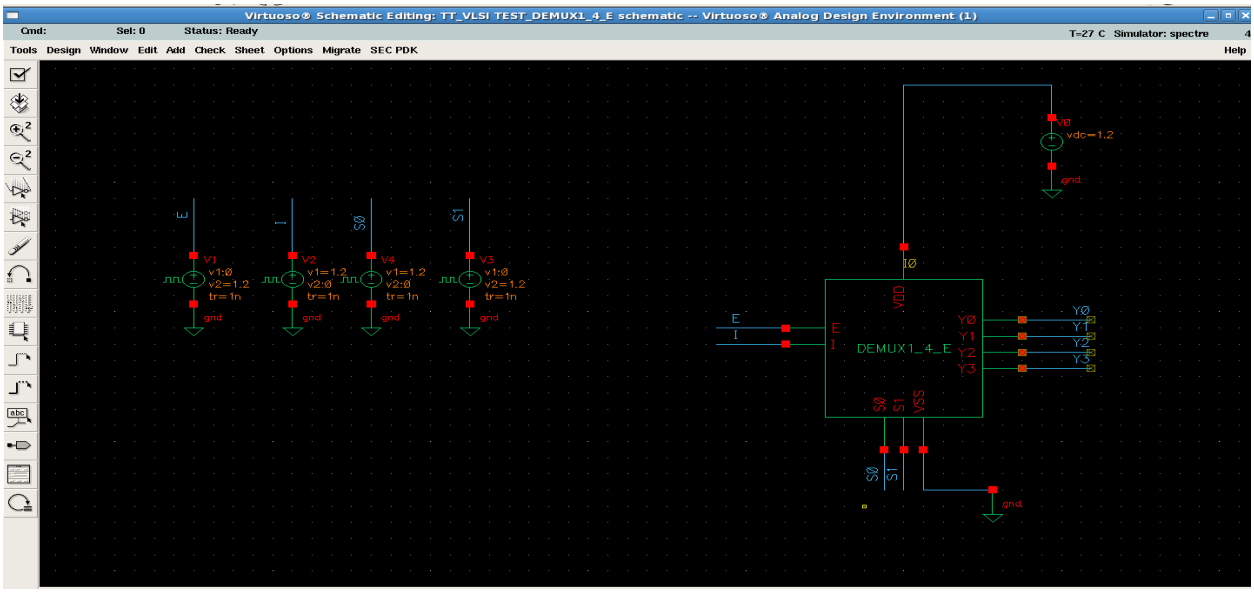
a. Sơ đồ nguyên lí.



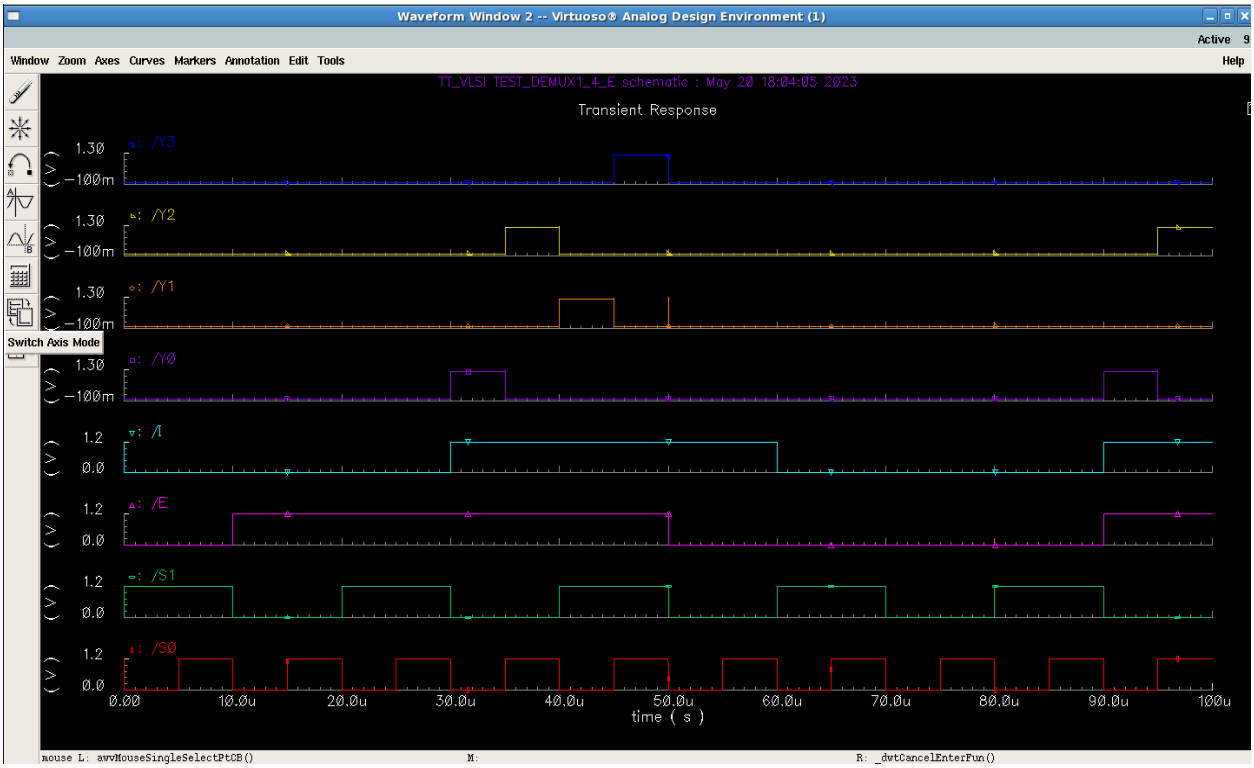
b. Đóng gói.



c. Test.

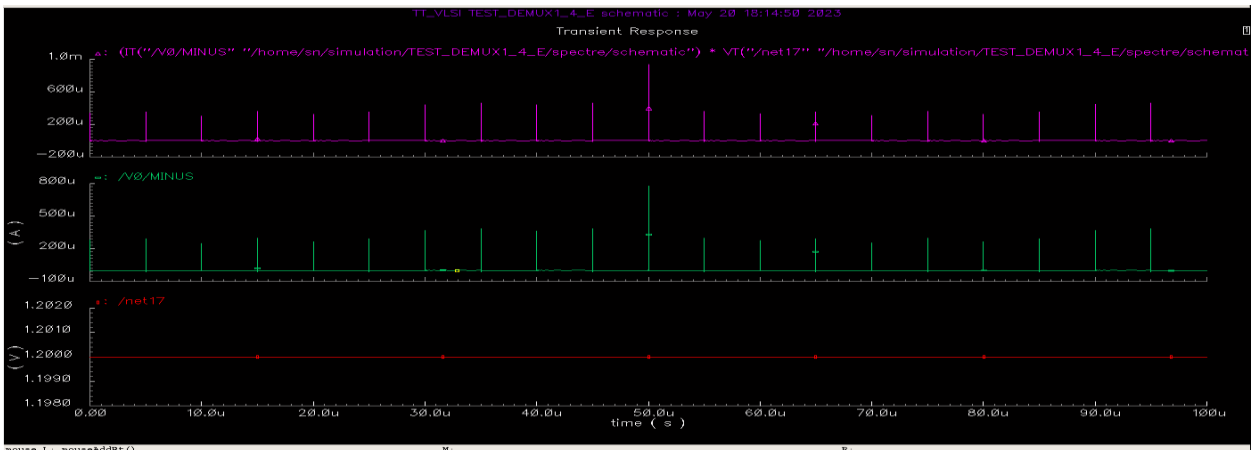


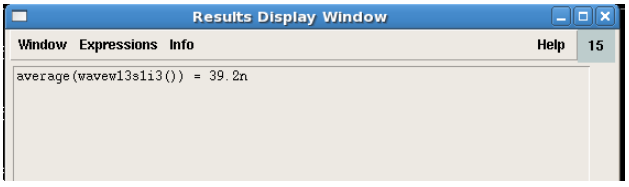
d. Dạng sóng.



❖ **<u>Nhận xét:</u>** Kết quả mô phỏng đúng với bảng trạng thái.

e. Công suất.

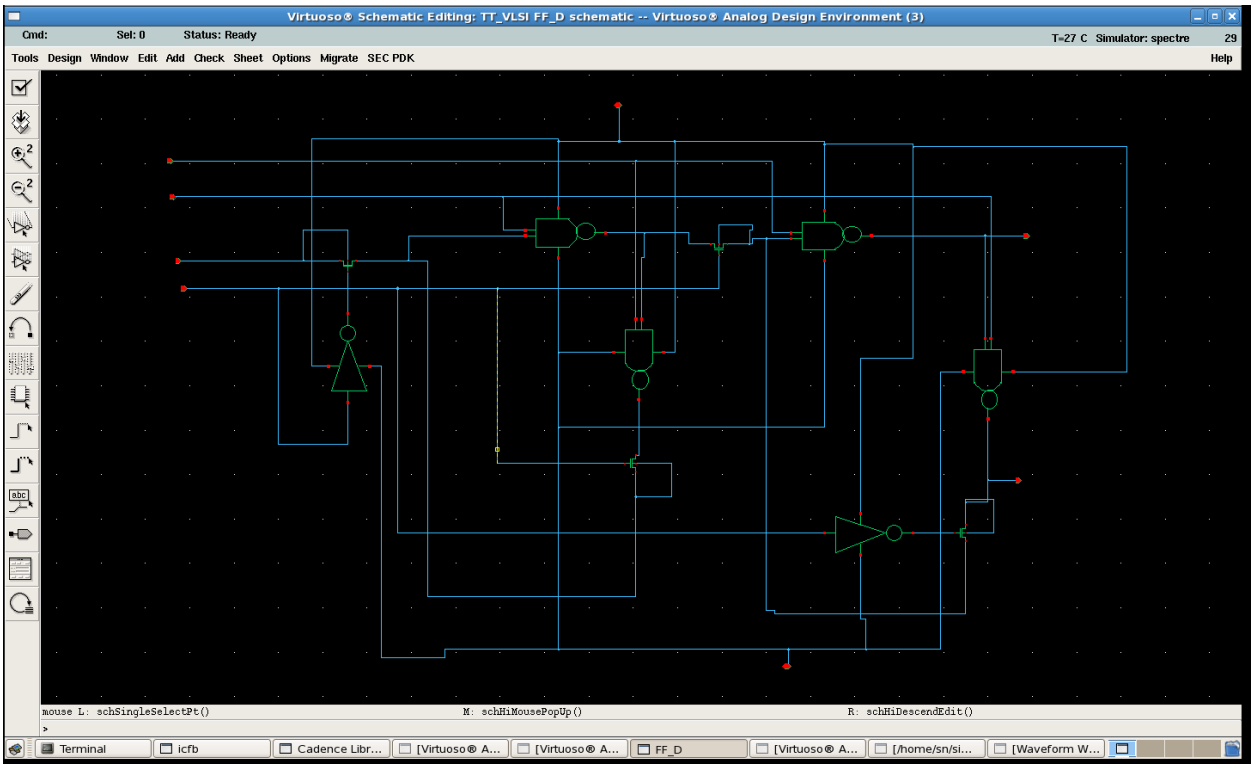




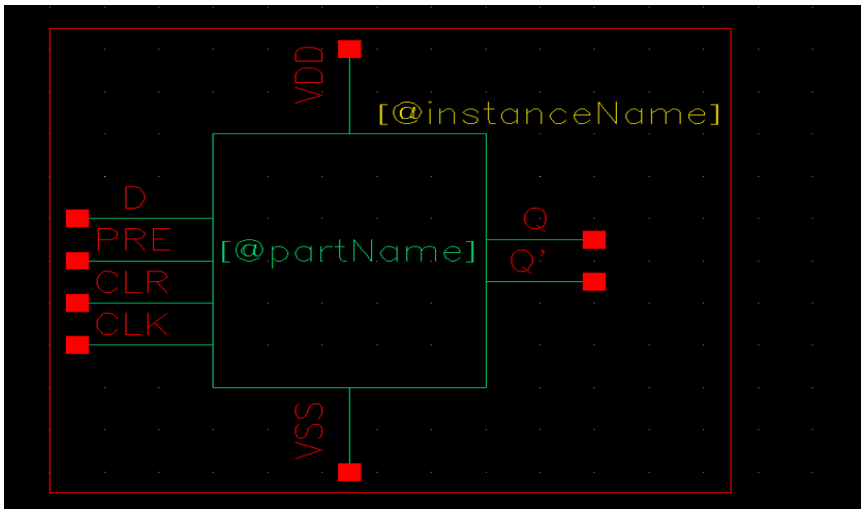
BÀI 5 THIẾT KẾ VÀ TÍNH TOÁN CÔNG SUẤT TIÊU THỤ MỘT SỐ MẠCH TUẦN TỰ

5.1 D FLIP-FLOP

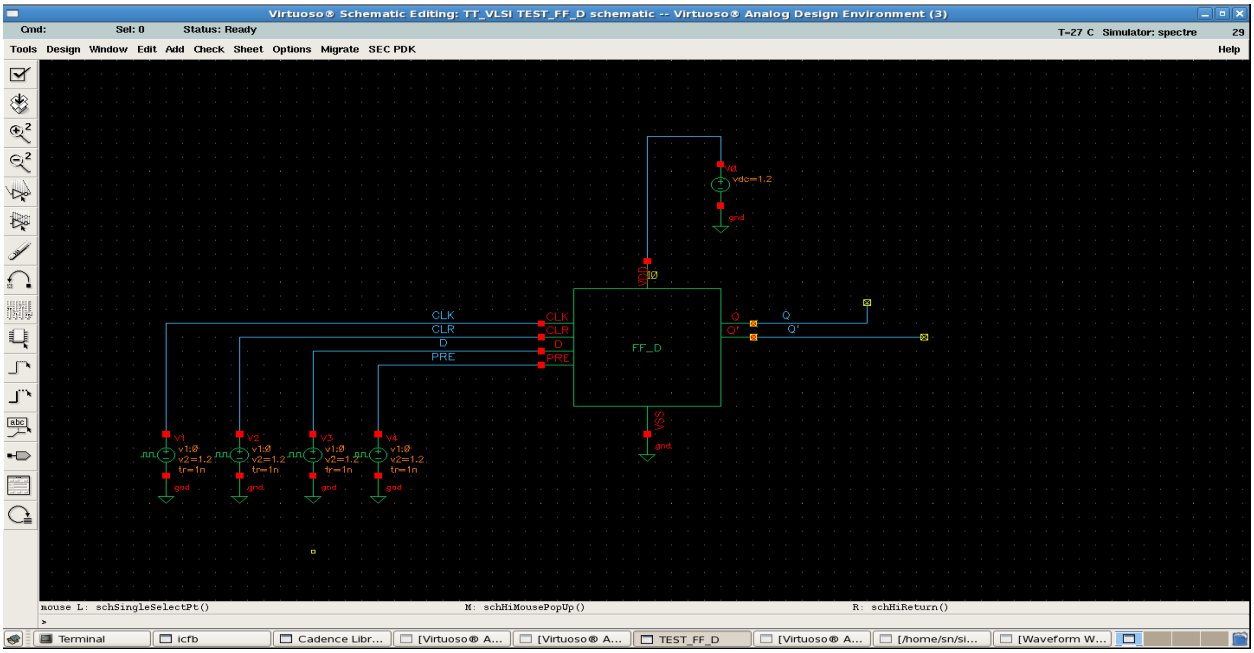
a. Sơ đồ nguyên lí.



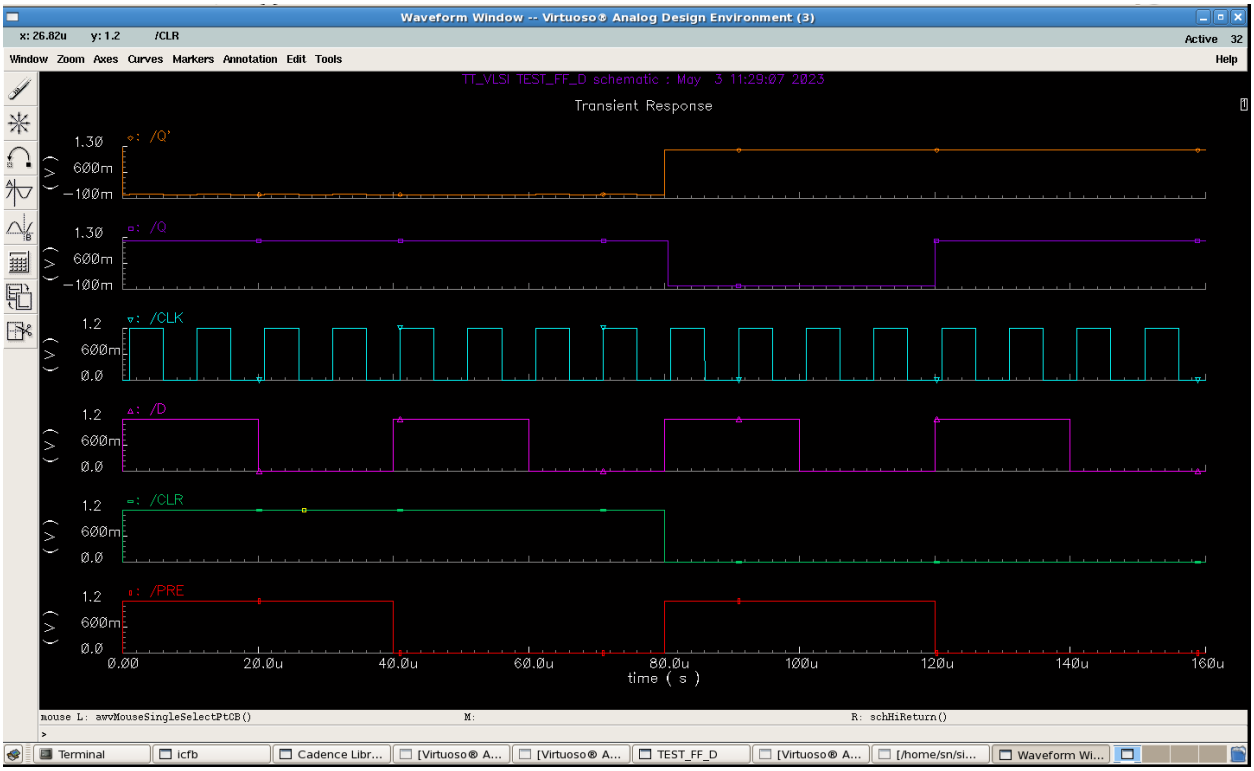
b. Đóng gói.



c. Test

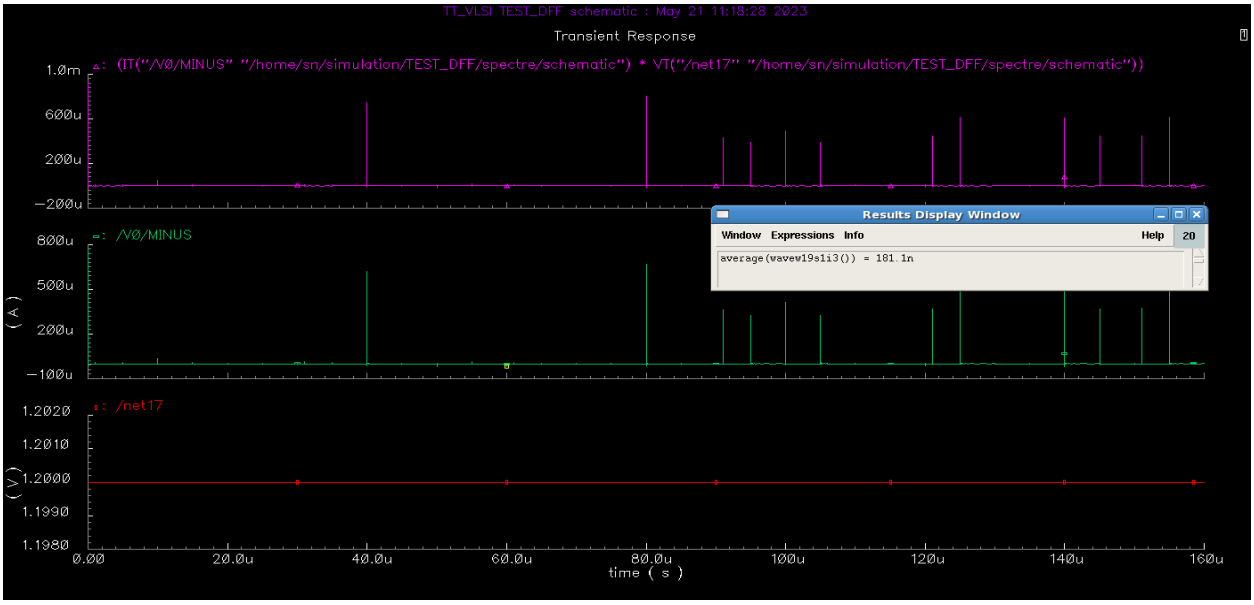


d. Dạng sóng.



❖ **<u>Nhận xét:</u>** Kết quả mô phỏng đúng với bảng trạng thái DFF.

e. Công suất.

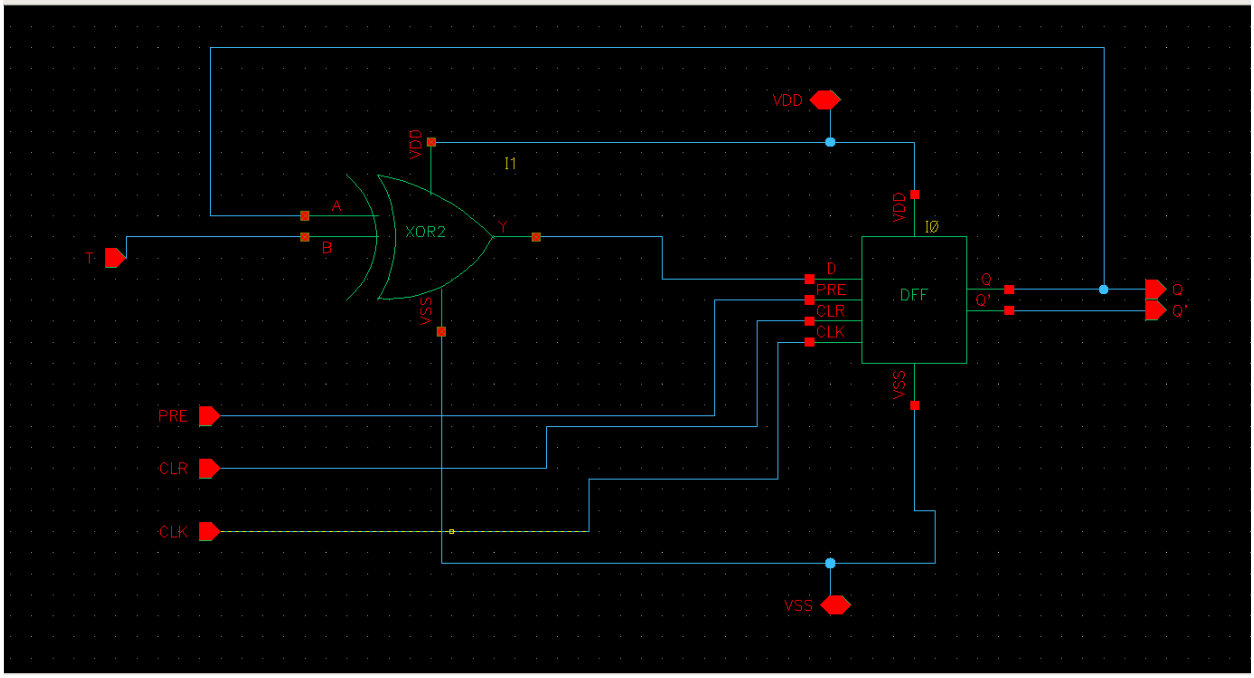


Kết luận:

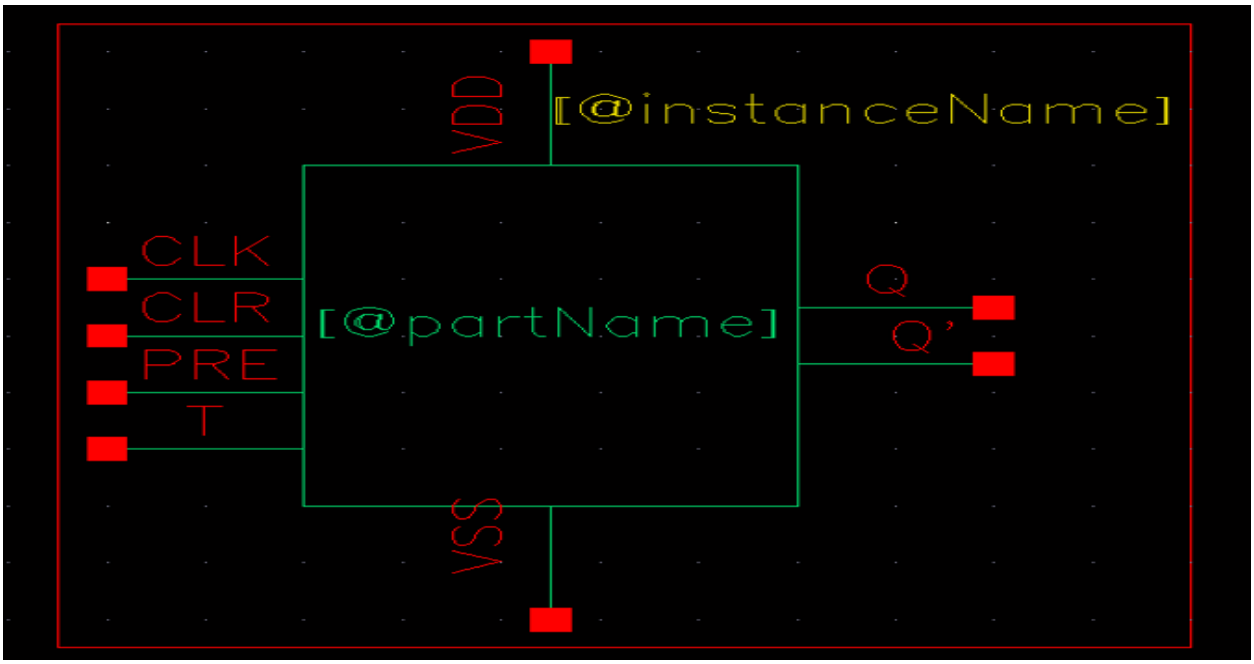
- Tại thời điểm có đường kẻ màu xanh thì Set =1, Clr = 0, nên Q = 0 , Q' = 1 bất chấp ngõ vào Clk và D .
- Tại thời điểm có đường kẻ màu đỏ thì Set =1, Clr = 1, ngõ ra của FF phụ thuộc vào ngõ vào D và xung Clk. D=1 , Clk tác động cạnh lên Q=1 , Q'=0
- Tại thời điểm có đường kẻ màu xanh dương thì Set 0, Clr =1, nên Q = 1 , Q' = 0 bất chấp ngõ vào Clk và D .
- Tại thời điểm có đường kẻ màu trắng thì Set 0, Clr =0, nên Q = 1 , Q' = 1 bất chấp ngõ vào Clk và D

5.2 T FLIP-FLOP

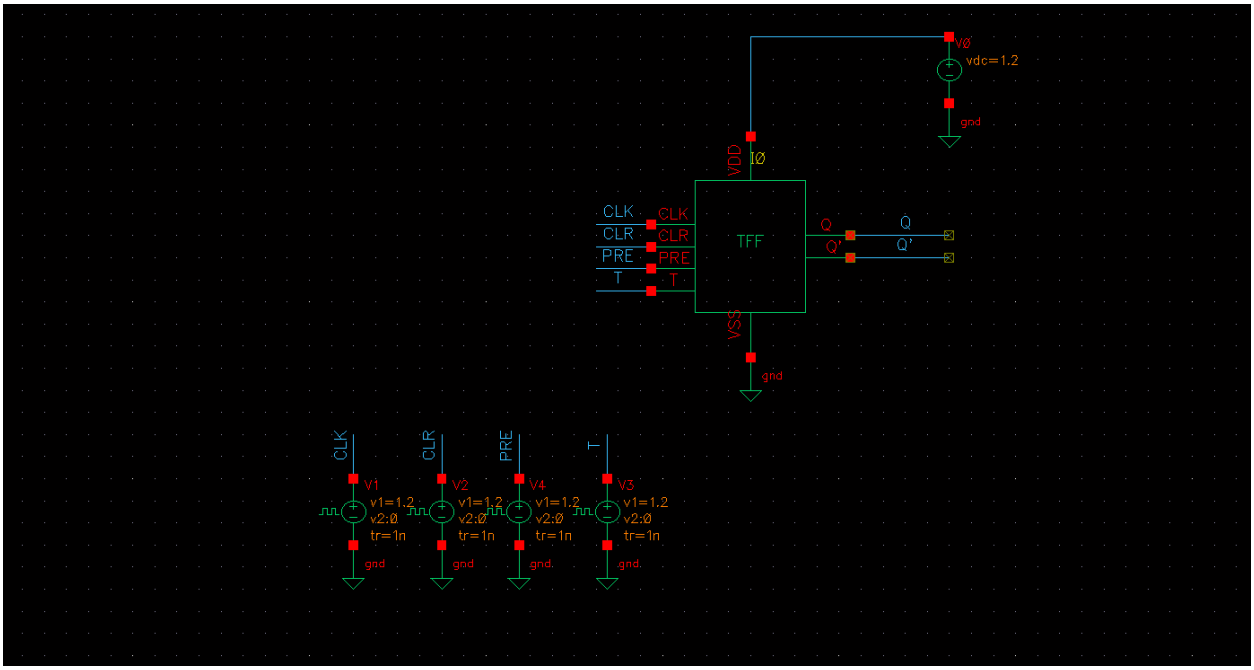
a. Sơ đồ nguyên lí.



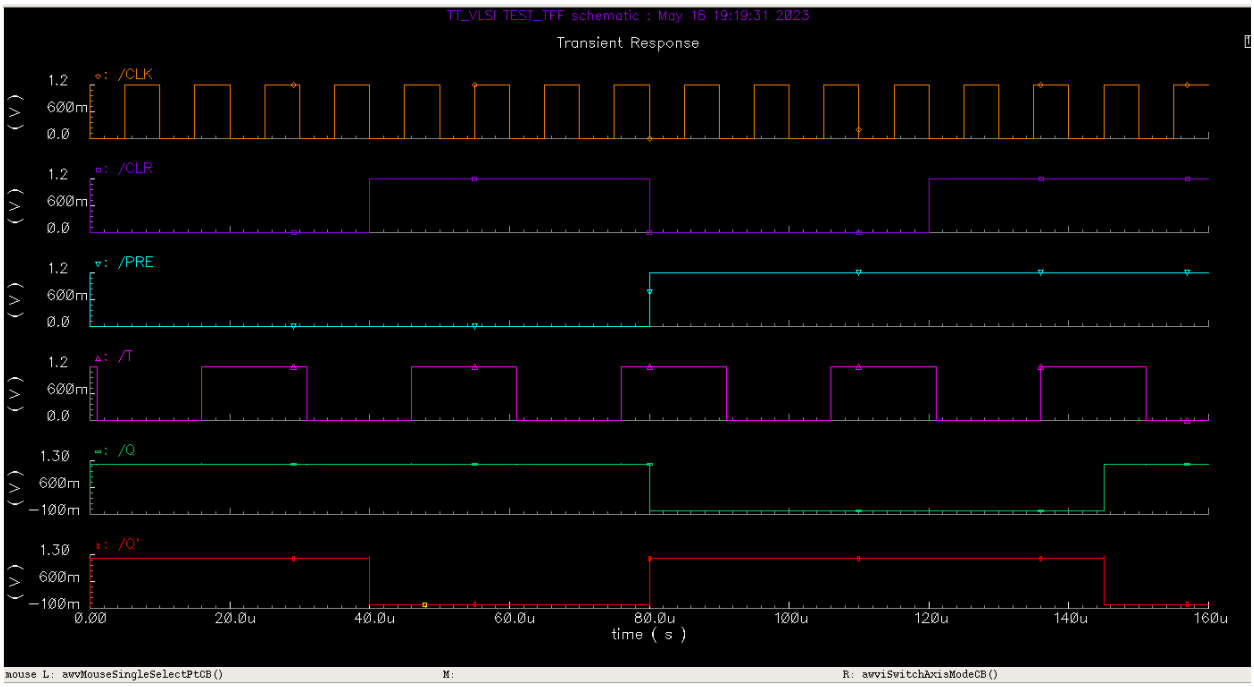
b. Đóng gói.



c. Test.

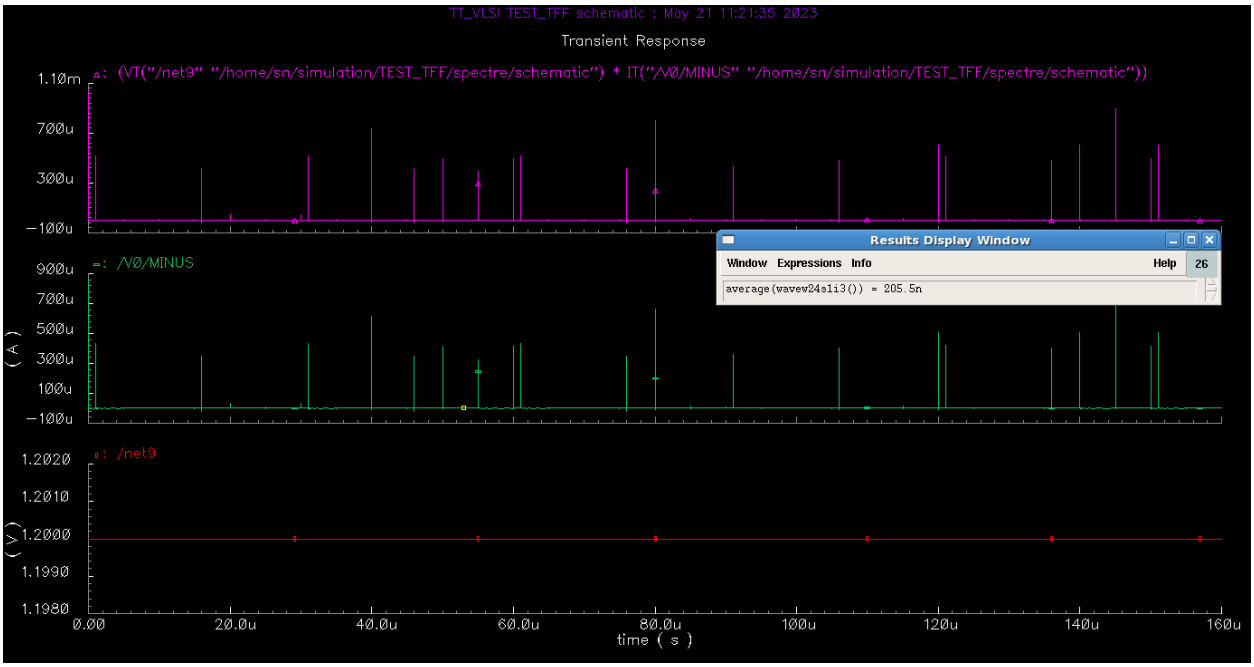


d. Dạng sóng.



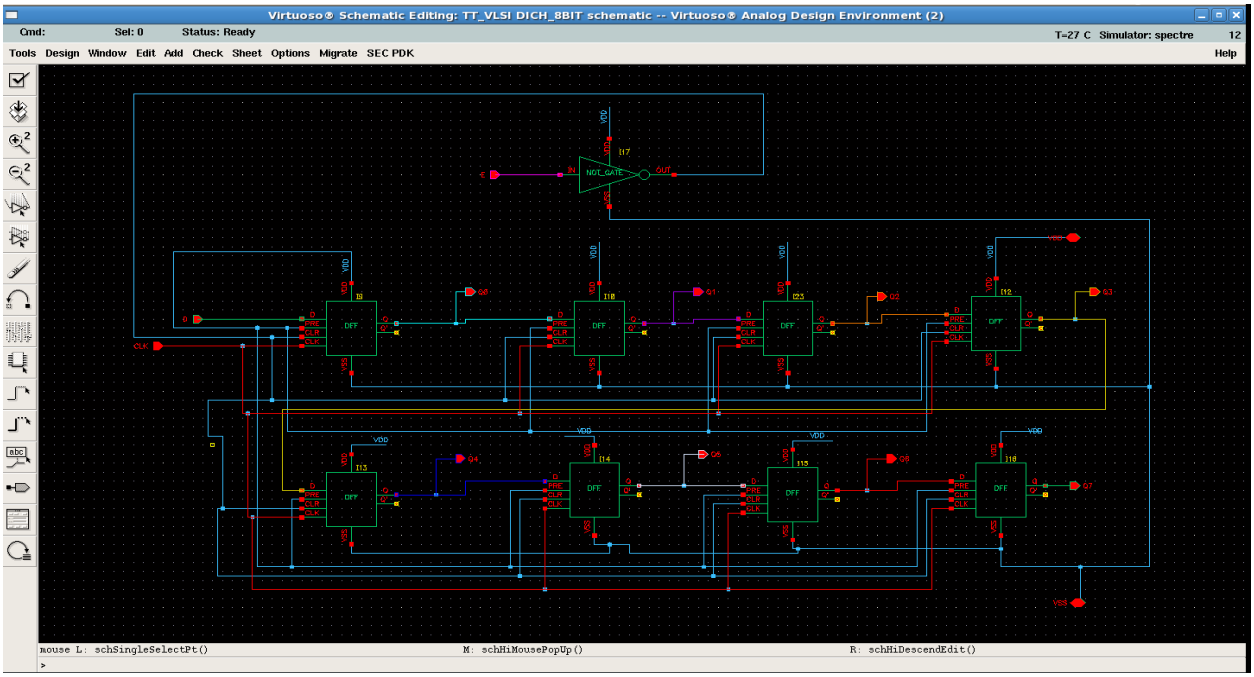
❖ **<u>Nhận xét:</u>** Kết quả mô phỏng đúng với bảng trạng thái TFF.

e. Công suất.

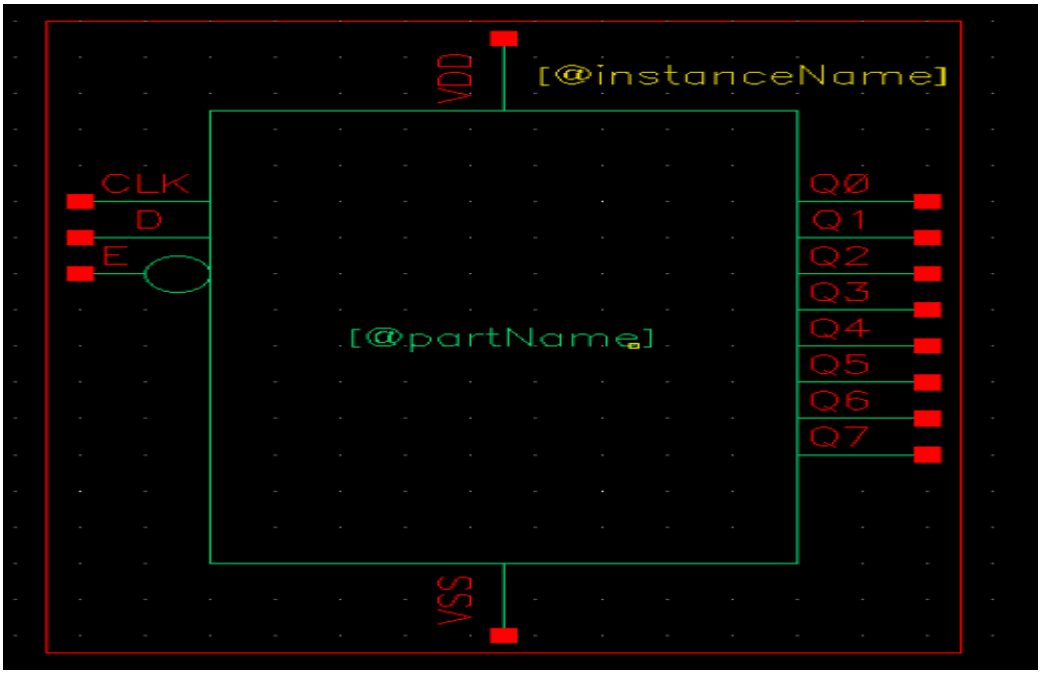


5.3 THANH GHI DỊCH 8 BIT

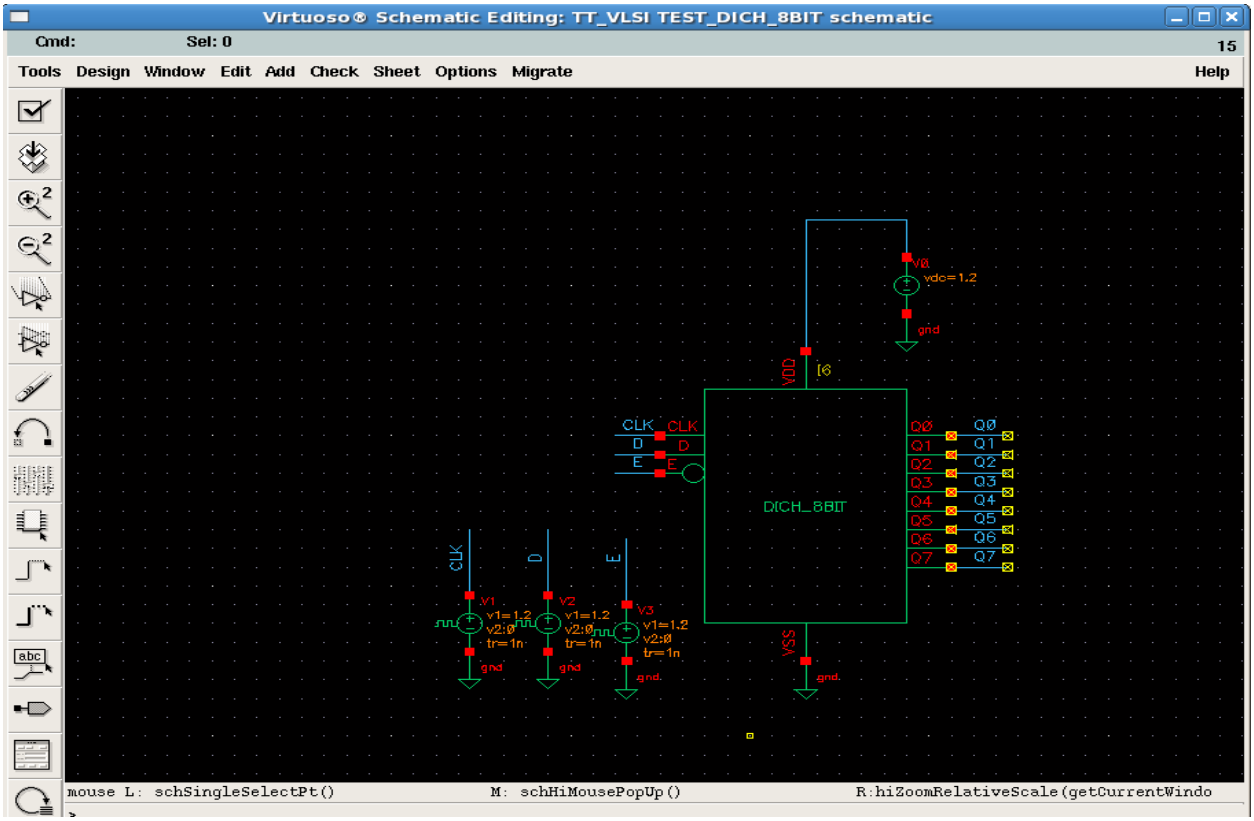
a. Sơ đồ nguyên lí.



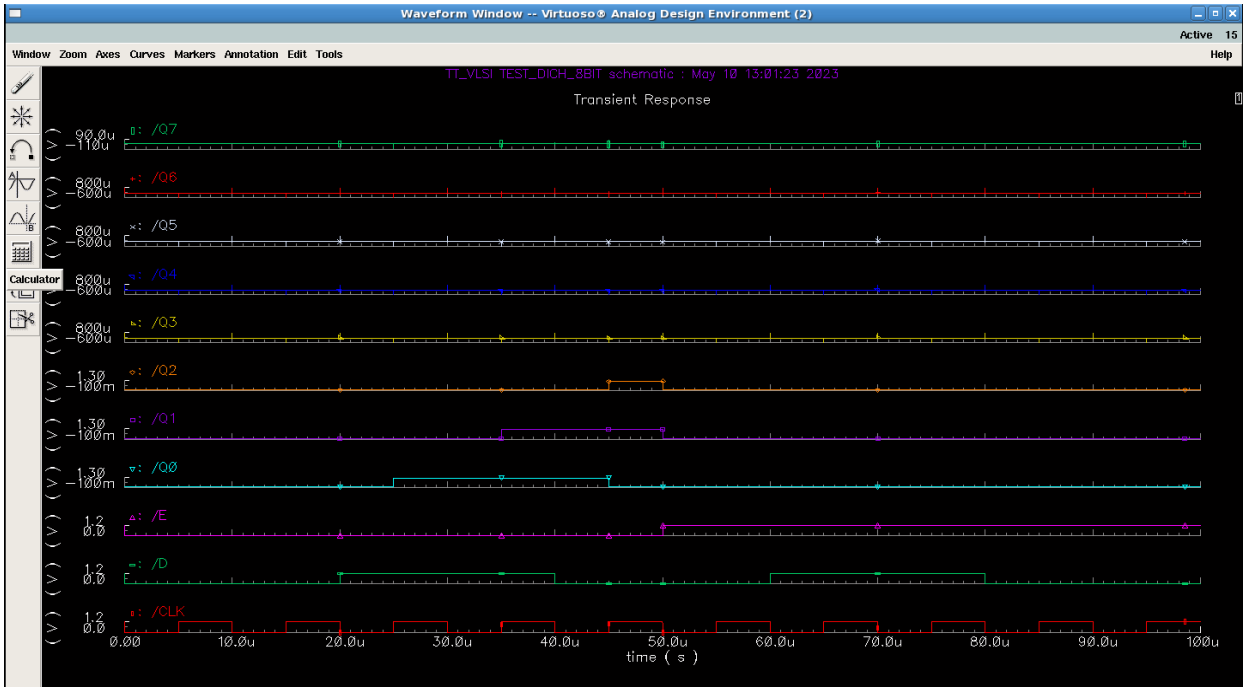
b. Đóng gói.



c. Test.

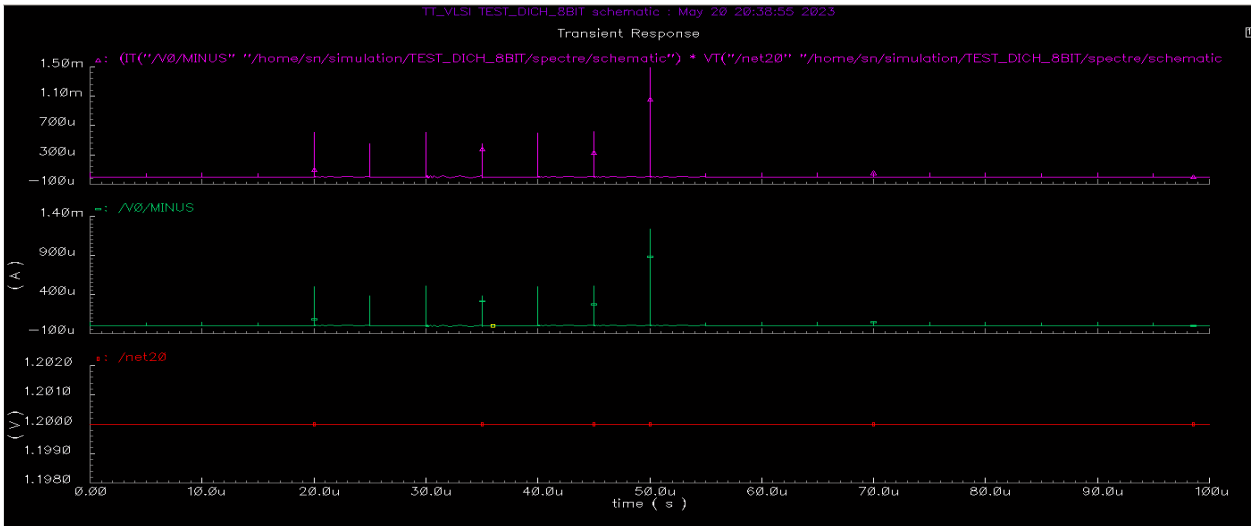


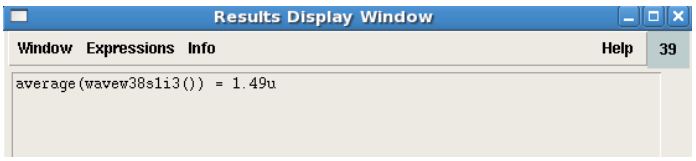
d. Dạng sóng.



❖ **<u>Nhận xét:</u>** Kết quả mô phỏng đúng.

e. Công suất.


TT_VLSI TEST_DICH_8BIT schematic : May 20 20:38:55 2023
Transient Response
(IT("/V0/MINUS" "/home/sn/simulation/TEST_DICH_8BIT/spectre/schematic") * VT("/net20" "/home/sn/simulation/TEST_DICH_8BIT/spectre/schematic
1.50m
1.10m
700u
300u
−100u
/V0/MINUS
1.40m
900u
400u
−100u
(A)
/net20
1.2020
1.2010
1.2000
1.1990
1.1980
(V)
0.00
10.0u
20.0u
30.0u
40.0u
50.0u
60.0u
70.0u
80.0u
90.0u
100u
time (s)


Results Display Window
Window
Expressions
Info
Help
39
average(wavew38s1i3()) = 1.49u