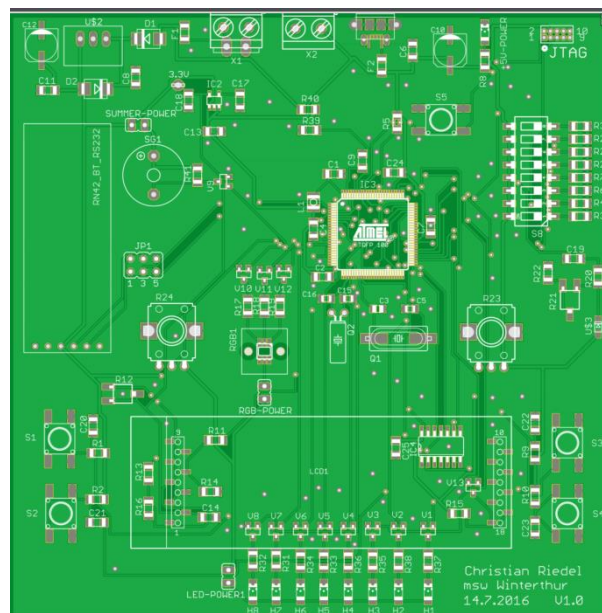


## uC-Board



# EAGLE

## Layout-Hinweise zum uC-Board



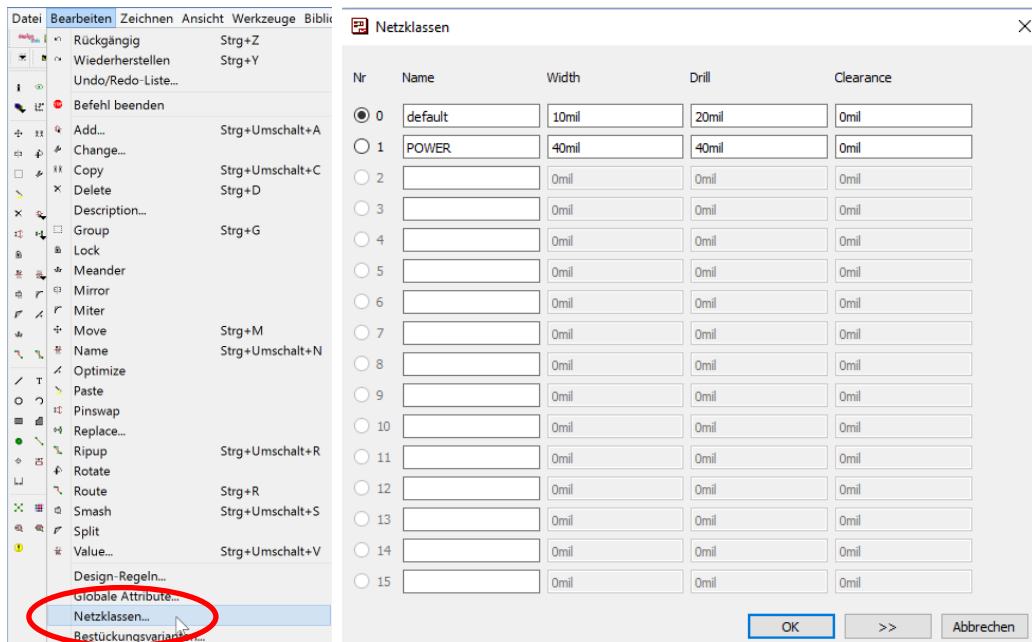
## Inhaltsverzeichnis

1.	Netzklassen .....	3
2.	Raster.....	4
3.	Design Rules .....	4
4.	Gruppieren .....	6
5.	Stecker platzieren auf dem Board.....	7
6.	Bohrungen.....	8
7.	Autorouter.....	9
8.	Polygone .....	13
9.	Design Rule Check, DRC (Layout prüfen) .....	14
10.	Siebdruck für Beschriftungen .....	16

# uC-Board

## 1. Netzklassen

Netzklassen einführen. GND, Vcc und V\_Akku → Klasse Power zuweisen

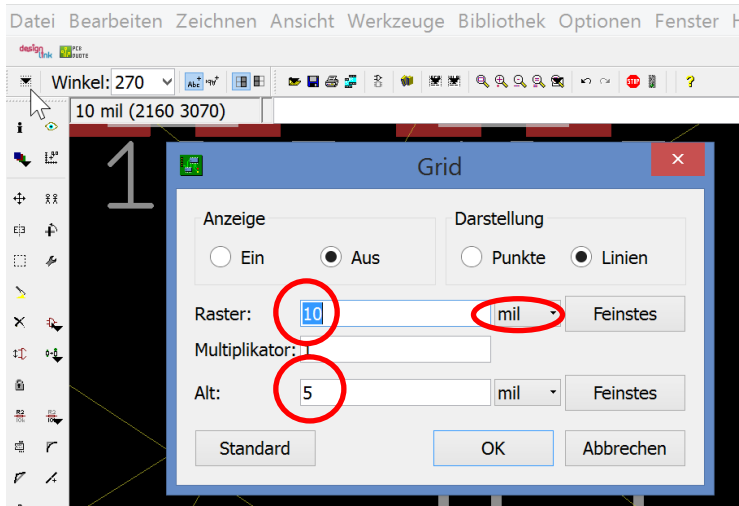


Leiterbahnbreiten, wir verwenden 35um (1oz) Kupferdicke:

Leiterbreite		Kupferdicke [µm]				Kupferdicke [µm]	
		35		70		35	70
		zulässige Stromstärke [A] bei Erwärmung um				mΩ/cm	
[mm]	[mil]	10 K	30 K	10 K	30 K		
0,10	4	0,2	0,4	0,4	0,8	50,9	25,4
0,15	6	0,3	0,6	0,6	1,2	33,9	17,0
0,20	8	0,4	0,8	0,8	1,6	25,4	12,7
0,25	10	0,5	1,0	1,0	2,0	20,3	10,2
0,30	12	0,6	1,2	1,2	2,3	17,0	8,48
0,5	20	1,0	2,0	2,0	3,5	10,2	5,09
1,0	39	2,2	3,6	3,5	5,8	5,09	2,54
1,5	59	3,0	4,6	4,5	7,5	3,39	1,70
2,0	79	3,8	6,5	6,0	10,0	2,54	1,27
3,0	118	4,5	8,0	7,5	14,0	1,70	0,848
4,0	157	6,0	10	9,0	17,0	1,27	0,636
5,0	197	7,0	12	10,0	19,0	1,02	0,509
6,0	236	7,5	14	11,0	22,0	0,848	0,424
8,0	315	9,0	17	–	–	0,636	0,318
10	394	10	20	–	–	0,509	0,254

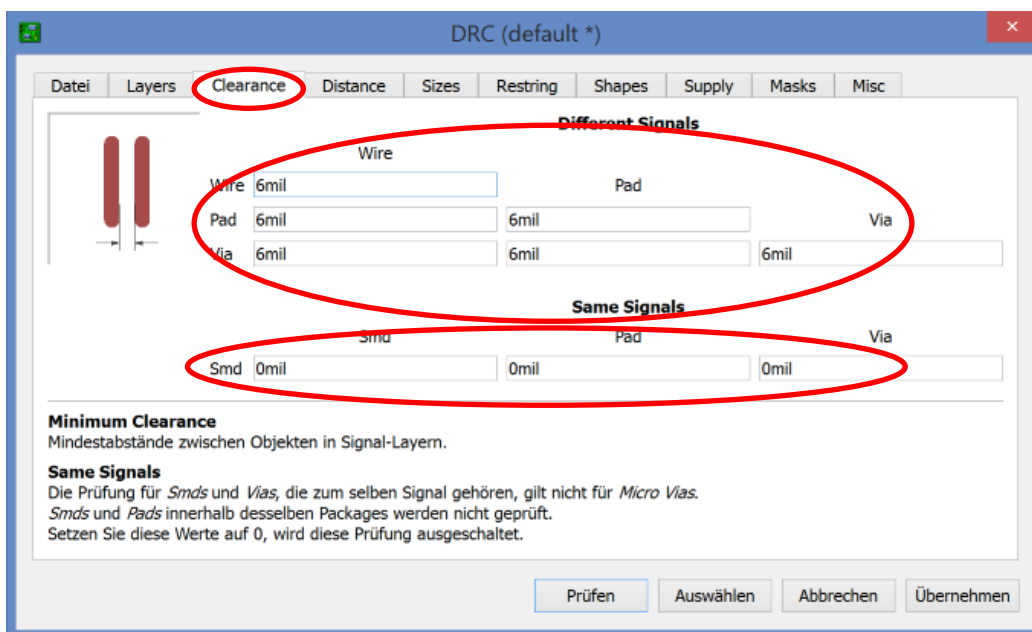
## 2. Raster

Für ein präzises Platzieren lohnt es sich, ein feines Raster einzustellen.



## 3. Design Rules

DRC Einstellungen vornehmen:



# uC-Board

BRD DRC (default \*)

Datei

Layers

Clearance

Distance

Sizes

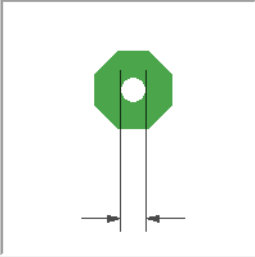
Annular Ring

Shapes

Supply

Masks

Misc



Minimum Width

10mil

Minimum Drill

10mil

Min. Micro Via

9.99mm

Min. Blind Via Ratio

0.5

**Minimum Sizes**  
Mindestgrößen für Objekte in Signal-Layern und für Bohrungen.

**Minimum Width und Minimum Drill**  
Die Werte für die Mindestbreite und den Mindestbohrdurchmesser können für ausgewählte Signale durch höhere Werte in den *Netzklassen* überschrieben werden.

**Min. Micro Via**  
Dieser Wert gilt für *Blind-Vias*, die genau einen Layer tief sind. Typische Werte liegen im Bereich von 50..100 micron. Der Wert muss kleiner als der **Minimum Drill**-Wert sein; ansonsten sind (zum Beispiel mit dem Standard-Wert 9.99mm) keine Micro-Vias definiert.

**Min. Blind Via Ratio**  
Dieses Verhältnis definiert den Mindestbohrdurchmesser  $d$  für ein Blind-Via, das durch einen Layer mit der Dicke (thickness)  $t$  geht. Leiterplatten-Hersteller geben dieses "Seiten-Verhältnis" üblicherweise in der Form 1:0.5 an, wobei 0.5 der Wert wäre, den man hier eintragen müsste.

Prüfen

Auswählen

Abbrechen

Übernehmen

DRC (default \*)

Datei

Layers

Clearance

Distance

Sizes

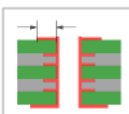
Restring

Shapes

Supply

Masks

Misc



		Min	%	Max	Diameter
<b>Pads</b>	Top	8mil	25	20mil	
	Inner	10mil	25	20mil	
	Bottom	8mil	25	20mil	
<b>Vias</b>	Outer	8mil	25	20mil	
	Inner	8mil	25	20mil	
<b>Micro Vias</b>	Outer	4mil	25	20mil	
	Inner	4mil	25	20mil	

**Restring**  
Der Restring für Pads und Vias wird in Prozent des Bohrdurchmessers (begrenzt durch **Min** und **Max**) festgelegt. Würde der Durchmesser eines vorgegebenen Pads oder Vias den errechneten Wert überschreiten, wird dieser in den Aussenlayern verwendet.

Ist die **Diameter**-Option aktiv, wird der vorgegebene Pad- oder Via-Durchmesser auch in den Innen-Layern berücksichtigt.

**Micro Vias** sind Blind-Vias (Sacklöcher), die genau einen Layer tief sind und einen kleineren Bohrdurchmesser haben als der Wert, der unter *Sizes* für **Minimum Drill** angegeben ist (aber mit einem größeren **Drill**-Wert in den *Netzklassen* überschrieben sein könnte).

Prüfen

Auswählen

Abbrechen

Übernehmen

# uC-Board

## 4. Gruppieren

Platziere die Bauteile, so dass die Luftlinien möglichst optimal, also kurz sind.

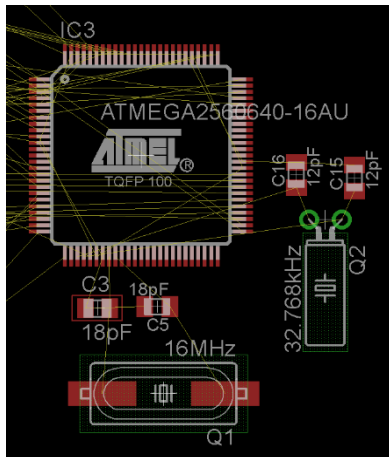
Bauteile die im Schema zusammen gehören, sollten auch beim Platzieren nahe zusammen bleiben.

Beispiele:

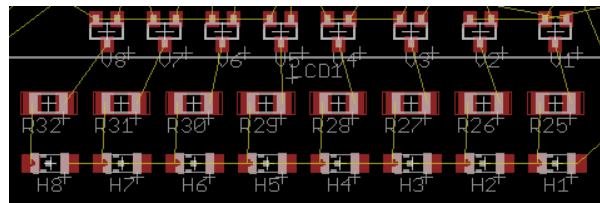
- Gruppe Quarz und Kondensatoren
- 8xLED Port mit FET, R und LED
- 5V Spannungsversorgung mit Spannungsregler, C, R, Sicherung und Dioden

Auf dem Board:

Quarz und Kondensatoren



LED Port mit FET, R und LED



# uC-Board

## 5. Stecker platzieren auf dem Board

**ACHTUNG:**

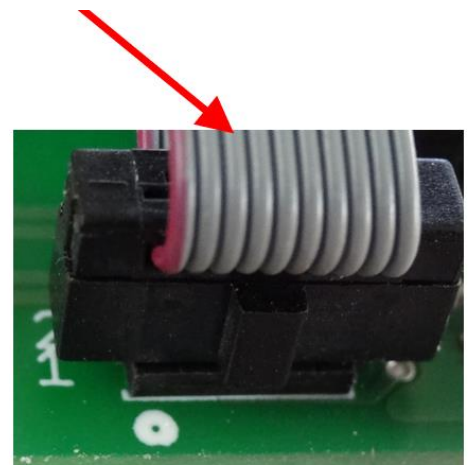
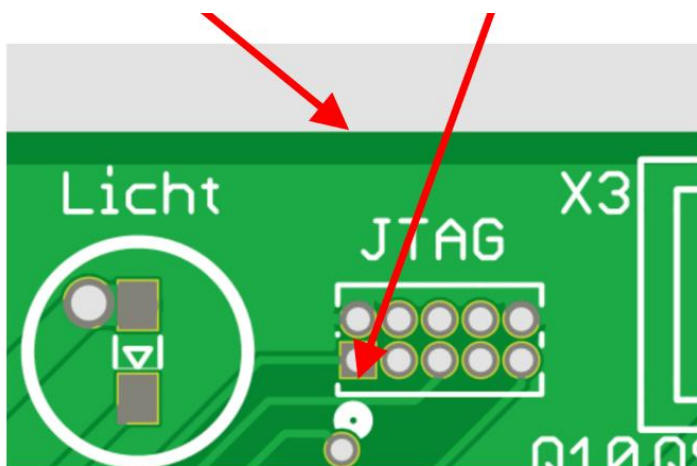
**Phoenix Stecker**

**USB-C Stecker**



Beide Stecker müssen über den Printrand hinaus platziert werden! Siehe Muster Prints BT\_CAR\_21.

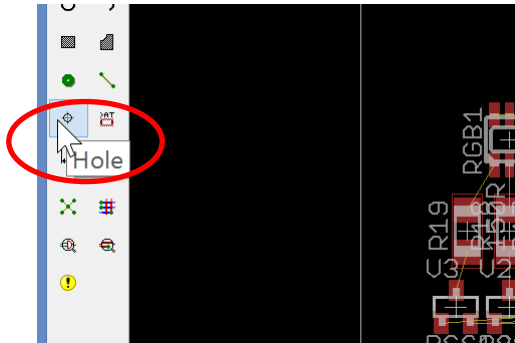
JTAG-Stecker nahe am Rand platzieren und Pin1 links, damit sich Flachbandkabel gut einstecken lässt.



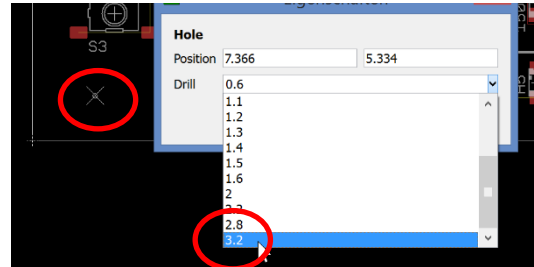
## 6. Bohrungen

### Bohrungen:

Befestigungslöcher platzieren



Via „Info“ die Eigenschaft der Bohrung auf z.B. 3.2mm einstellen. (Zuerst Raster auf „mm“ stellen).



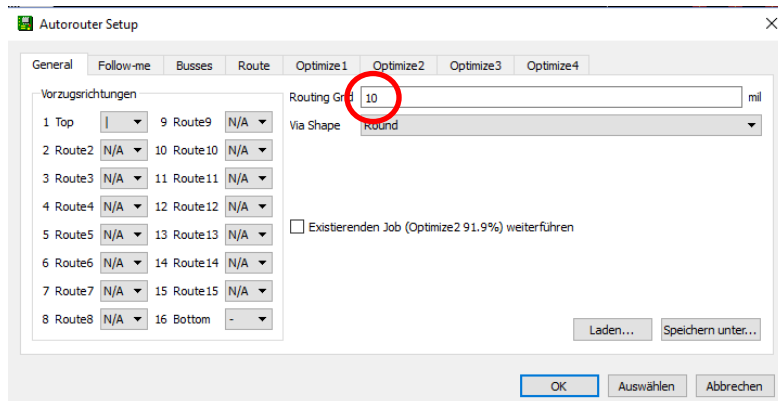


# uC-Board

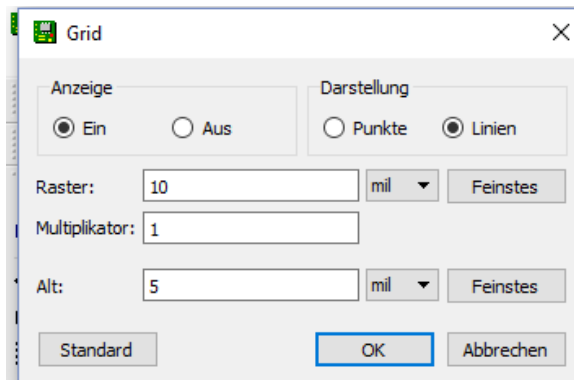
## 7. Autorouter

Nach dem Platzieren der Gruppen kann mit dem Autorouter überprüft werden, ob das Layouten möglich sein wird. Es sollten Werte von 95% oder grösser erreicht werden...

Mit der Einstellung Routing Grid wird eingestellt, wie fein der Autorouter arbeiten soll.



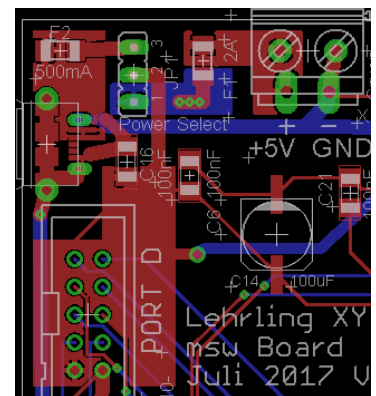
Je kleiner der Wert desto eher schafft er alles zu routen, braucht aber auch mehr Rechenzeit.



Raster beim selber Routen auf ein feines Mass einstellen.

Tipp: Auch hier kann mit Ctrl und Bauteil Auswahl das Element in den Raster „springen“.

**Zuerst die „dicken“ (mind. 30mil) VCC und GND Linien zu den Steckern ziehen.** Eventuell Polygon zu Hilfe nehmen.  
erst dann mit den dünnen Linien starten!

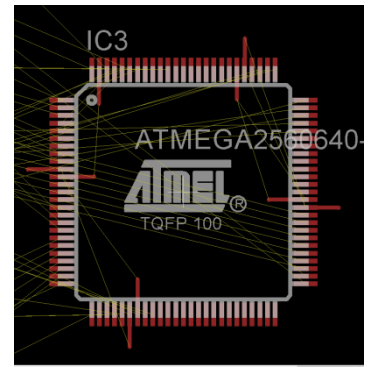


## uC-Board

### **Vorbereitung Routen: GND, Vcc und Pins am Prozessor vorbereiten**

GND nach Innen (unter das Gehäuse) und Vcc nach Aussen (vom Gehäuse weg). So können die verschiedenen Netzklassen (unterschiedliche Leiterbahnbreiten), besser am Prozessor angeschlossen werden.

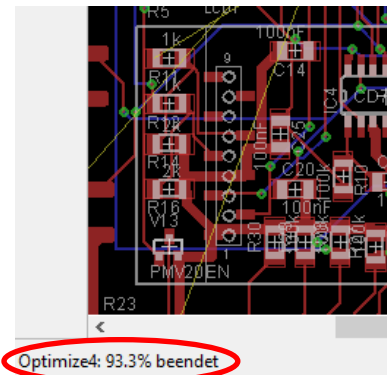
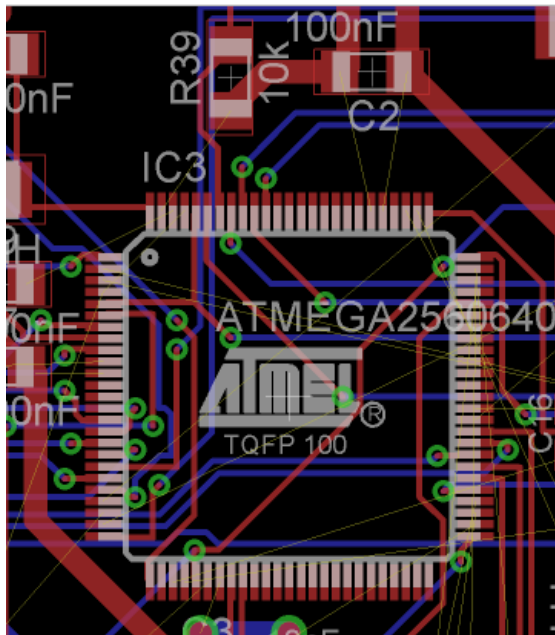
Beim selber Routen 10mil  
Leiterbahnbreite einstellen!



## uC-Board

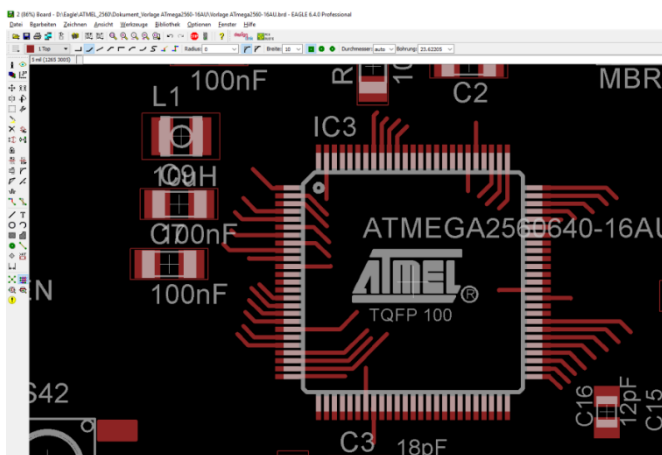
Jetzt den Autorouter starten um die Platzierung zu überprüfen. Mit grosser Wahrscheinlichkeit wird 100% nicht erreicht. Autorouterwerte von ca. 95% gelten als guter Platzierungswert. Die Platzierung ist dann ok.

Selbst wenn der Autorouter eine 100% Lösung findet, ist das noch kein optimales Layout! Mehr dazu später.



Gut zu erkennen, dass nicht alle Pins am Prozessor verbunden wurden

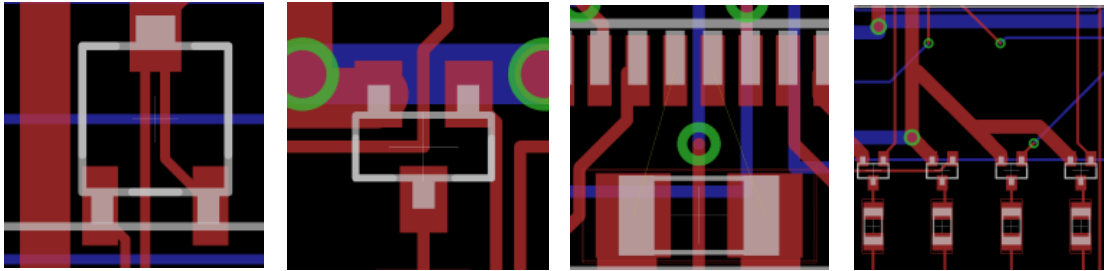
Die Verbindungen zu C2 konnten nicht realisiert werden, weil es GND und Vcc (Netzklasse POWER) sind. Diese Leitungen sind mit 40mil zu breit um am Prozessor angeschlossen zu werden. In solchen Fällen hilft das „hinausziehen“ dieser Pins.



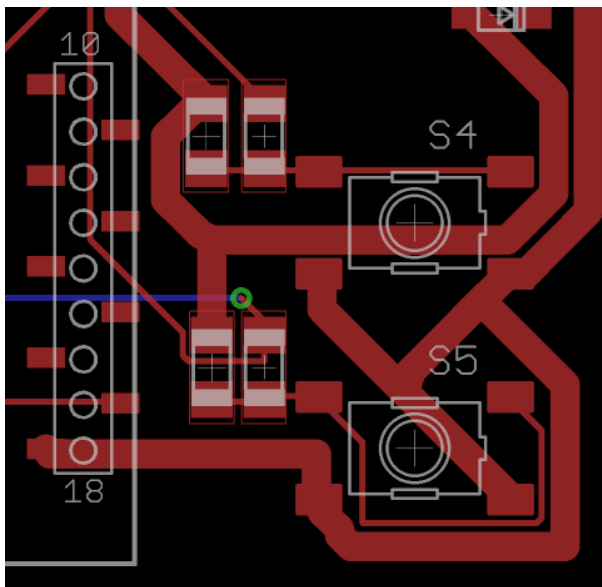
Mit Ripup Gruppe alle Leiterbahnen wieder löschen. Nun die „schwierigen“ Prozessorpins noch etwas verlängern. So hat der Autorouter mehr Möglichkeiten.

# uC-Board

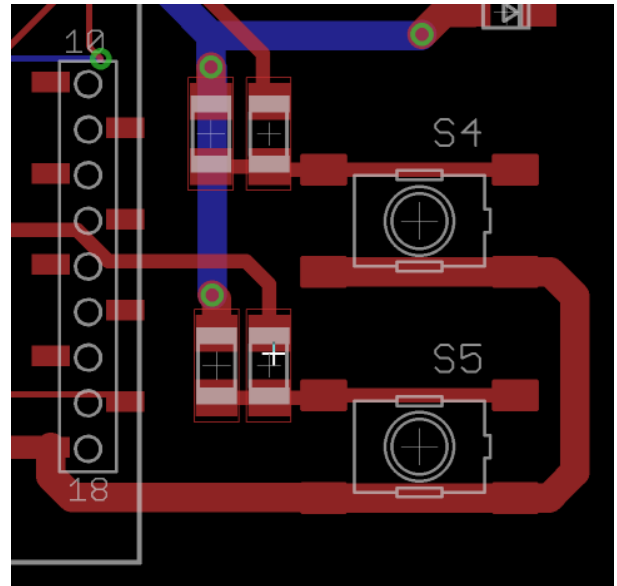
Der Autorouter zeigt auf, wie gut das Board geroutet werden kann, er macht aber auch vieles nicht wirklich gut. Folgende Beispiele sind nicht optimal und müssen manuell korrigiert werden.



vorher: Autorouter



nachher: manuell



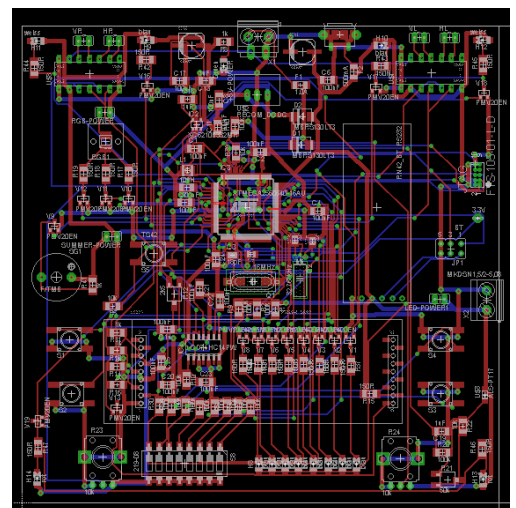
Ein vollständiges Layout kann überprüft werden:

→ mit dem Autorouter meldet: „**Optimize4 100% beendet**“.

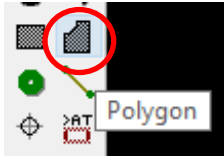
Optimize4: 100.0% beendet

→ mit Ratsnest geprüft werden → Meldung „**Nichts zu tun**“

Ratsnest: Nichts zu tun!

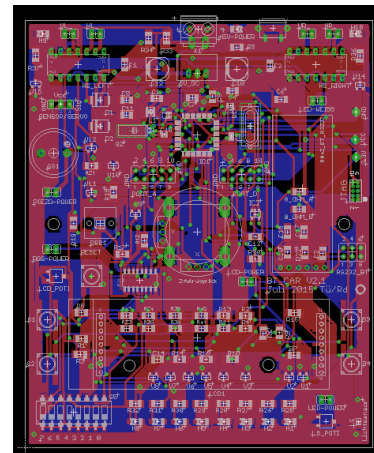
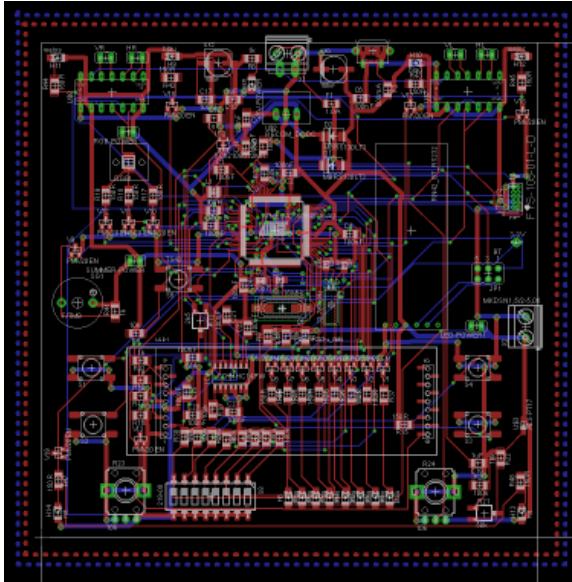


## 8. Polygone



Jetzt zwei GND Polygone zeichnen Top-Layer und Bottom-Layer. Breite 40mil einstellen, resp. Breite die in der Netzklasse definiert ist.

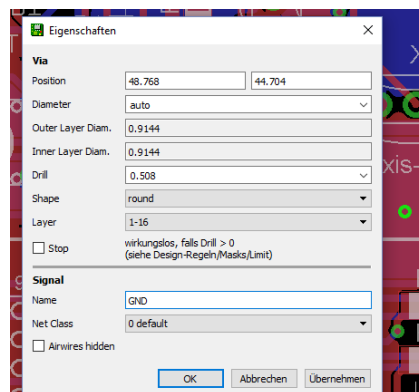
Das sollte jetzt so aussehen:



Ratsnest anklicken → Flächen werden erzeugt.

WICHTIG: Jetzt nochmals mit Ratsnest prüfen! Eventuell werden jetzt nicht mehr 100% erreicht! Die beiden Polygone sind dann in einzelne „Inseln“ zerfallen.

Lösung: GND Flächen auf Top- und Bottomlayer mit Vias verbinden, dann können wieder 100% erreicht werden. Am besten ein Via kopieren und auf den Namen GND ändern. Vias in die „Inselflächen“ setzen.

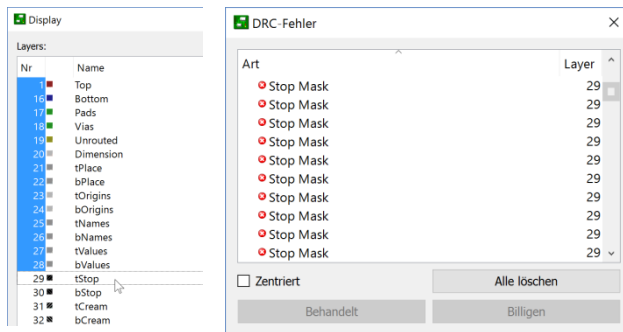


**Mit Ratsnest nochmals alle Verbindungen prüfen! Bis 100% erreicht sind.**

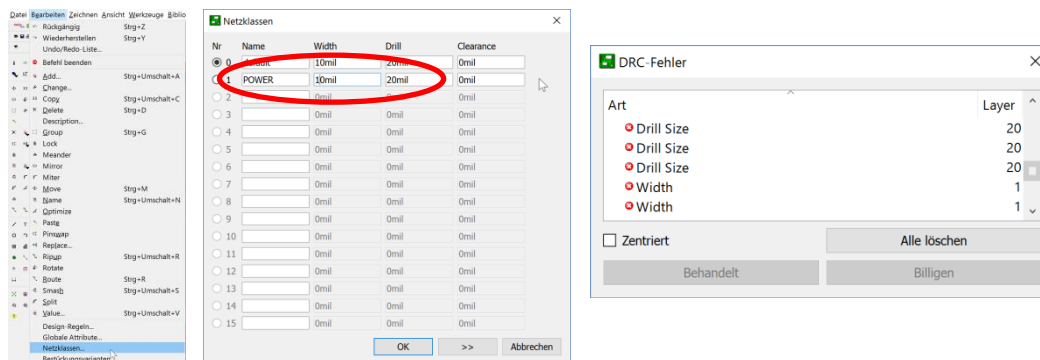
## 9. Design Rule Check, DRC (Layout prüfen)

Weitere Vorbereitungen:

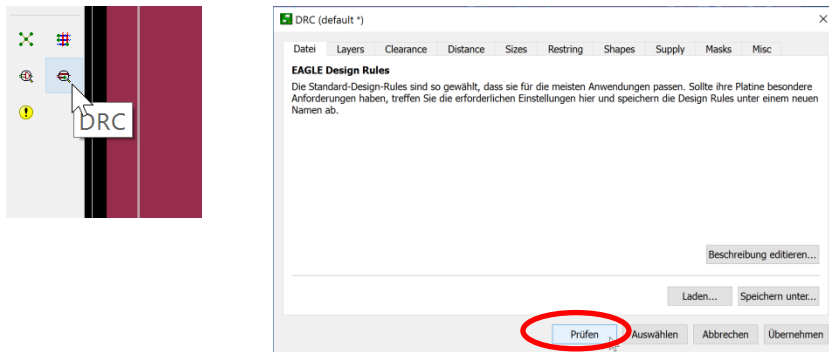
Layer **tStop** und **bStop** ausschalten, sonst gibt's solche Fehler:



Netzklasse POWER wieder auf kleinste gezeichnete Grösse stellen Width = 10mil und Drill = 20mil, sonst gibt's solche Fehler:



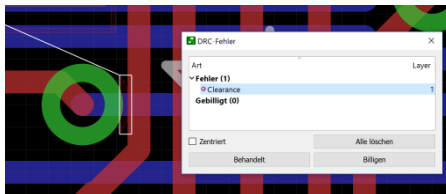
DRC ausführen ... „Prüfen“ drücken



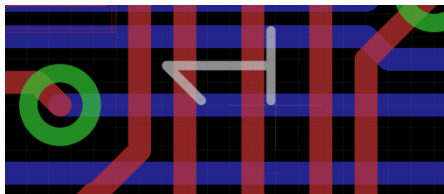
Allfällige Fehler beheben.

1. Doppelklick auf Fehlerzeile der Fehlerliste und der entsprechende Fehler wird Weiss eingerahmt.  
*Hier ist der Abstand zwischen Durchkontaktierung und Leiterbahn zu klein.*
2. Durchkontaktierung nach links verschieben.
3. DRC erneut ausführen.

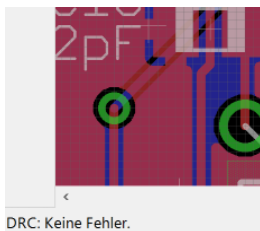
vorher



nachher



Wenn alle Fehler behoben sind, erscheint unten links folgende Erfolgsmeldung.



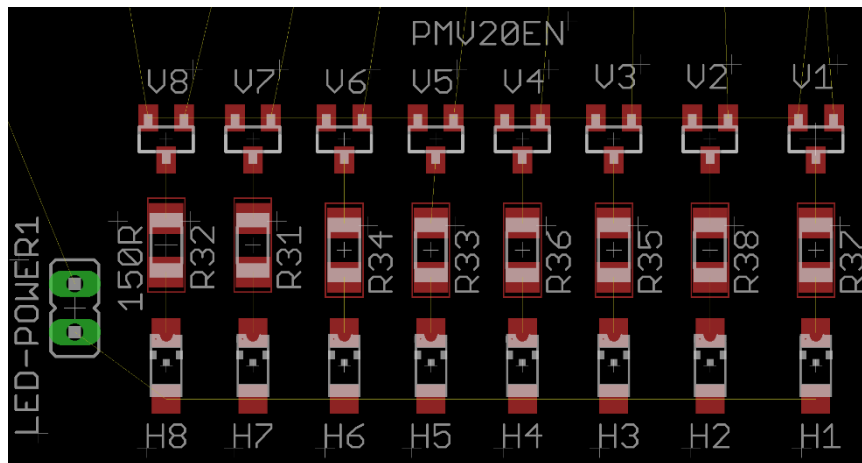
## 10. Siebdruck für Beschriftungen

Bitte folgendes beachten

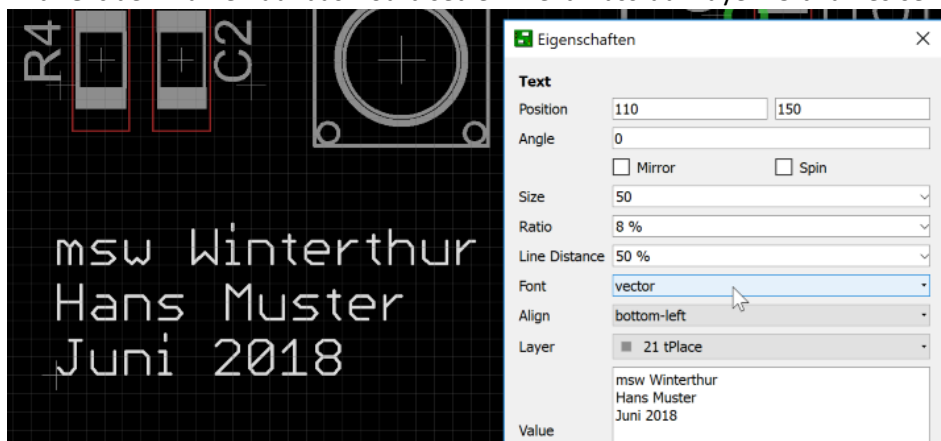
tStop einbinden.

- Weil alle Widerstände den gleichen Wert 150R haben muss nicht jeder angeschrieben werden.  
→ Einen stehen lassen, die anderen löschen.

Das gleiche gilt auch für die Transistoren PMV20EN



Mit **Text** den Namen auf das Board setzen. Text muss auf Layer 25 tNames sein! Schriftgröße 70-100mil.



**Vektorschrift einstellen!**