|  |
| --- |
| 电子科技大学  **计算机专业类课程** |
| **实验报告** |
| **课程名称：计算机组成原理综合实验**  **学生姓名： 郭志猛**  **学　　号： 2017080201005**  **指导教师： 陈虹** |
|  |
| **日　　期：2019年 6月29日** |

目录

**实验报告一 1**

1.实验室名称

2.实验项目

3.实验环境

4.实验任务

5.实验原理

6.实验步骤

7.实验结果

**实验报告二 1**

1.实验室名称

2.实验项目

3.实验环境

4.实验任务

5.实验原理

6.实验步骤

7.实验结果

**实验报告三 1**

1.实验室名称

2.实验项目

3.实验环境

4.实验任务

5.实验原理

6.实验步骤

7.实验结果

**实验报告四 1**

1.实验室名称

2.实验项目

3.实验环境

4.实验任务

5.实验原理

6.实验步骤

7.实验结果

**电 子 科 技 大 学**

# 实 验 报 告 一

一 实验室名称A2-411

二 实验项目：实验一：基本器件的设计与实现

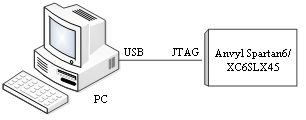
三 实验环境**：**

硬件环境：PC计算机和FPGA开发板

软件环境：操作系统：Windows 10

开发平台：Xilinx ISE Design Suite 14.7集成开发系统

开发板：Spartan6-XC6SLX45

 下载软件：Adept

## 四 实验任务

1.掌握用Verlog设计硬件电路的基本方法；

2.开发板的基本使用；

3.基本器件的设计：

32位2选1多路选择器；

5位2选1多路选择器；

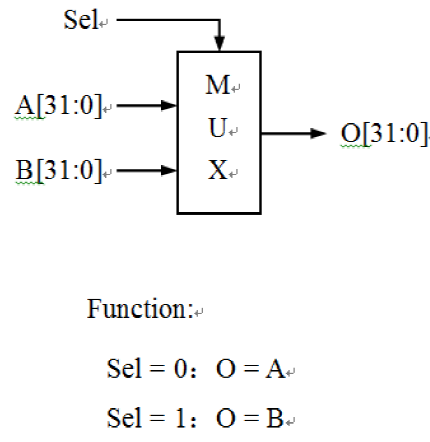
32位寄存器堆；

扩展器与ALU的设计。

## 五 实验原理

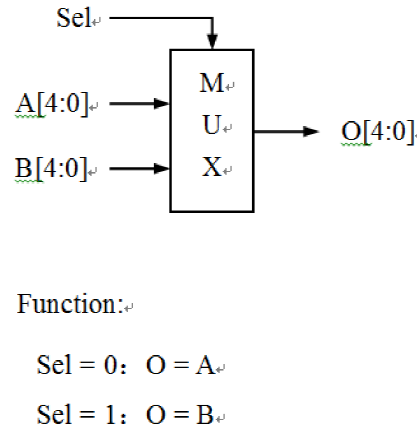
1.32位2选1多路选择器

电路设计如下：

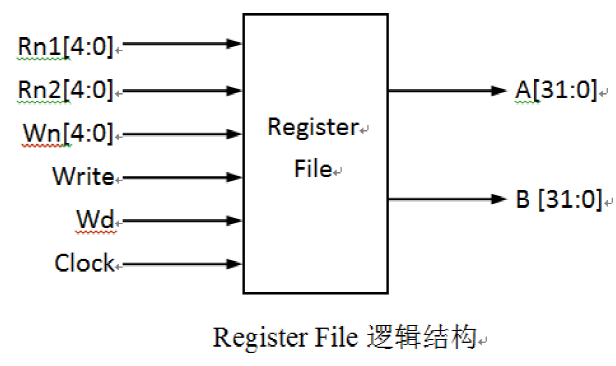




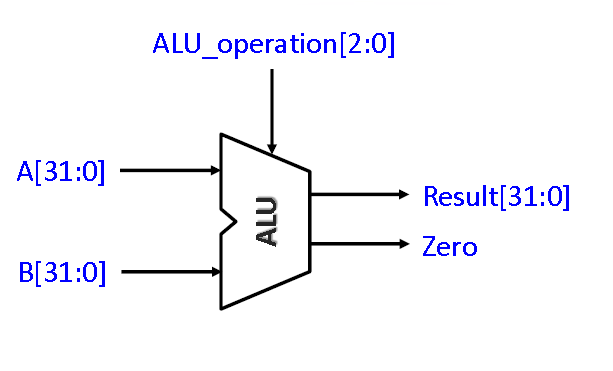
2.5位2选1多路选择器



3.32位寄存器堆



4.ALU的设计





## 

## 六 实验步骤

1.新建文件：

设置设备和文件路径及编程语言

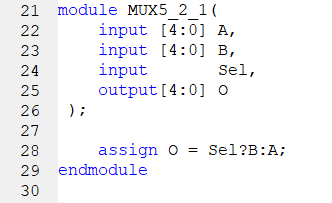
2.新建模块：

添加Verilog Module：

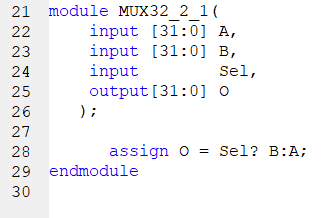
3.编写程序：

根据上图控制电路功能编写Verilog程序：

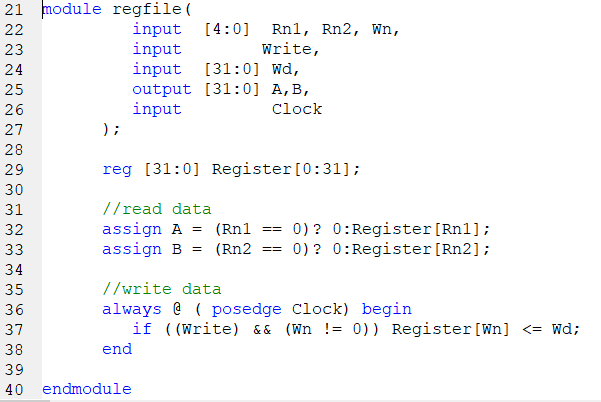
（5位2选1多路选择器）



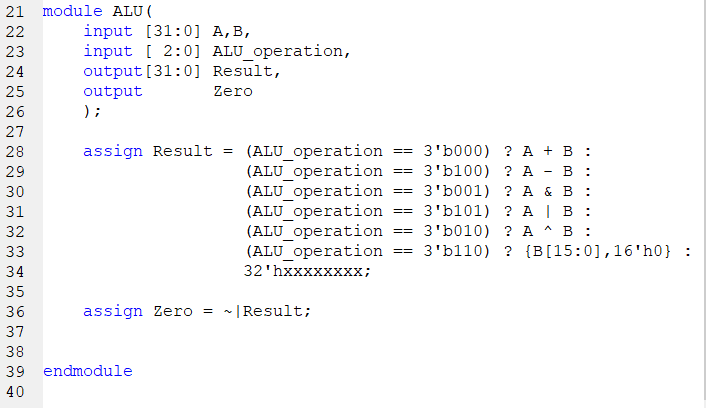
（32位2选1多路选择器）



（32位寄存器堆）

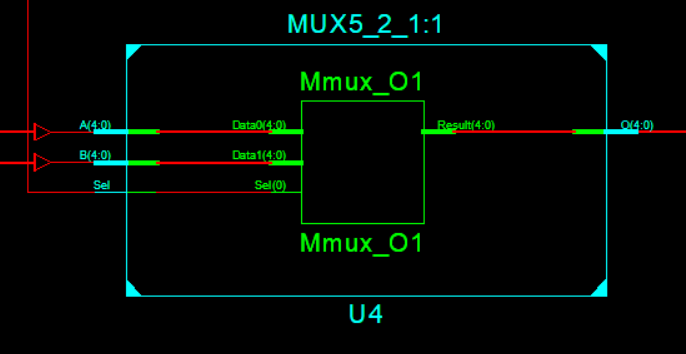


（ALU）

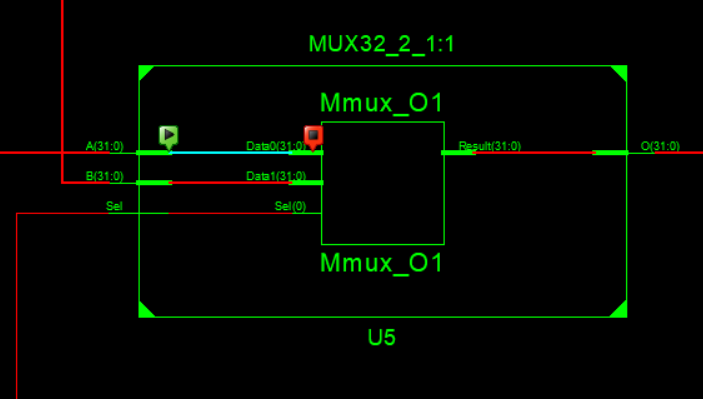


4.综合模块：

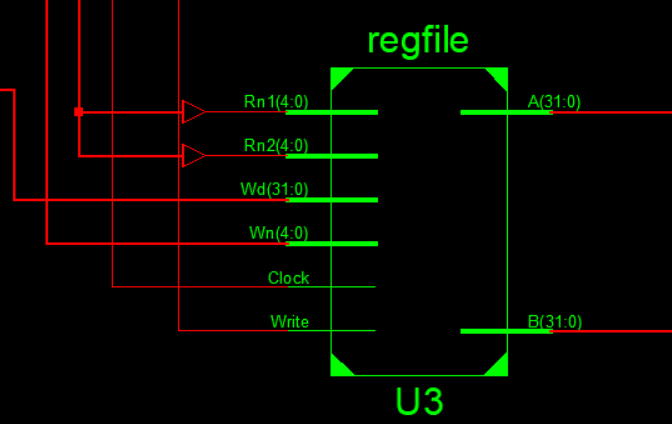
（5位2选1多路选择器）



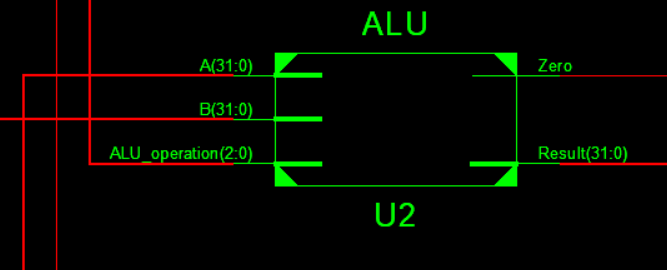
（32位2选1多路选择器）



(32位寄存器堆)



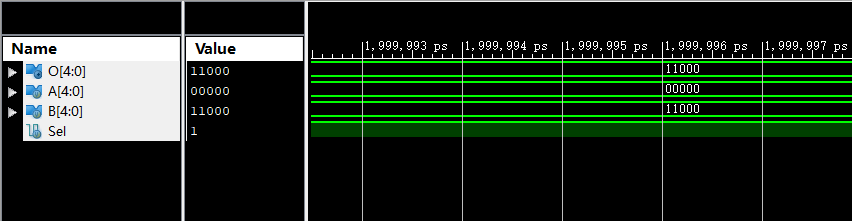
(ALU)



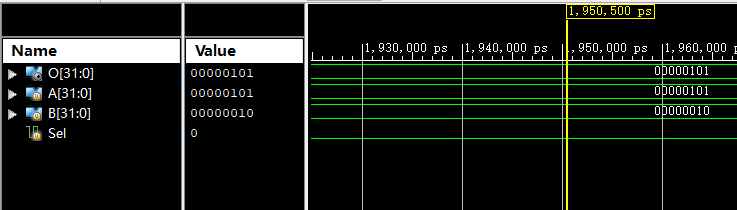
**七 实验结果**

实验结果如下：

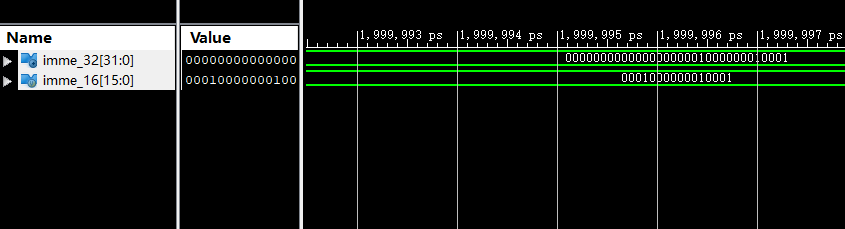
（5位2选1多路选择器）



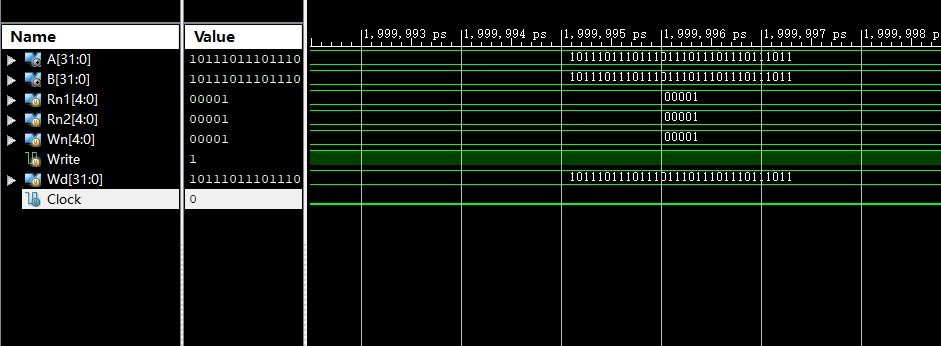
（32位2选1多路选择器）



（32位寄存器堆）



（ALU）



**电 子 科 技 大 学**

# 实 验 报 告 二

一 实验室名称A2-411

二 实验项目：实验二：控制器与取指电路的设计与实现

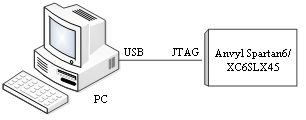
三 实验环境**：**

硬件环境：PC计算机和FPGA开发板

软件环境：操作系统：Windows 10

开发平台：Xilinx ISE Design Suite 14.7集成开发系统

开发板：Spartan6-XC6SLX45

 下载软件：Adept

## 四 实验任务

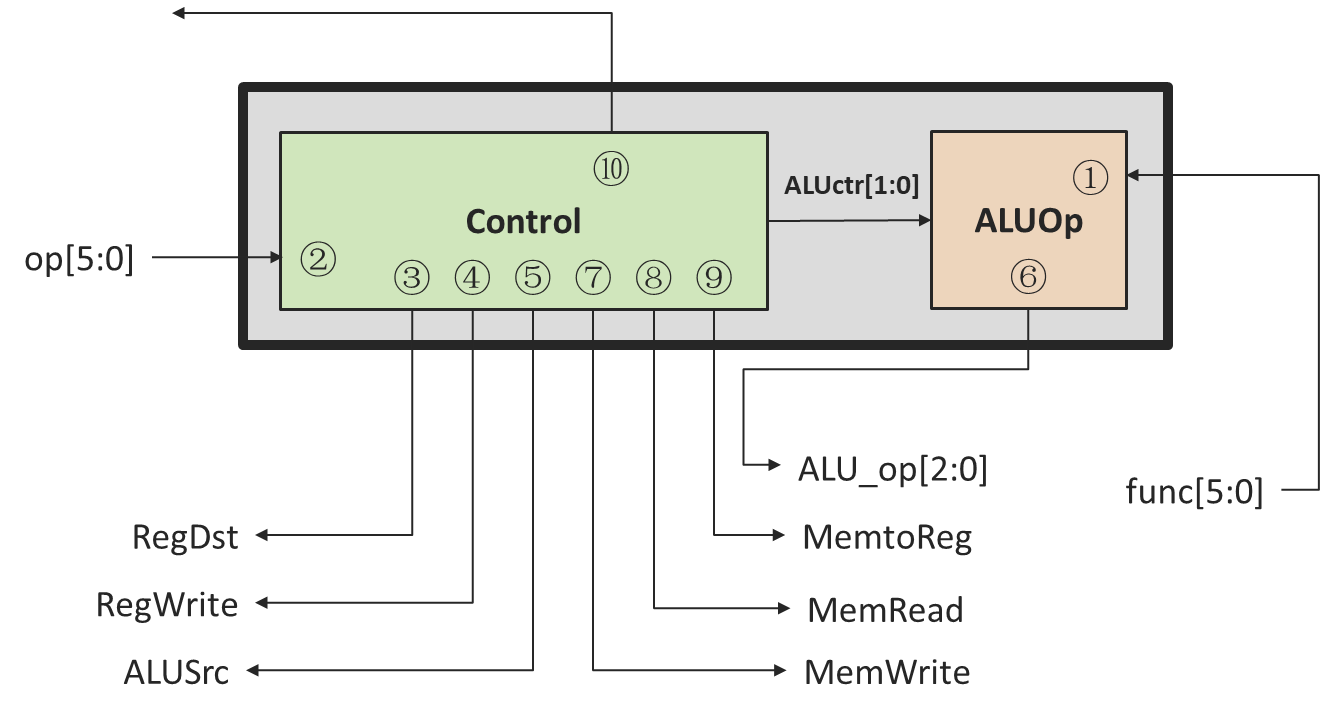
1.设计并实现控制器

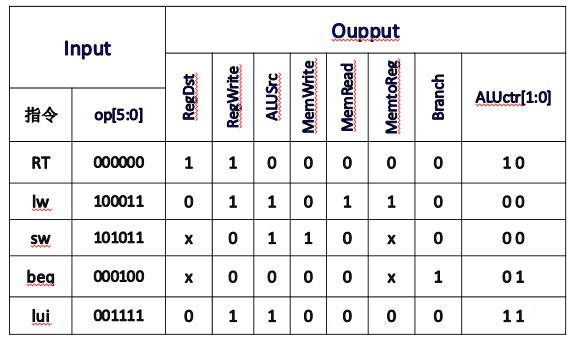
2.设计并实现取指电路

## 五 实验原理

1.控制器的设计

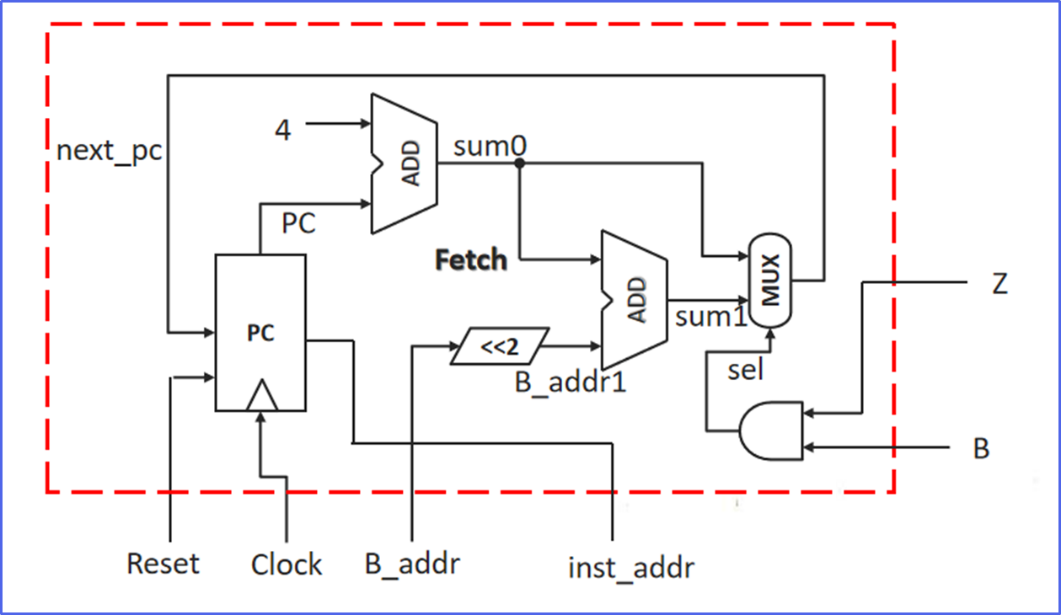
控制器结构如下图所示：

输入指令与输出控制信号关系如下：



2.取指电路的设计

取指电路如下图所示：



## 六 实验步骤

1.新建文件：

设置设备和文件路径及编程语言

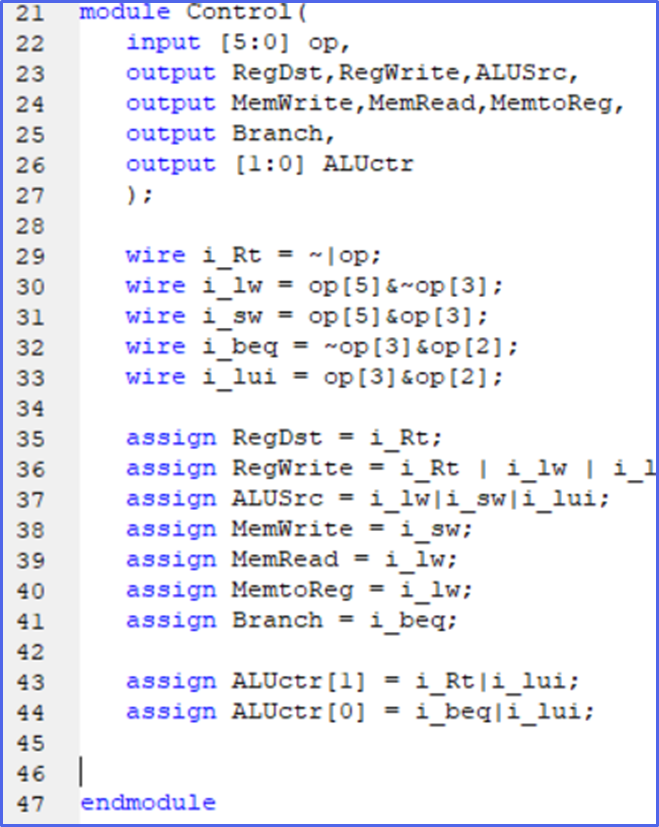
2.新建模块：

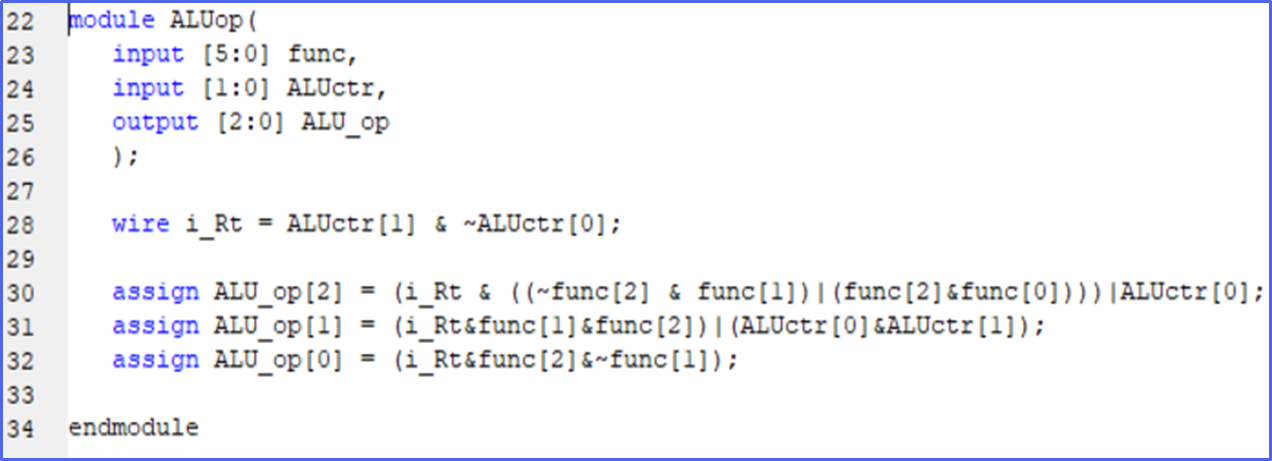
添加Verilog Module

3.编写程序：

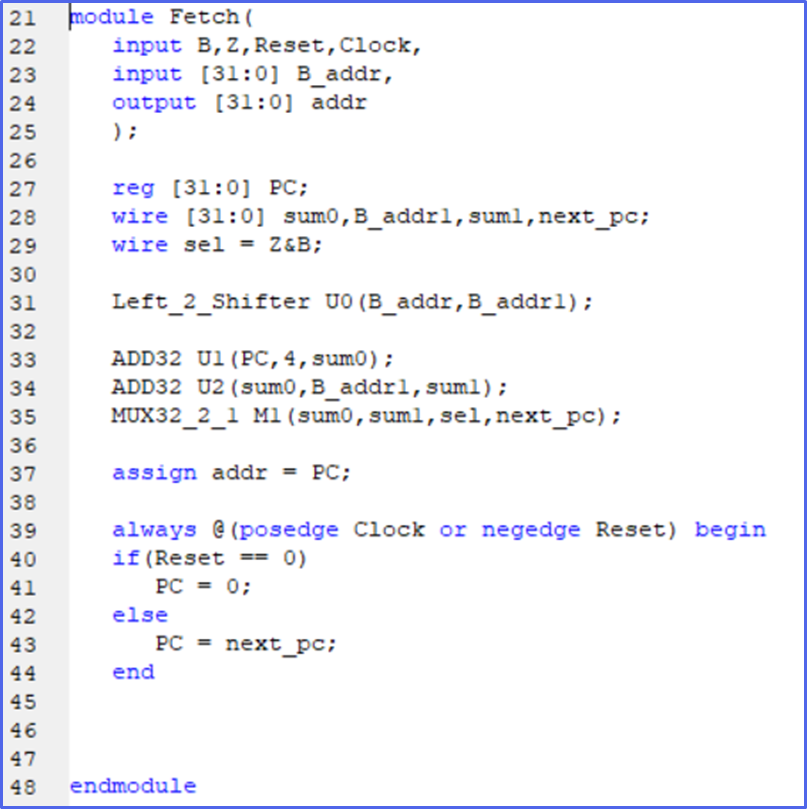
根据上图控制电路功能编写Verilog程序

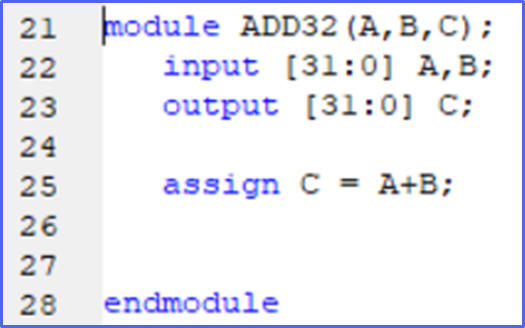
（控制器：Control+ALUop）

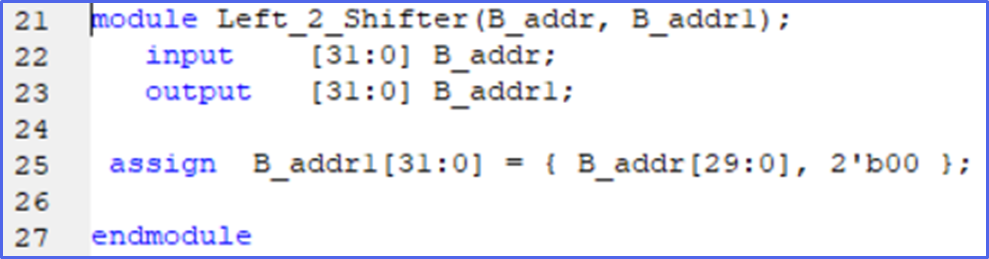


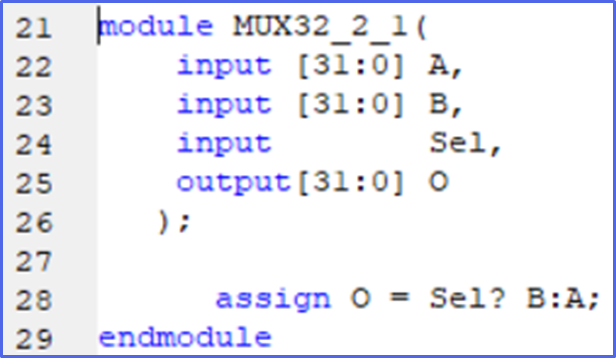


（取指电路：总+加法器+左移两位+32位多路选择器）



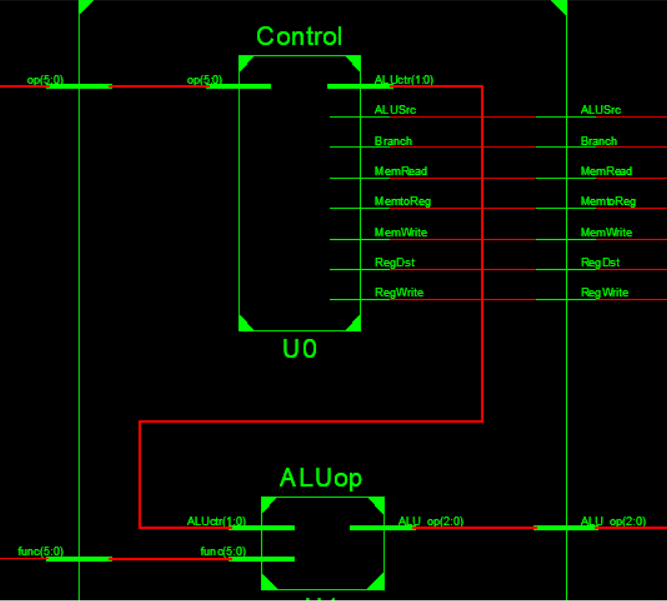




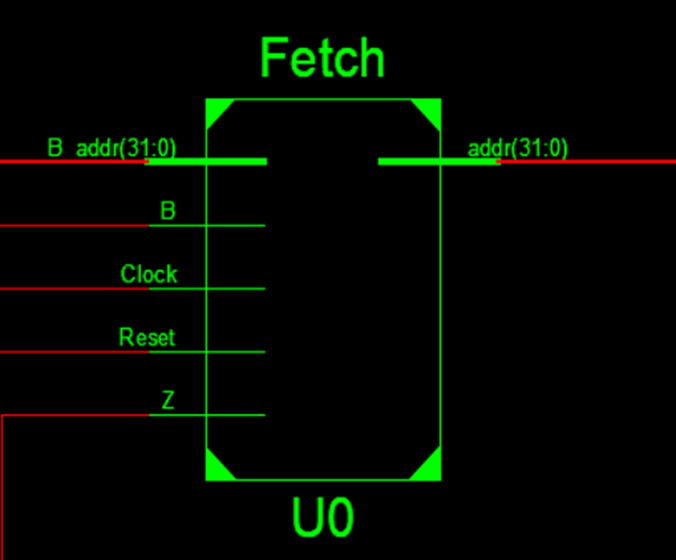


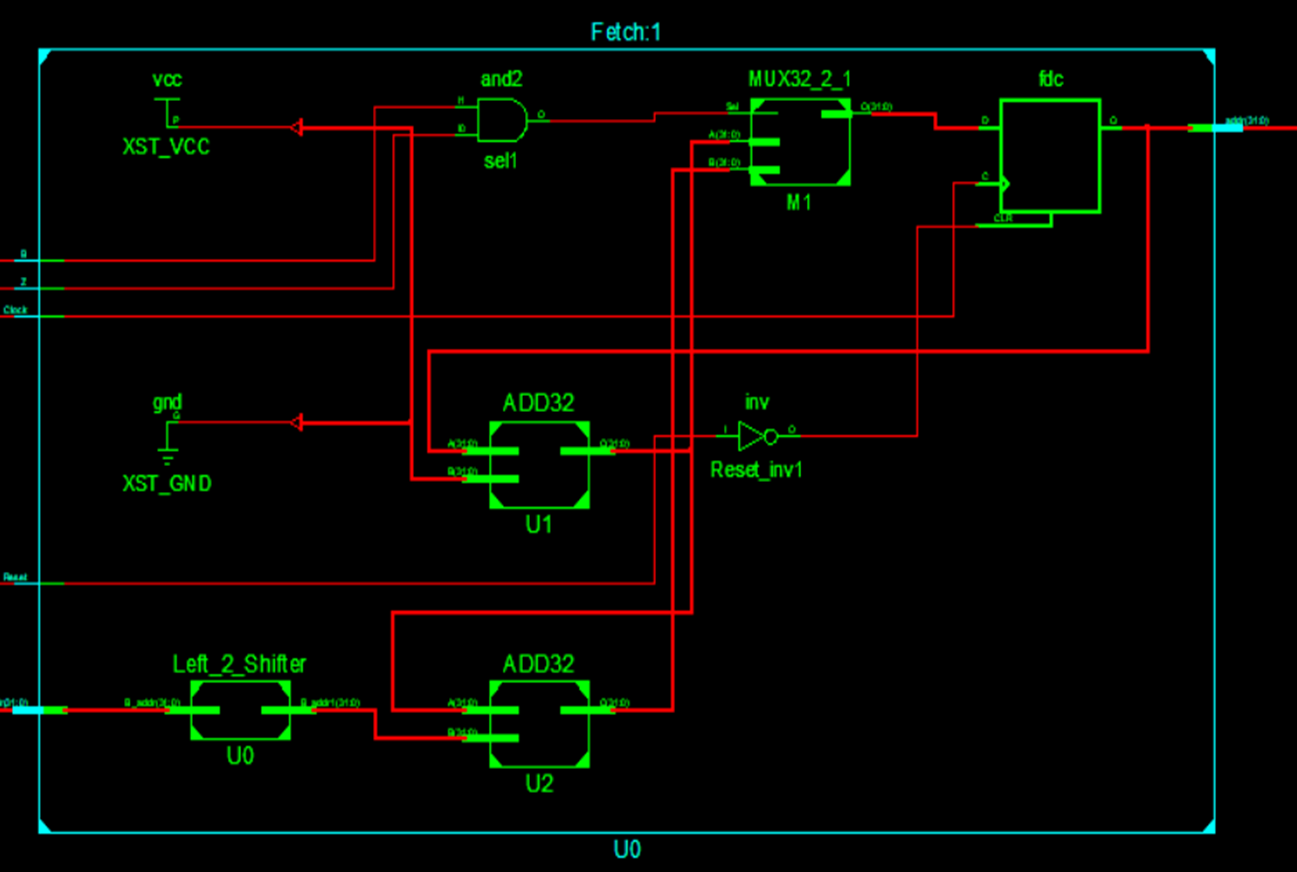
4.综合模块：

（控制器）



（取指电路）

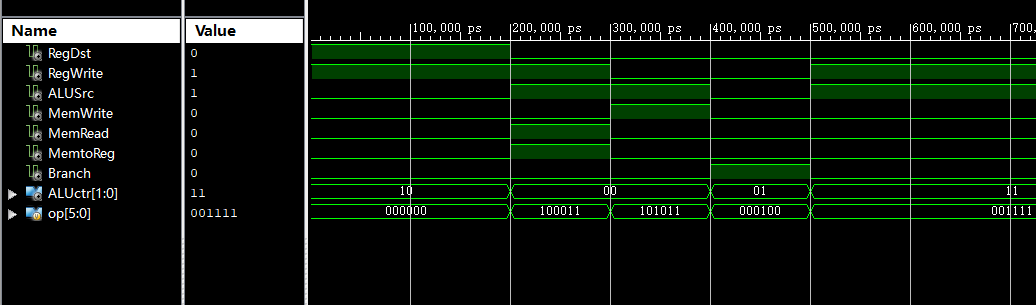




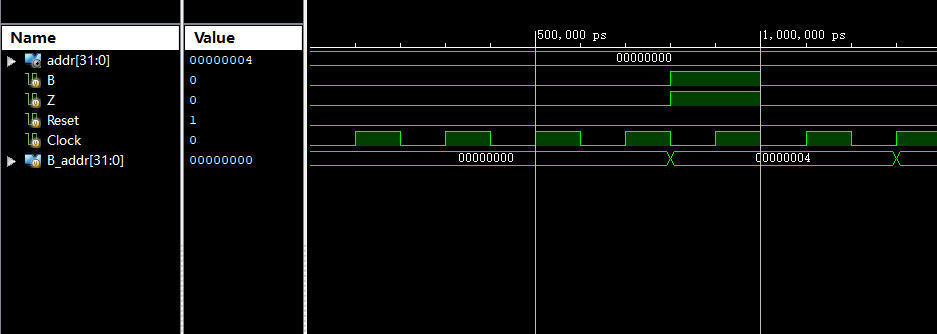
**七 实验结果**

实验结果如下：

（控制器）



（取指电路）



**电 子 科 技 大 学**

# 实 验 报 告 三

一 实验室名称A2-411

二 实验项目：实验三：单周期CPU的设计与实现

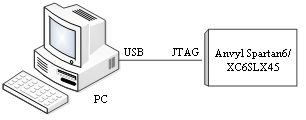
三 实验环境**：**

硬件环境：PC计算机和FPGA开发板

软件环境：操作系统：Windows 10

开发平台：Xilinx ISE Design Suite 14.7集成开发系统

开发板：Spartan6-XC6SLX45

 下载软件：Adept

## 四 实验任务

1.设计并实现Data\_Flow

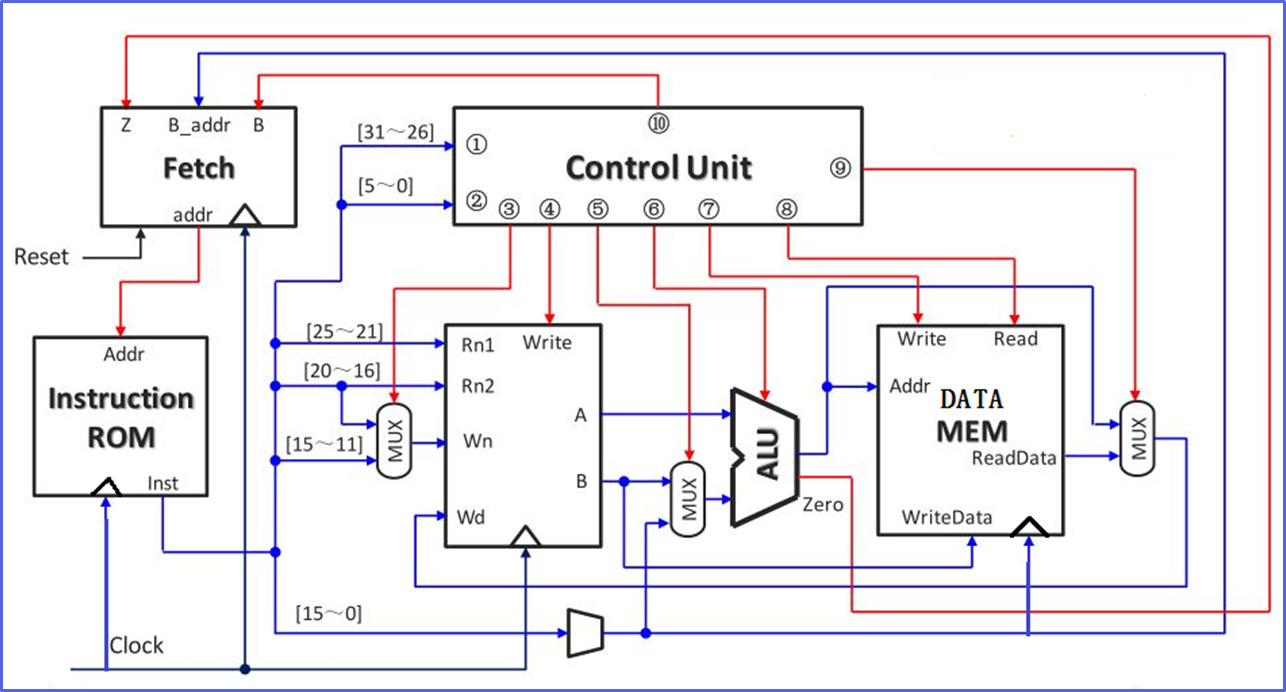
2.设计并实现Instruction\_ROM

3.设计并实现Data\_MEM

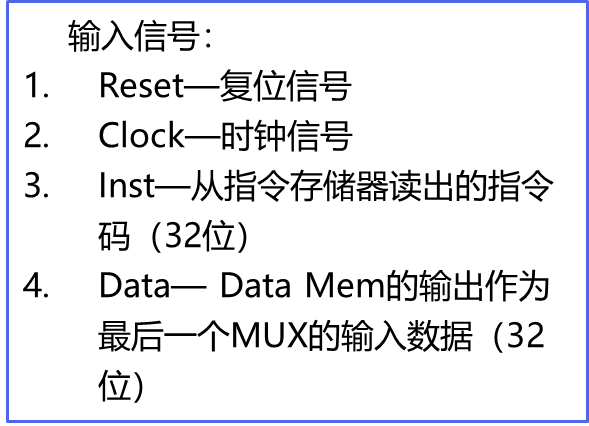
## 五 实验原理

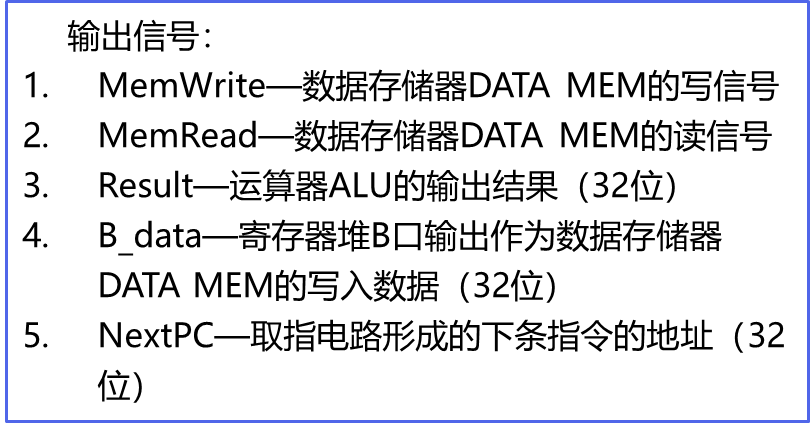
1.Data\_Flow的设计

三个部分的结构如下图所示：



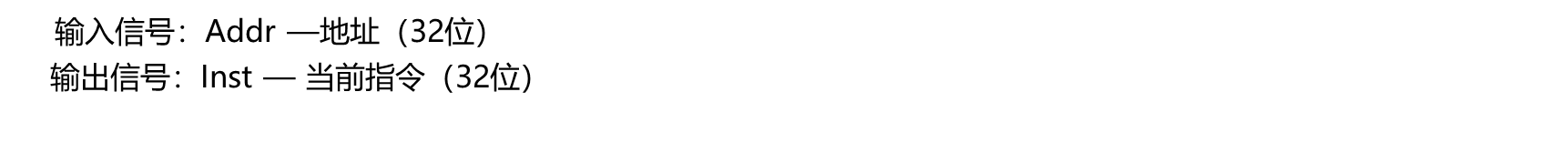
Data\_Flow的输入输出信号如下：



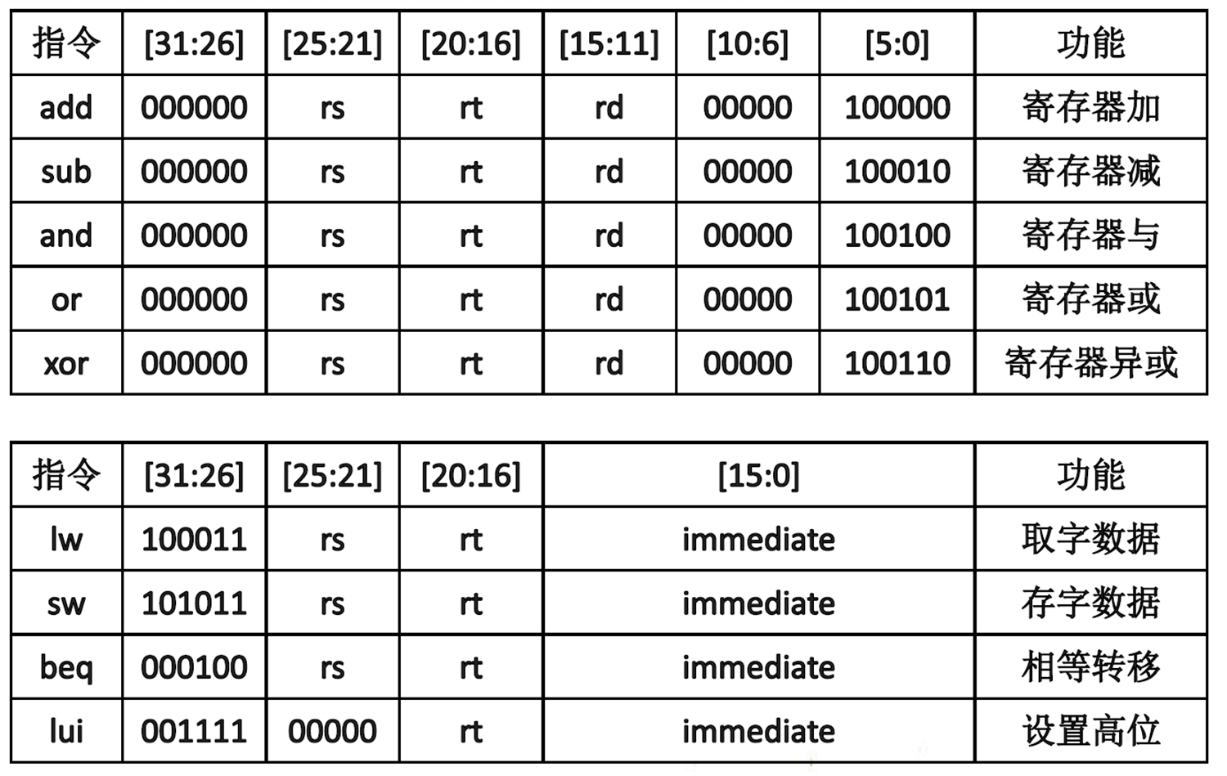


2.Instruction\_ROM的设计

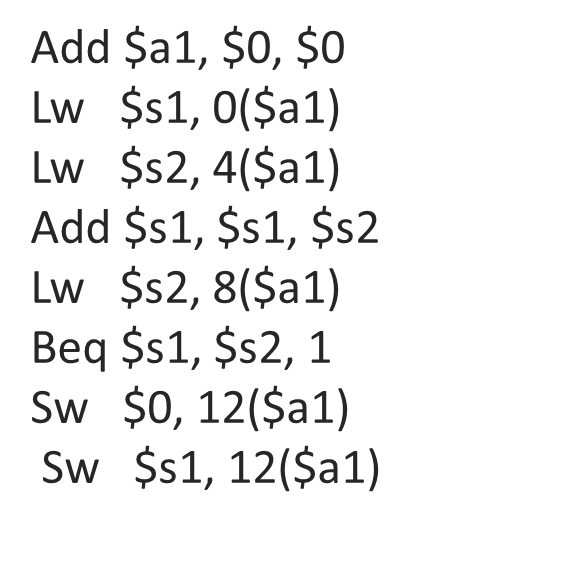
Instruction\_ROM输入输出信号如下：



MIPS32常见指令编码表如下：

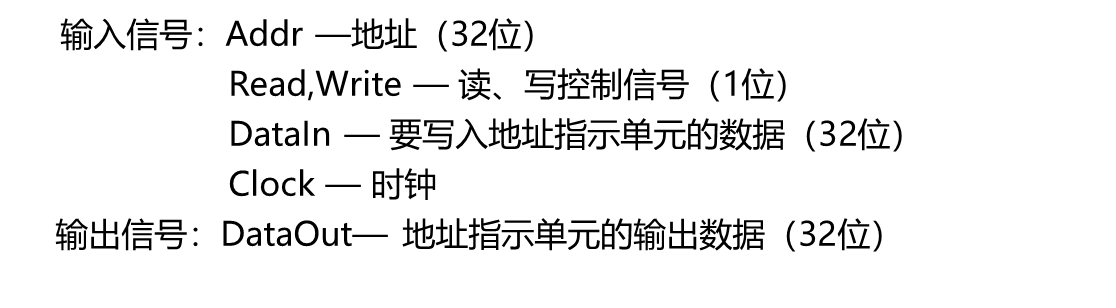


需要完成的指令如下：



3.Data\_MEM的设计

Data\_MEM的输入输出信号如下：



## 六 实验步骤

1.新建文件：

设置设备和文件路径及编程语言

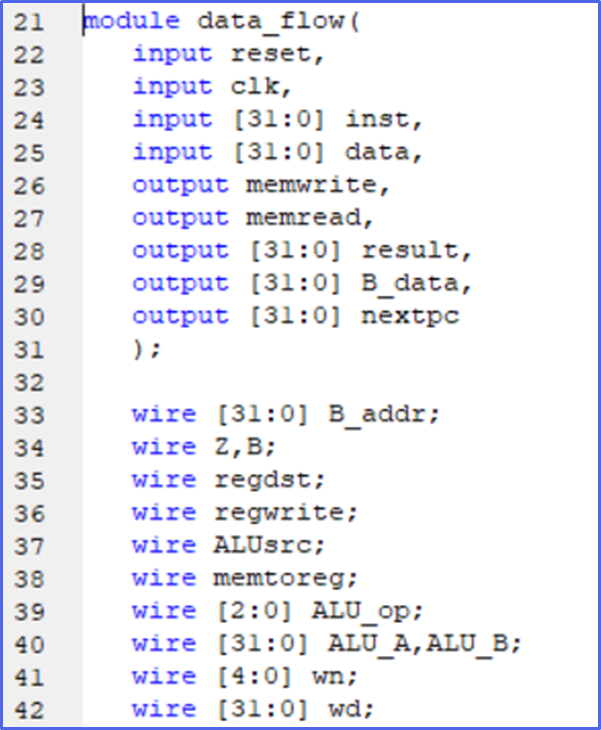
2.新建模块：

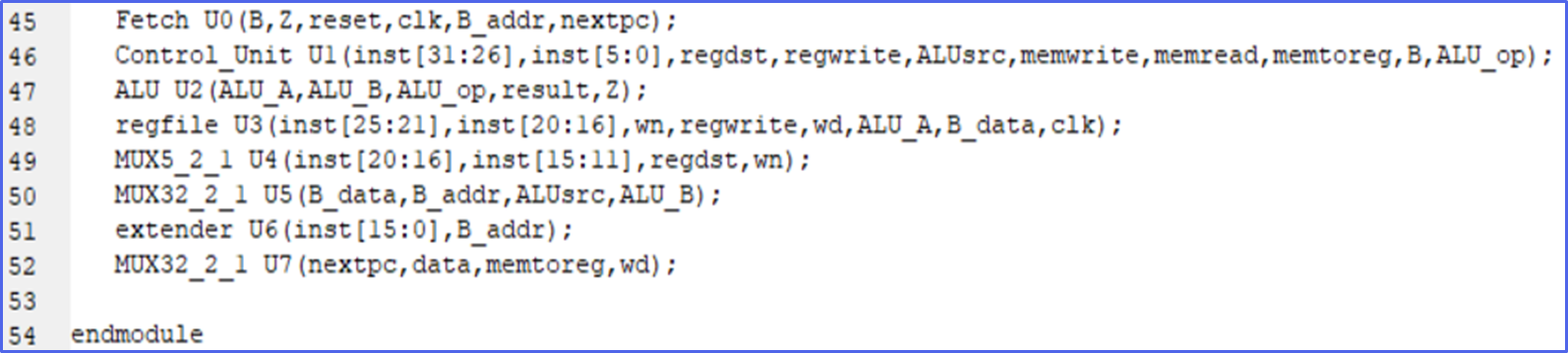
添加Verilog Module

3.编写程序：

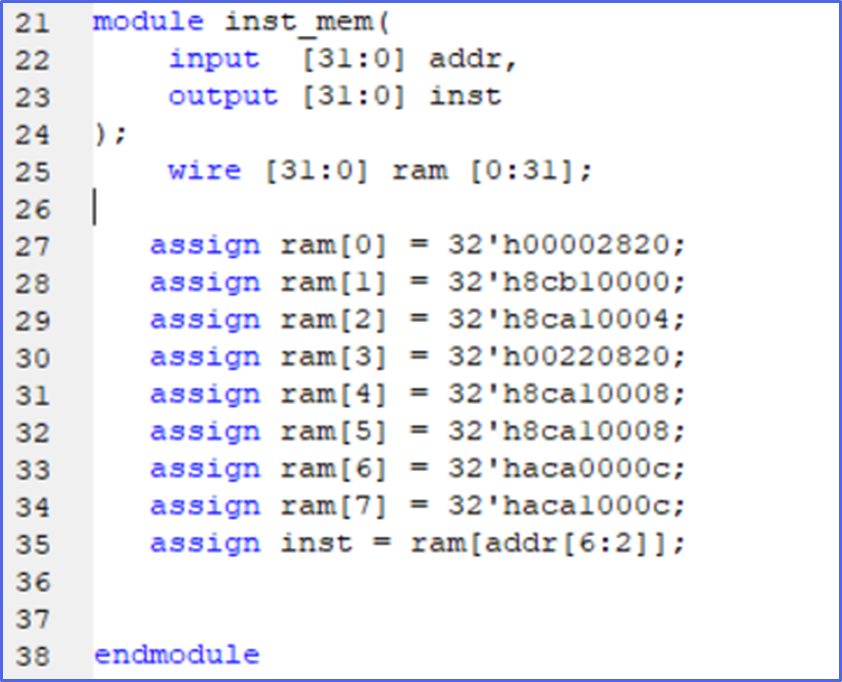
根据上图控制电路功能编写Verilog程序

（Data\_Flow）

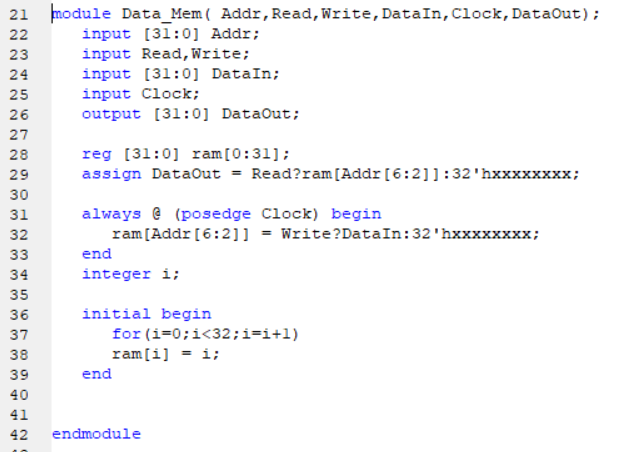




（Instruction MEM）

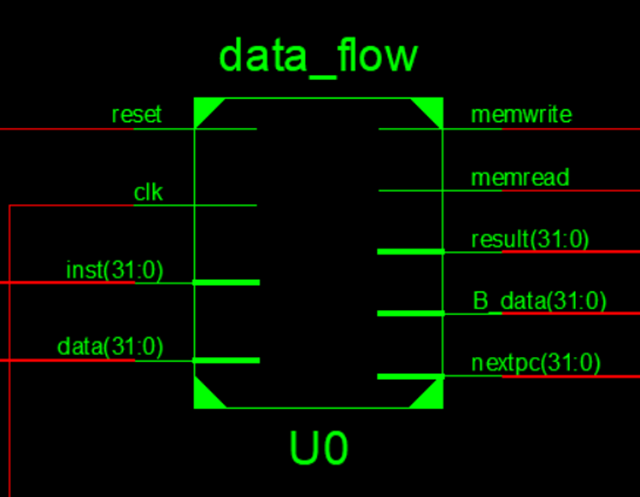


（Data\_MEM）

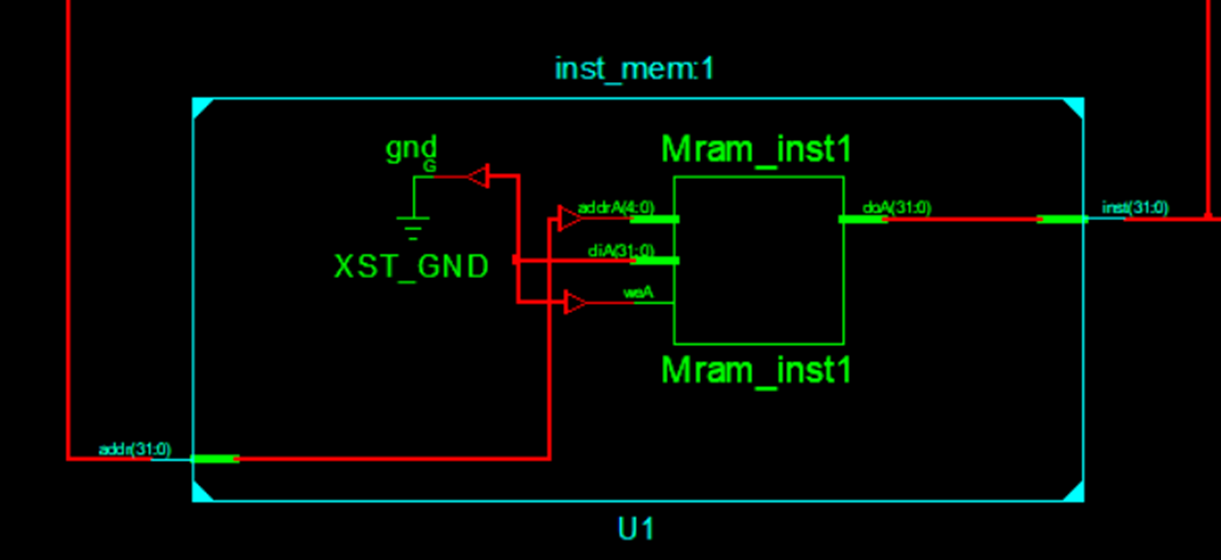


4.综合模块：

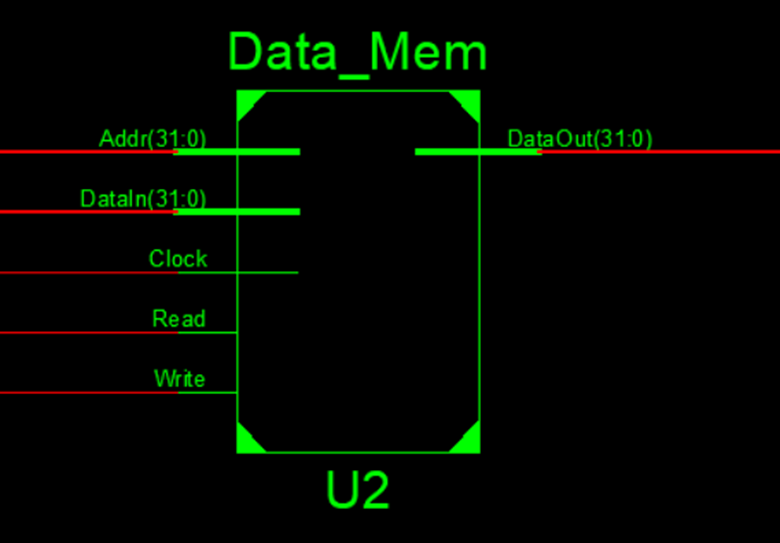
（Data\_Flow）



（Instruction\_MEM）



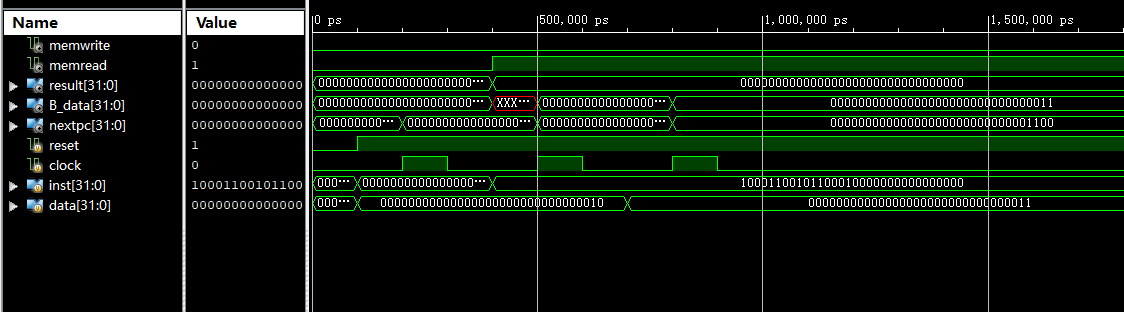
（Data\_MEM）

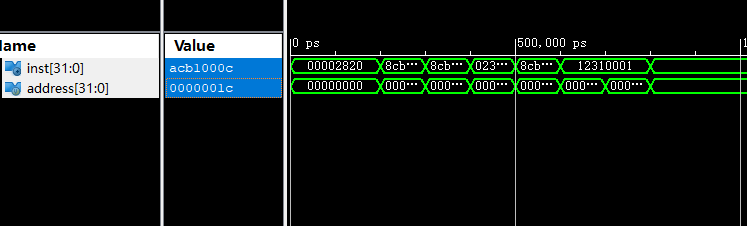


**七 实验结果**

实验结果如下：

（Data\_Flow）

（Instruction\_MEM）



**电 子 科 技 大 学**

# 实 验 报 告 四

一 实验室名称A2-411

二 实验项目：实验四：单周期计算机的设计与实现

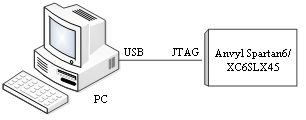
三 实验环境**：**

硬件环境：PC计算机和FPGA开发板

软件环境：操作系统：Windows 10

开发平台：Xilinx ISE Design Suite 14.7集成开发系统

开发板：Spartan6-XC6SLX45

 下载软件：Adept

## 四 实验任务

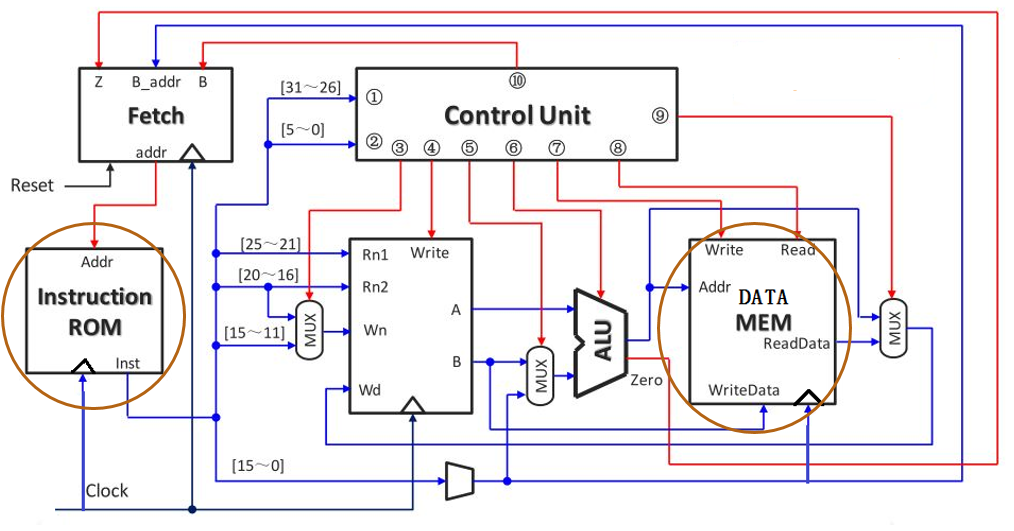
1.设计并实现Main\_Board模块

2.下载到开发板进行验证

## 五 实验原理

1.Main\_Board模块的设计

单周期计算机结构如下图所示：



2.下载到开发板进行验证

## 六 实验步骤

1.新建文件：

设置设备和文件路径及编程语言

2.新建模块：

添加Verilog Module：

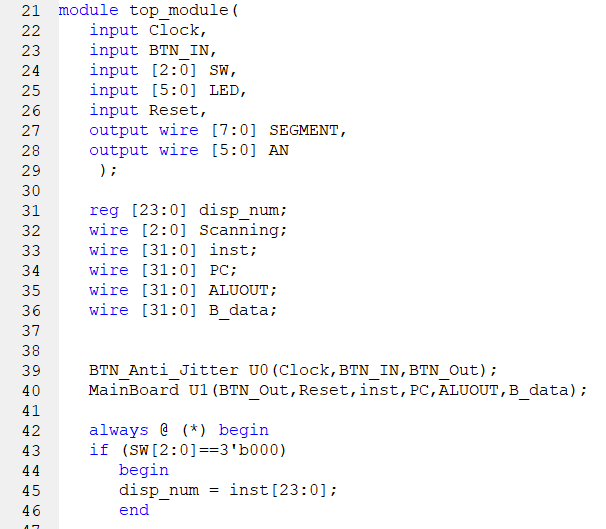
3.编写程序：

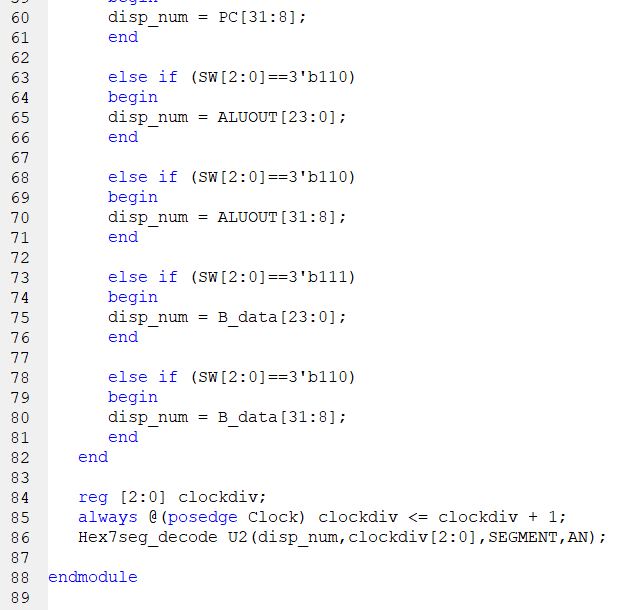
根据上图控制电路功能编写Verilog程序

(Main Board)



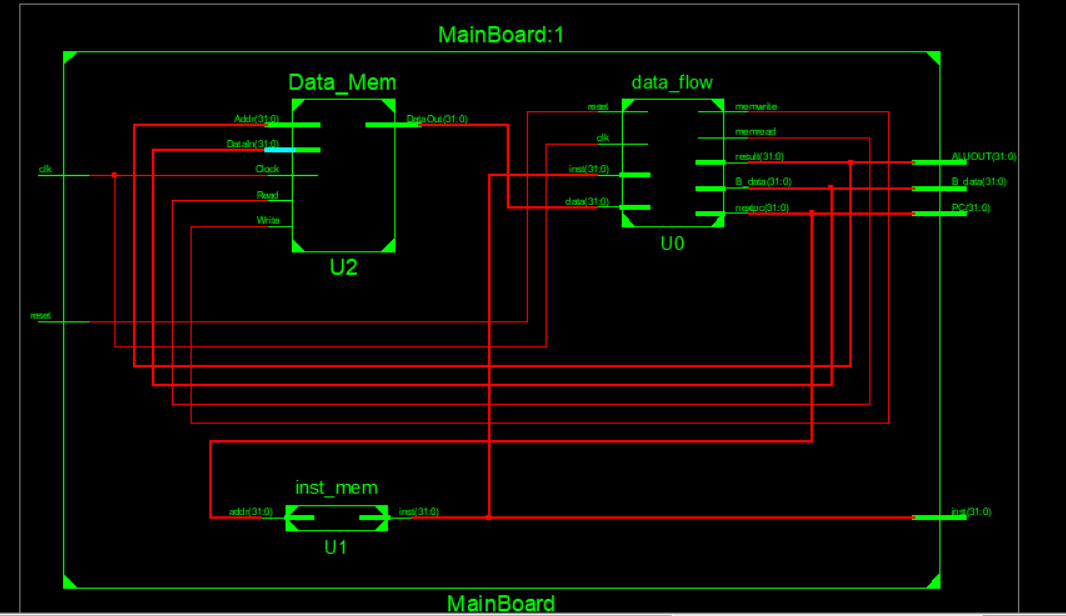
(Top Module)



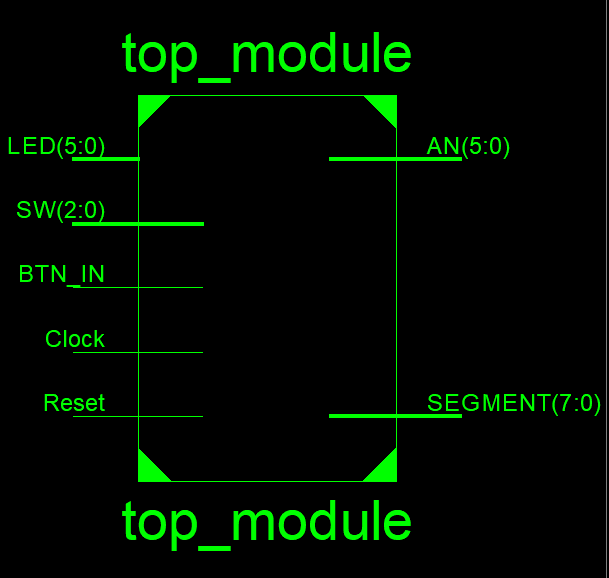


4.综合模块：

(Main Board)



(Top Module)



**七 实验结果**

实验结果如下：

(Main Board)

