

ELEC 232 - Electronic Circuits 1
Laboratory Manuals

January 23, 2017

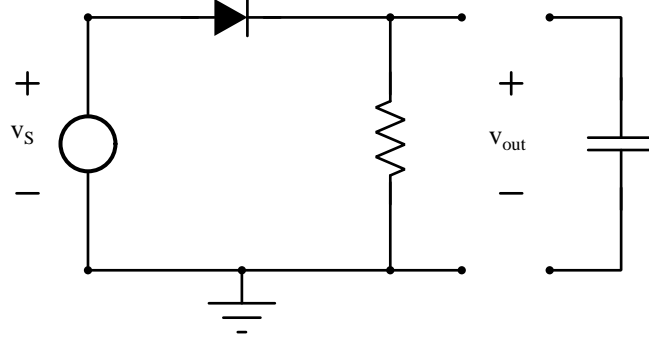
1 Diyot Karakteristiđi

1.1 Malzeme Listesi

Bileşen	Miktar	Değer
Diyot	1	1N4001
Direnç	1	1k Ω
Kondansatör	1	1 μF

Bu deneyde bir yarım dalga doğrultucunun ve bir zarf dedektörünün geçici hâl davranışları incelenecektir. Bu devrelerin her biri doğrusal olmayan bileşen olarak bir diyot içermektedir. Diyot, yalnızca bir yönde akım akışına izin veren bir aygıt olarak ele alınabilir.

1.2 Deney Öncesi Benzetimler



Şekil 1.1: Diyot yarım dalga doğrultucu ve zarf dedektörü.

(Spice Benzetimi) Şekil 1.1’de $R = 1\text{ k}\Omega$ ve bir diyot kullanılmaktadır. Kondansatörün bağlanmadığı durumda bu devre bir yarım dalga doğrultucudur. Kondansatör bağlandığında ise bir zarf dedektör devresidir.

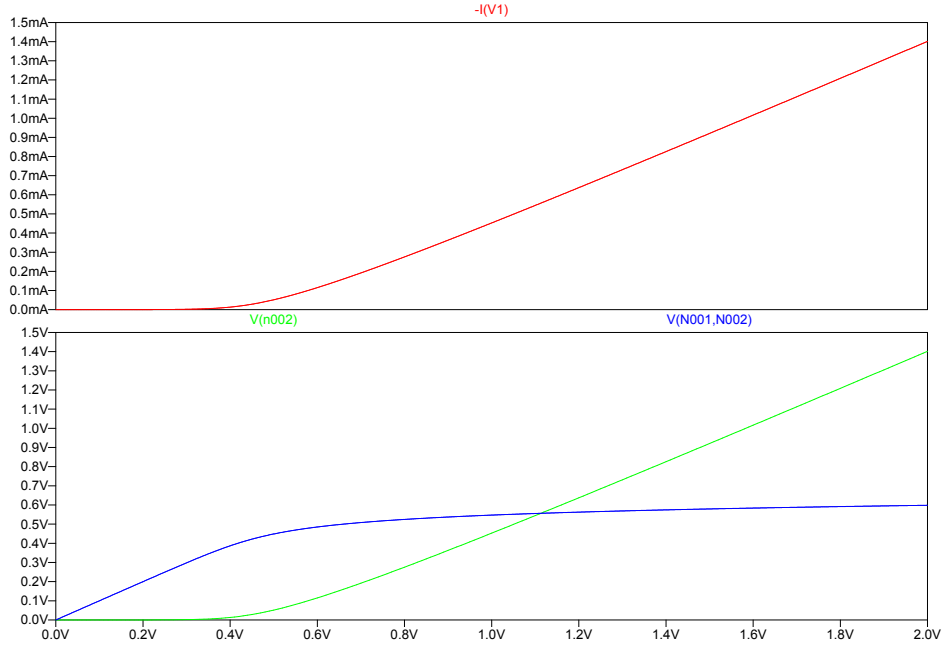
1.2.1 Yarım Dalga Doğrultucunun DC Karakteristiği

Öncelikle Spice ortamında bir DC benzetim gerçekleştireceksiniz. Bu aşamada kondansatör henüz devreye bağlı değildir. v_s DC gerilimini 0’dan 2 Volt değerine kadar taratın (DC sweep). Diyotun ve direncin uçları arasındaki gerilimi aynı şekle çizdirin. Bunun yanı sıra v_s gerilim kaynağından çekilen akımı gösteren ayrı bir şekil çizdirin. Tüm şekiller v_s ’nin gerilim değerine göre çizdirilecektir.

İlgili benzetim adımının çıktısı Şekil 1.2 ile gösterilmektedir. Bu grafikten, v_s ’nin gerilim değeri arttıkça diyotun uçları arasındaki gerilimin de arttığı ve v_s ’nin diyotun eşik gerilimine ulaşmasının ardından diyotun uçları arasındaki gerilimin sabit kaldığı görülebilmektedir. Eşik geriliminin aşılması ile iletme geçen diyot, üzerinden akım akışına izin vermekte (üstte) ve bu sayede direnç elemanının uçları arasında bir miktar gerilim düşümü meydana gelmektedir (altta).

1.2.2 Yarım Dalga Doğrultucunun Geçici Hâl Karakteristiği

Şimdi bir geçici hâl benzetimi gerçekleştireceksiniz. Kondansatör hâlâ devreye bağlı değildir. $A = 2$ and $f = 1\text{ kHz}$ olmak üzere $v_s(t) = A \sin(2\pi ft)$ Volt olsun. Giriş gerilimini, diyotun uçları arasındaki gerilimi ve direncin uçları arasındaki gerilimi sinüs dalgasının 2-3 periyodu süresince zamana karşı çizdirin.



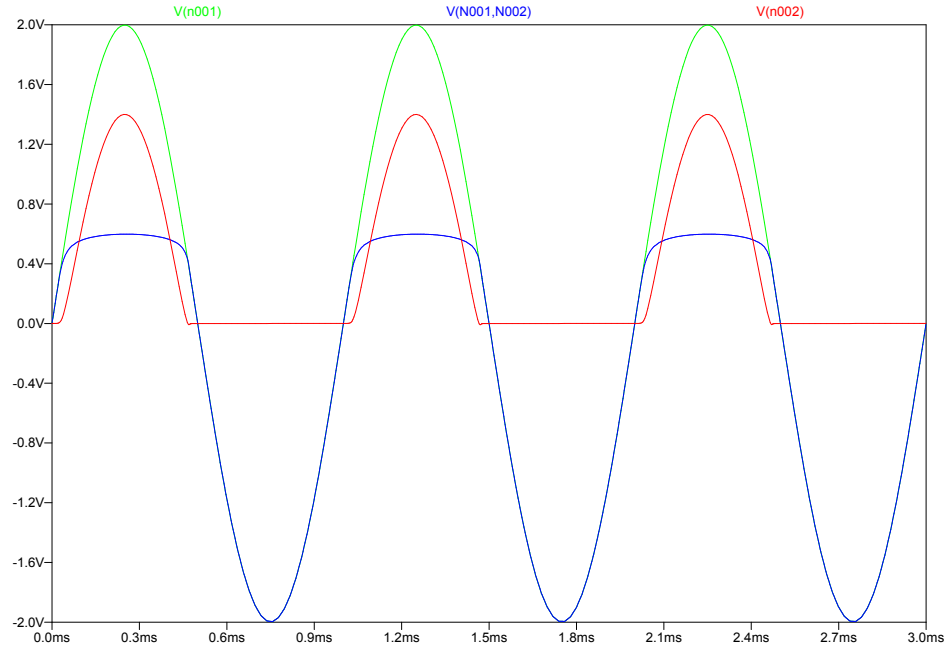
Şekil 1.2: Diyot ve direnç bileşenlerinin uçları arasındaki gerilimler (altta) ve v_s gerilim kaynağından çekilen akım (üstte).

İlgili benzetim adımının çıktısı Şekil 1.3 ile gösterilmektedir. Bu grafikten, v_s 'nin pozitif yarı-çevrimi için diyotun yaklaşık olarak 0.6 V değerinde iletme geçtiği ve üzerindeki gerilimin bu değerde sabit kaldığı görülebilmektedir. Pozitif yarı-çevrim için bileşenlerin uçları arasındaki gerilimlerin tepe değerlerini inceleyiniz ve direncin uçları arasındaki gerilimin v_s 'den yaklaşık olarak 0.6 V daha düşük olduğuna dikkat ediniz.

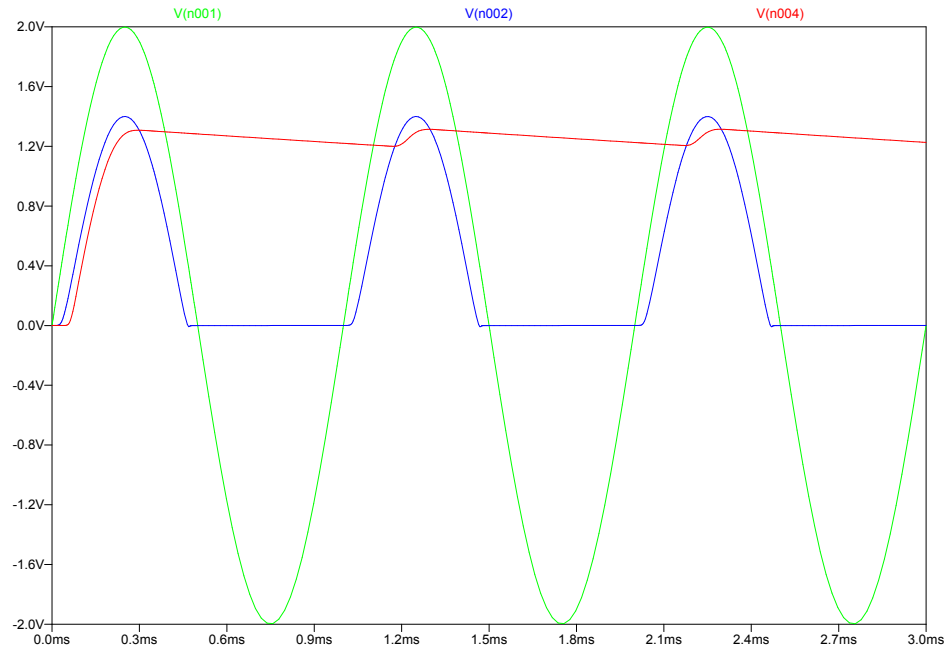
1.2.3 Yarı Dalgı Doğrultucu Temelli Zarf Dedektörünün Geçici Hâl Karakteristiğı

Şekil 1.1'de bulunan, biri kondansatör olmadan yalnızca diyot ve direnç elemanlarından oluşan ve diğeri tüm elemanlardan oluşan iki alt devreyi kurun. Yine, $A = 2$ and $f = 1$ kHz olmak üzere $v_s(t) = A \sin(2\pi ft)$ Volt olsun. $v_s(t)$ 'nin uygulandığı alt devrelerden birini Devre 1 olarak adlandıracamız. Şekil 1.1'de olduğu gibi dirence paralel olarak bağlanan bir kondansatörün bulunduğu alt devreyi ise Devre 2 olarak adlandıracamız. Şimdi eş zamanlı olarak her iki devre için geçici hâl benzetimi gerçekleştireceksiniz. Devre 1 ve 2 için giriş gerilimi $v_s(t)$ ve $v_{out}(t)$ gerilimini aynı şekilde çizdireceksiniz. Bu benzetimi kondansatörün C : 470 nF, 1 μ F, ve 10 μ F değerleri için gerçekleştireceksiniz.

İlgili benzetim adımının çıktısı Şekil 1.4 ile gösterilmektedir. Bir yarı dalgı doğrultucu olan Devre 1'in çıkışından v_s 'nin yalnızca pozitif yarı-çevrimleri -belirli bir zayıflama ile- elde edilebilmekte iken bir zarf dedektörü olan Devre 2'nin çıkışından direnç üzerindeki işaretin zarfı elde edilebilmektedir.



Şekil 1.3: Giriş gerilimi, diyotun uçları arasındaki gerilim ve direncin uçları arasındaki gerilim.



Şekil 1.4: Giriş gerilimi ve Devre 1 ve Devre 2 için çıkış gerilimleri ($C = 10 \mu\text{F}$).

1.2.4 Zaman Gecikmesi ve Zarf Dedektöründeki Zayıflama

Bir önceki soruda, Devre 2'deki $v_{\text{out}}(t)$ için kondansatörün farklı değerlerinde elde edilen şekiller, Devre 1'deki $v_{\text{out}}(t)$ için elde edilen şekle kıyasla nasıl değişmektedir? Kapasitans arttıkça artan zaman gecikmesini ve zayıflamayı nasıl açıklarsınız? C çok küçük olduğunda (örn. $C = 1\text{nF}$) ne olur?

1.3 Deneyde Yapılacaklar

Öğrenciler laboratuarda aşağıdaki deneyleri gerçekleştireceklerdir. Şekil 1.1 devresini inceleyiniz. Deneyler aşağıdaki sıra ile yapılmalıdır. Diyot için 1N4001 modelini kullanınız, $R = 1\text{k}\Omega$ ve $C = 1\mu\text{F}$ değerlerini seçiniz.

1.3.1 Yarım Dalga Doğrultucunun DC Karakteristiği

Şekil 1.1 devresini kapasitör olmadan bağlayınız. $v_s(t)$ sinyali, ayarlanabilir bir DC kaynak ve bir sinüsten oluşacak şekilde oluşturulacaktır ve $v_s(t) = B + A \sin(2\pi f t)$ Volt değerine sahip olacaktır. A 100-200 mV ve $f = 1\text{kHz}$ seçilmelidir. Bir DC güç kaynağını sinyal jeneratörü ile seri bağlayarak $v_s(t)$ sinyalini elde edeceksiniz.

Osiloskobun iki probu bulunmaktadır. Devrenin toprağının hangi nokta olduğuna dikkat ediniz. İlk probu (X) $v_s(t)$ sinyalinin uçlarına bağlayınız. İkinci probu (Y) $v_{\text{out}}(t)$ sinyalinin uçlarına bağlayınız. Osiloskobu XY moduna geçirin.

DC güç kaynağının B Volt seviyesini yavaşça 0-2 Volt arasında değiştiriniz. Osiloskopta gözlemlenen dalga simülasyonlarda v_{out} sinyalinin DC analizinde elde edilen dalgaya benzeyecektir.

Diyot ve direncin yerlerini değiştiriniz. Diyodun katodu topraklanmalıdır. Bu yeni devre için aynı deneyi tekrar yapınız. Osiloskopta simülasyonlardaki diğer DC analizi sonucunu gözlemleyeceksiniz.

XY modunda elde ettiğiniz iki dalgayı çizin ve yorumlayınız. Bunlar lab öncesi simülasyonlarda elde ettiğiniz sonuçlar ile örtüşmekte midirler?

1.3.2 Yarım Dalga Doğrultucunun Geçici Hâl Karakteristiği

Şekil 1.1 devresini kapasitör olmadan bağlayınız. $v_s(t) = A \sin(2\pi f t)$ Volt olmalıdır ($A = 2$ ve $f = 1\text{kHz}$). $v_s(t)$ sinyali sinyal jeneratörü tarafından sağlanacaktır.

Birinci probu $v_s(t)$ sinyalinin uçlarına, ikinci probu ise $v_{\text{out}}(t)$ sinyalinin uçlarına bağlayınız.

$v_{\text{out}}(t)$ ve $v_s(t)$ sinyallerinin arasında nasıl bir ilişki olduğunu açıklayınız. Gözlemlediğiniz bu dalgalar simülasyon sonuçları ile örtüşmekte midirler? Bu devrenin işlevi nedir?

1.3.3 Yarım Dalga Doğrultucu Temelli Zarf Dedektörünün Geçici Hâl Karakteristiği

Şekil 1.1 devresini kapasitör ile birlikte bağlayınız. $v_s(t) = A \sin(2\pi f t)$ Volt olmalıdır ($A = 2$ ve $f = 1$ kHz).

Birinci probu $v_s(t)$ sinyalinin uçlarına, ikinci probu ise $v_{out}(t)$ sinyalinin uçlarına bağlayınız.

$v_{out}(t)$ ve $v_s(t)$ sinyallerinin arasında nasıl bir ilişki olduğunu açıklayınız. Kapasitörü bir tel aracılığıyla devreye bağlayarak ve sonra devreden çıkararak elde edilen iki $v_{out}(t)$ sinyalinin arasındaki farkı da gözlemleyerek açıklamalısınız. Sönümlenme ve faz farkı oluşması etkilerini incelemelisiniz.

Gözlemlediğiniz bu dalgalar simülasyon sonuçları ile örtüşmekte midirler? Bu devrenin işlevi nedir?

1.4 Değerlendirme Soruları

Aşağıdaki soruları kısaca ve gerekli ise şekil çizerek cevaplandırınız.

1. Diyot bileşeni için eşik gerilimi kavramı nedir? Bu gerilim değerinin altında ve üstünde bir gerilim uygulanması durumunda diyotun davranışını açıklayınız.
2. Kondansatörün bağlı olmadığı durumda Şekil 1.1 devresinin çıkışından girişine bağlanan AC kaynağın negatif yarı-çevrimlerini elde edebilmek için nasıl bir düzenleme gereklidir?
3. Zarf dedektörü devresinin çıkışından pürüzsüz DC gerilime daha yakın bir sinyal elde edebilmek için C kondansatörünün değerinin sabit kalması koşuluyla bir yöntem öneriniz.
4. Yarım dalga doğrultucu yapısında (Şekil 1.1 devresinde kondansatörün bağlı olmadığı durum) diyot bileşeni yerine bir transistör kullanılarak benzer çıkış sinyali elde edilebilir mi? Cevabınız evet ise transistörün devreye nasıl bağlanacağını çizerek gösteriniz.

1.5 Quiz Soruları

Aşağıdaki ifadeler (D)oğru ya da (Y)anlış'tır.

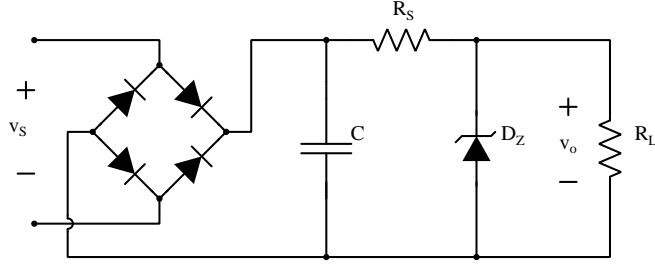
1. Elimizdeki yarım dalga doğrultucu yapısında ideal olmayan bir diyot kullanıldığında, çıkışta, bir sinüs girişinin tepeler arası genliğinin yarısı kadar bir maksimum voltaj elde etmek mümkün değildir.
2. Bir zarf dedektöründe yarım dalga yerine tam dalga doğrultucu kullanılması potansiyel olarak çıkıştaki yalpalamanın (ripple) genliğini düşürecektir.
3. Yarım dalga doğrultucu devresinde diyodun katodunu güç kaynağına bitiştiirmek pozitif bir yarım dalga doğrultucu elde etmemizi sağlayacaktır.
4. Eğer bir diyodun iletimdeki şeklinin büyük sinyal eşleniği, seri olarak bağlanmış bir pil ve bir rezistans ile modellenirse, yarım dalga doğrultucumuzda diyota seri olarak bağlanacak daha yüksek değerli bir direnç, DC analizde, diyotun üzerindeki voltajın düşmesine ve diyot akımının yükselmesine neden olacaktır.
5. Zarf dedektörü devresinde diğer bütün parametreleri sabit tutarak kapasitans değerini biraz arttıtırsak, devrenin çıkışına bağlanacak bir regülatörün daha düşük değerli bir yalpalamayı (ripple) düzenlemesine olanak tanırız.

2 AC-DC Dönüştürücüler

2.1 Malzeme Listesi

Bileşen	Miktar	Değer
Diyot	4	1N4001
Zener Diyot	1	1N751
Kondansatör	1	22 μ F
Direnç	1	100k Ω
Direnç	1	22k Ω
Direnç	1	8.2k Ω
Direnç	1	4.7k Ω
Direnç	1	1k Ω
Direnç	1	820 Ω
Direnç	1	470 Ω
Direnç	1	100 Ω

2.2 Tanımlar



Şekil 2.1: Bir tam dalga doğrultucu ve zarf dedektörü üzerinde Zener regülatörü.

Şekil 2.1'in analizi için gerekli olan değişkenlerin listesi Tablo 2.1 ile verilmektedir.

Değişken	Tanımı
v_L veya v_O	R_L yük direncinin uçları arasındaki gerilim
v_C	C kondansatörünün uçları arasındaki gerilim
v_S	R_S direncinin uçları arasındaki gerilim
i_S	R_S direnci üzerinden akan akım
i_Z	Zener diyot üzerinden akan akım
i_L	R_L yük direnci üzerinden akan akım
r_z	Zener bozulma modunda Zener diyotun küçük-sinyal direnci

Tablo 2.1: Değişken listesi ve tanımları.

Tablo 2.1'de yer alan her bir gerilim veya akım değişkeninin (örn., v_L) kendisini oluşturan DC değer (V_L) ve küçük sinyal v_l bileşeninin toplamı olarak yazılabileceğine dikkat ediniz. Bu sayede aşağıdaki ifadeler tanımlanabilir.

$$v_L = V_L + v_l$$

$$v_C = V_C + v_c$$

$$v_S = V_S + v_s$$

$$i_S = I_S + i_s$$

$$i_Z = I_Z + i_z$$

$$i_L = I_L + i_l$$

2.3 Deney Öncesi Benzetimler

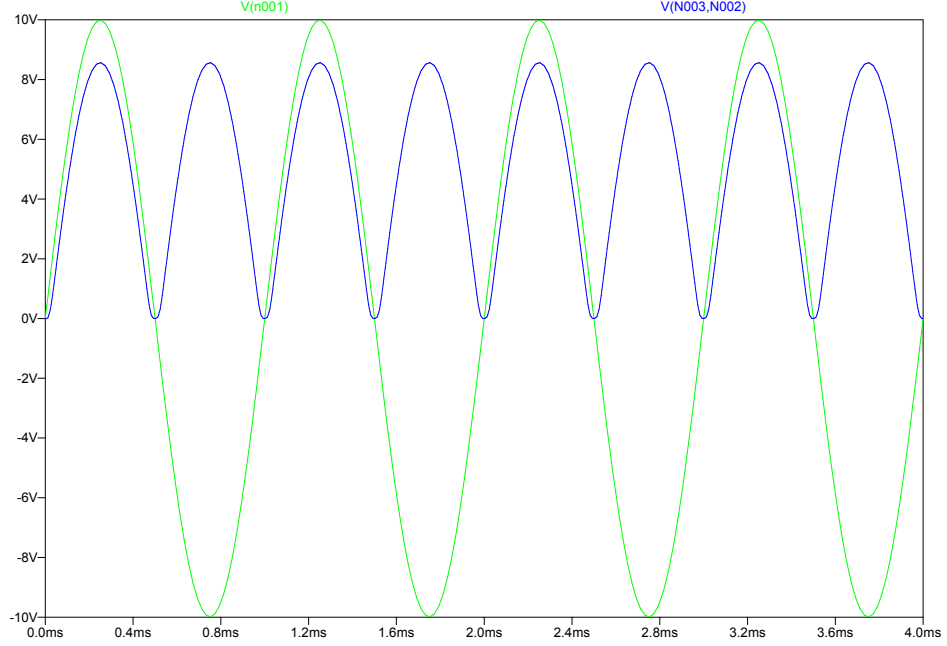
(Spice Benzetimi) Sinüs giriş sinyali ile beslenen ve tam dalga doğrultucu yapısı üzerine kurulu bir Zener regülatörü Şekil 2.1 devresinde görülmektedir. Doğrultucuda 1N4001 ve regülatörde 1N751 ($V_Z = 5\text{ V}$) diyotlarından faydalanınız. $C = 22\text{ }\mu\text{F}$ olarak seçilecektir. Giriş sinyali $v_s(t) = A \sin(2\pi f t)$ ile ifade edilebilir ($A = 10\text{ V}$ ve $f = 1\text{ kHz}$).

İlk simülasyon görevi tam dalga doğrultucunun test edilmesini içermektedir. İkinci görevde Zener diyodunun ters gerilim durumundaki davranışı incelenecektir. Son iki görevde ise C kapasitörü ve R_L yük direnci üzerindeki voltaj hesaplanacak, R_S , Zener diyodu ve R_L üzerinden geçen akımların grafikleri çizdirilecektir. Devrenin toprağı $v_s(t)$ giriş sinyalinin negatif ucudur.

2.3.1 4 Diyotlu Köprü Tipi Tam Dalga Doğrultucu

Benzetim için köprü tipi tam dalga doğrultucu devresini kurun ve benzetimi sinüs dalgasının 3-4 periyodu süresince gerçekleştirin. Devrenin doğru olarak çalıştığından emin olun (yük direnci $1k\Omega$ olduğunda). İletim yönündeki diyotlar dolayısıyla sinüs dalgasında gerilim düşümü gözlemliyor musunuz? Sinüs dalgasının bir yarı-çevrimi için kaç adet gerilim düşümü gerçekleşmektedir?

İlgili benzetim adımının çıktısı Şekil 2.2 ile gösterilmektedir. Giriş sinyalinin pozitif yarı-çevriminin yanı sıra negatif yarı-çevriminin doğrultularak çıkışa aktarılması, köprü tipi tam dalga doğrultucunun doğru olarak çalıştığını göstermektedir.



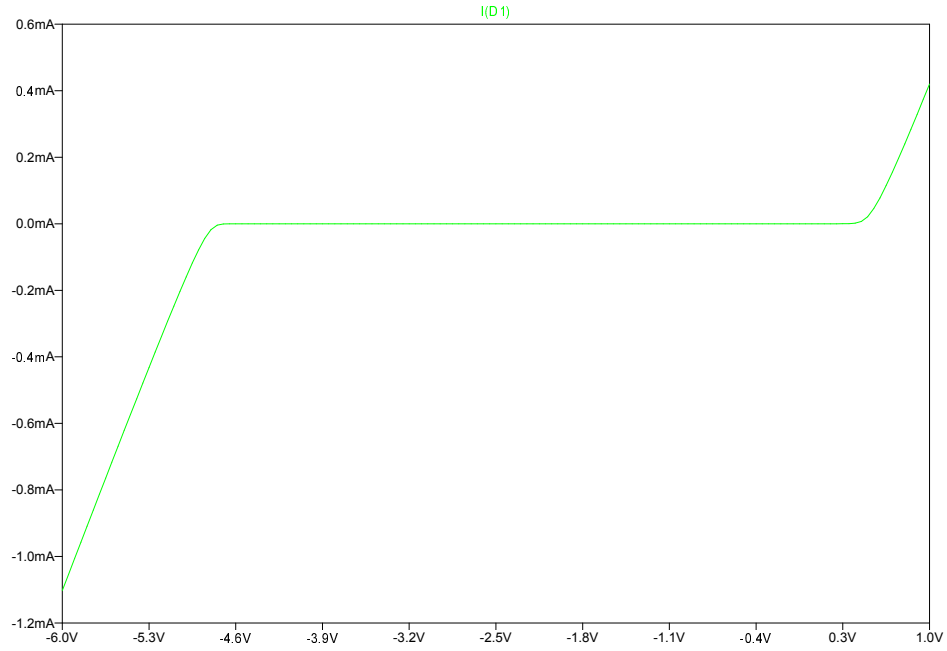
Şekil 2.2: 4 diyotlu köprü tipi tam dalga doğrultucuya ait çıkış sinyali.

$C = 22 \mu F$ kondansatörünü $1k\Omega$ 'luk direncin uçlarına bağlayınız. Mevcut durumda devre bir zarf dedektörüdür. Eklenen kondansatörün ne düzeyde bir zayıflamaya ve faz kaymasına neden olduğunu gözlemleyiniz ve raporunuza ekleyiniz.

2.3.2 1N751 Zener Diyotunun DC Analizi

Basit bir devre kurarak 1N751 Zener diyotun I (Akım) - V (Gerilim) DC benzetim grafiğini oluşturunuz. Bozulma gerilimi nedir? Bozulma bölgesinin dibindeki küçük-sinyal direnci nedir ve grafiği irdeleyerek bu direnci nasıl hesaplarsınız?

İlgili benzetim adımının çıktısı Şekil 2.3 ile gösterilmektedir. Ters yönde kutuplama bölgesinde bozulma gerilimi açıkça görülebilmektedir. İleri yönde kutuplamada ise Zener diyotun normal bir diyot gibi davrandığına dikkat ediniz.

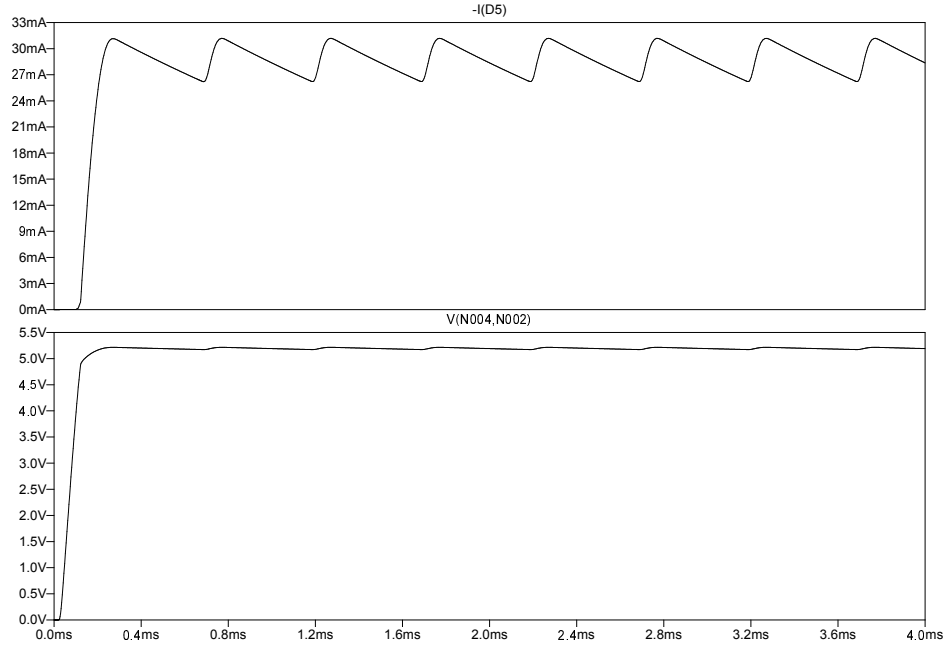


Şekil 2.3: Zener diyotun I (Akım) - V (Gerilim) DC benzetim grafiği.

2.3.3 Regülatörde R_S Üzerinden Akım Sınırlama

Şekil 2.1'deki devreyi kurunuz. $R_L = 8.2\text{ k}\Omega$ olarak ayarlayınız. Şimdi R_S 'nin şu değerleri için devrenin benzetimini gerçekleştiriniz: $10\text{ }\Omega$, $47\text{ }\Omega$, $100\text{ }\Omega$, $470\text{ }\Omega$, $820\text{ }\Omega$. R_S 'nin çok küçük değerleri için neler olduğunu gözlemleyiniz. Zener ters akımında tepeden tepeye dalgalanma nedir? Zener ters akımı için değerlerin aralığı nedir (Zener ters akımı azami değerini aşmakta mıdır, bunun için 1N751 kataloğunu inceleyiniz)? Zener gerilimindeki dalgalanma (dolayısıyla yük gerilimindeki dalgalanma) açıkça gözlenebilir hale gelmekte midir?

$R_S = 100\text{ }\Omega$ olmak üzere ilgili benzetim adımının çıktısı Şekil 2.4 ile gösterilmektedir. R_S direncinin değeri arttıkça Zener diyot üzerinden geçen akımın ve Zener diyot akımındaki dalgalanmanın azaldığına dikkat ediniz. R_S direncinin değerinin artması, yük direnci üzerindeki gerilimin dalgalanmasını da azaltmaktadır.



Şekil 2.4: Zener akımının (üstte) ve yük geriliminin (altta) zamanla değişimleri ($R_S = 100 \Omega$).

2.3.4 En Düşük Sürdürülebilir Yük Direnci R_L

Şekil 2.1'deki devre ile devam ediniz. $R_S = 820 \Omega$ olarak ayarlayınız. Şimdi R_L 'nin şu değerleri için devrenin benzetimini gerçekleştiriniz: 100Ω , 470Ω , $4.7 \text{ k}\Omega$, $8.2 \text{ k}\Omega$, $22 \text{ k}\Omega$, $100 \text{ k}\Omega$. R_L 'nin büyük değerleri için (hatta açık devre) Zener akımının azami değerini aşması ihtimal dahilinde midir (ilgili azami değer için 1N751'in katalogunu elde ediniz)? R_L 'nin çok küçük değerleri için Zener akımına ne olmaktadır? Zener akımı çok küçük olduğunda Zener gerilimine (yük gerilimi) ne olmaktadır? Yük direncinin alabileceği en küçük değer için bir alt limit olması gerektiğini düşünüyorsanız bu değeri deneme yanılma yoluyla bulmaya çalışınız.

2.4 Deneyde Yapılacaklar

Bu bölümdeki birçok maddede bağlantı noktalarından herhangi biri topraklanmamış bir komponentin üzerindeki voltajın osiloskop aracılığıyla ölçülmesi gerekecektir. Buna örnek olarak Şekil 2.1 devresinde R_L gösterilebilir. Bu tür ölçümler için osiloskobun her iki probundan yararlanılacaktır. Probların toprağı devrenin de toprağında, yani sinyal jeneratörünün toprak ucunda, olmalıdır. İlgili komponentin (örneğin R_L) herbir ucuna bir probu yerleştiriniz. Osiloskobun sinyal çıkarma fonksiyonu komponent üzerindeki voltajı hesaplayarak göstermeye yardımcı olacaktır.

2.4.1 4 Diyotlu Köprü Tipi Tam Dalga Doğrultucu

Şekil 2.1 devresindeki dörtlü diyot köprüsünü, kapasitör, regülatör veya yük olmadan kurunuz. Yük olarak ilgili düğümler arasına $1 \text{ k}\Omega$ değerinde bir direnç bağlayınız. 1N4001 diyotlarını

kullanarak köprüyü kurunuz. Devreye giriş sinyali olarak şunu veriniz: $v_s(t) = A \sin(2\pi f t)$ ($A = 10\text{ V}$ ve $f = 1\text{ kHz}$ olacak şekilde). Devrenin toprağı sinyal jeneratörünün toprak ucudur. $1\text{ k}\Omega$ üzerindeki voltağı osiloskopta gözlemleyeceksiniz.

Tam dalga doğrultucunun çıkışı devrenin giriş sinyaline göre hangi açılardan farklıdır? 2.3.1 bölümündeki simülasyon sonucunuz deneydeki bulgularınıza benzemekte midir?

2.3.1 bölümünde belirtildiği gibi $1\text{ k}\Omega$ direncine paralel olarak $C = 22\text{ }\mu\text{F}$ kapasitansını bağlayınız. Devrenin çıkış sinyali simülasyondakine benzemekte midir?

2.4.2 Regülatörde R_S Üzerinden Akım Sınırlama

Şekil 2.1 devresini kurunuz. Devreye giriş sinyali olarak şunu veriniz: $v_s(t) = A \sin(2\pi f t)$ ($A = 10\text{ V}$ ve $f = 1\text{ kHz}$ olacak şekilde). Kapasitans değeri $C = 22\text{ }\mu\text{F}$ şeklinde olacaktır. Yük olarak $R_L = 8.2\text{ k}\Omega$ kullanınız. Deneyin bu bölümünde R_S için verilen değerlerdeki dirençler sıra ile devreye bağlanacak ve bazı ölçümler alınacaktır: $820\text{ }\Omega$, $470\text{ }\Omega$, $100\text{ }\Omega$. Bu bölümdeki görevler sırayla yerine getirilecek ve sonuçların 2.3.3 bölümündeki simülasyonlarla örtüşüp örtüşmediği kontrol edilecektir.

Yukarıda verilen R_S değerlerinin herbiri için aşağıdakileri yerine getiriniz.

2.4.2.1 Kondansatörün uçları arasındaki gerilimin ölçülmesi

Şekil 2.1 devresinde kapasitör üzerindeki v_C gerilimi gözlemleyiniz. Osiloskobun AC ve DC kuplama özelliğini kullanarak bu sinyalin DC komponentini (V_C) hesaplayınız. $v_{c,pp}$ olarak belirtilen tepeden tepeye gerilim farkını da not ediniz.

$R_S = 820\text{ }\Omega$	$V_C =$	_____	$v_{c,pp} =$	_____
$R_S = 470\text{ }\Omega$	$V_C =$	_____	$v_{c,pp} =$	_____
$R_S = 100\text{ }\Omega$	$V_C =$	_____	$v_{c,pp} =$	_____

2.4.2.2 Yükün uçları arasındaki gerilimin ölçülmesi

Şekil 2.1 devresinde $R_L = 8.2\text{ k}\Omega$ üzerindeki gerilimi osiloskopta gözlemleyiniz. Osiloskobun AC ve DC kuplama özelliğini kullanarak bu sinyalin DC komponentini (V_L) hesaplayınız. $v_{l,pp}$ olarak belirtilen tepeden tepeye gerilim farkını da not ediniz.

$R_S = 820\text{ }\Omega$	$V_L =$	_____	$v_{l,pp} =$	_____
$R_S = 470\text{ }\Omega$	$V_L =$	_____	$v_{l,pp} =$	_____
$R_S = 100\text{ }\Omega$	$V_L =$	_____	$v_{l,pp} =$	_____

2.4.2.3 R_S 'nin uçları arasındaki gerilimin ölçülmesi

R_S üzerindeki v_S gerilimini osiloskopta gözlemleyiniz. Bu sinyali R_S nominal değerine bölerek, R_S direnci üzerinden geçen i_S akımı yaklaşık olarak bulunabilir. Bu akım sinyalinin grafiğini çiziniz, DC komponentini (I_S), tepeden tepeye gerilim farkını ($i_{s,pp}$) ve aldığı değerlerin aralığını ($i_{S,range}$) not ediniz.

$$\begin{array}{llll}
R_S = 820 \Omega & I_S = \underline{\hspace{2cm}} & i_{s,pp} = \underline{\hspace{2cm}} & i_{S,range} = \underline{\hspace{2cm}} \\
R_S = 470 \Omega & I_S = \underline{\hspace{2cm}} & i_{s,pp} = \underline{\hspace{2cm}} & i_{S,range} = \underline{\hspace{2cm}} \\
R_S = 100 \Omega & I_S = \underline{\hspace{2cm}} & i_{s,pp} = \underline{\hspace{2cm}} & i_{S,range} = \underline{\hspace{2cm}}
\end{array}$$

R_S için daha küçük değerli dirençler kullanıldıkça, R_L üzerinden geçen i_L akımı hemen hemen sabit kalacaktır, çünkü Zener diodu Zener modunda daha yüksek akım geçirecektir. Bu sayede i_S aracılığıyla i_Z akımı için yaklaşık bir değer de bulunabilir.

2.4.2.4 Zener bozulma bölgesinde küçük-sinyal direnci

1N751 diodunun bilgilerini inceleyerek veya simülasyonlarınız aracılığıyla, bu Zener diodunun Zener modundaki küçük sinyal eş direnci olan r_z için bir tahmin yürütebilirsiniz.

$R_S = 100 \Omega$ iken yük direncindeki gerilim tepeden tepeye daha yüksek değerli bir yalpalama gösterecektir. $v_{c,pp}$ ile $v_{l,pp}$ gerilim değerlerini ve R_L ve R_S dirençlerini kullanarak r_z için başka bir tahmin yürütünüz. Küçük sinyal eş devrelerinden yararlanmalısınız.

$$r_z \text{ (katalog)} = \underline{\hspace{2cm}} \quad r_z \text{ (deneysel)} = \underline{\hspace{2cm}}$$

r_z için ulaştığınız iki tahmin değeri birbirleriyle uyuşmakta mıdır? Eğer bunlar arasında bir fark varsa, nedenlerini araştırınız.

2.4.2.5 Zener diyotun özgül gücü

$R_S = 100 \Omega$ iken v_S ile i_S ölçülüp grafikleri çizilmiş bulunmaktadır. 1N751 diodunun bilgilerinde maksimum güç tüketimi veya Zener modunda geçirilebilecek maksimum akım verilmektedir. $R_S = 100 \Omega$ için diodun yanma tehlikesi bulunmakta mıdır?

2.4.3 En Düşük Sürdürülebilir Yük Direnci R_L

Şekil 2.1 devresini kurunuz. Devreye giriş sinyali olarak şunu veriniz: $v_s(t) = A \sin(2\pi f t)$ ($A = 10 \text{ V}$ ve $f = 1 \text{ kHz}$ olacak şekilde). Kapasitans değeri $C = 22 \mu\text{F}$ şeklinde olacaktır. $R_S = 820 \Omega$ olarak belirlenecektir. R_L için belirtilen dirençler sırayla tek tek devreye bağlanacak ve ilgili ölçümler alınacaktır. Yük direnci küçük değerlere indikçe devrenin davranışında meydana gelen değişiklikler üzerine yorum yapınız.

R_L	V_C	$v_{c,pp}$	V_L	$v_{l,pp}$	I_L	$i_{l,pp}$	I_S	$i_{s,pp}$	I_Z	$i_{z,pp}$
100 k Ω										
22 k Ω										
8.2 k Ω										
4.7 k Ω										
470 Ω										
100 Ω										

2.5 Değerlendirme Soruları

Aşağıdaki soruları kısaca ve gerekli ise şekil çizerek cevaplandırınız.

1. Bir Zener diyotun akım-gerilim karakteristiğini çizerek ileri ve ters yönde kutuplama bölgelerini belirtiniz. "Zener gerilimi" değerini şekil üzerinde işaretleyiniz. Bu değerden daha büyük bir gerilim ile kutuplanması durumunda Zener diyot üzerindeki gerilimin nasıl değişeceğini açıklayınız.
2. Bir tam dalga köprü doğrultucunun çalışma prensibini, giriş sinyalinin pozitif ve negatif çevrimleri sırasında hangi diyotların aktif duruma geçtiklerini belirterek açıklayınız.
3. Deney verilerinden ve benzetimde elde ettiğiniz grafiklerden faydalananarak Şekil 2.1 devresinde bulunan C kondansatörünün işlevini açıklayınız.
4. Deney verilerinden ve benzetimde elde ettiğiniz grafiklerden faydalananarak Şekil 2.1 devresinde bulunan R_S direncinin işlevini açıklayınız.

2.6 Quiz Soruları

Aşağıdaki ifadeler (D)öğru ya da (Y)anlıştır.

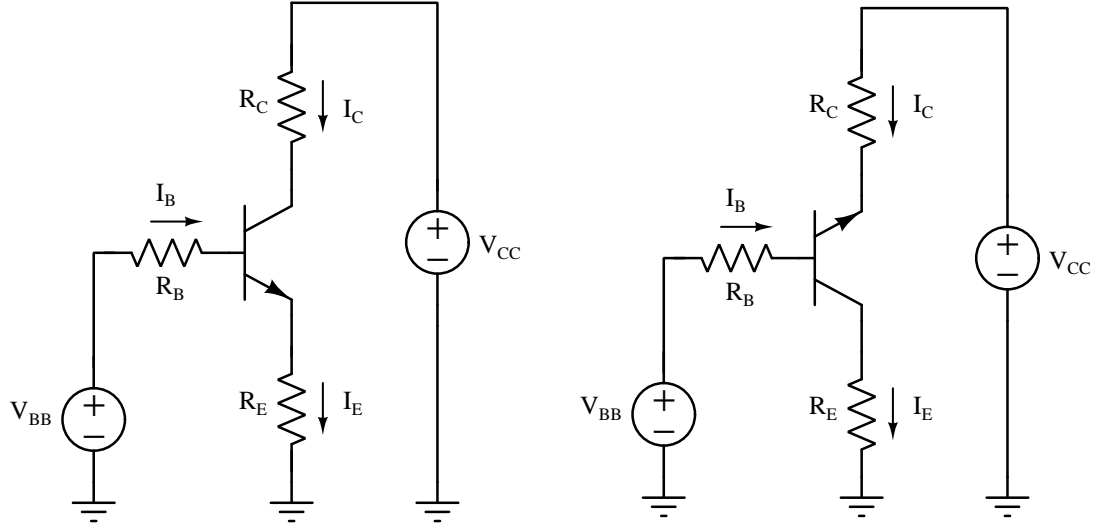
1. Elimizdeki yarım dalga doğrultucu yapısında ideal olmayan bir diyot kullanıldığında, çıkışta, bir sinüs girişinin tepeler arası genliğinin yarısı kadar bir maksimum voltaj elde etmek mümkün değildir.
2. Bir zarf dedektöründe yarım dalga yerine tam dalga doğrultucu kullanılması potansiyel olarak çıkıştaki yalpalamanın (ripple) genliğini düşürecektir.
3. Yarım dalga doğrultucu devresinde diyodun katodunu güç kaynağına bitiştırmek pozitif bir yarım dalga doğrultucu elde etmemizi sağlayacaktır.
4. Eğer bir diyodun iletimdeki şeklinin büyük sinyal eşleniği, seri olarak bağlanmış bir pil ve bir rezistans ile modellenirse, yarım dalga doğrultucumuzda diyota seri olarak bağlanacak daha yüksek değerli bir direnç, DC analizde, diyotun üzerindeki voltajın düşmesine ve diyot akımının yükselmesine neden olacaktır.
5. Zarf dedektörü devresinde diğer bütün parametreleri sabit tutarak kapasitans değerini biraz arttırsak, devrenin çıkışına bağlanacak bir regülatörün daha düşük değerli bir yalpalamayı (ripple) düzenlemesine olanak tanırız.

3 BJT Karakteristiđi

3.1 Malzeme Listesi

Bileşen	Miktar	Deđer
BJT (NPN)	1	BC238
Direnç	1	1 k Ω
Direnç	1	220 Ω
Direnç	1	1 Mega Ω

3.2 Deney Öncesi Benzetimler



(a) İleri mod için NPN BJT kutuplama devresi. (b) Ters mod için NPN BJT kutuplama devresi.

Şekil 3.1: BJT kutuplama devrelerine bir örnek.

Şekil 3.1a ve 3.1b devreleri aşağıdaki görevleri yerine getirmek için kullanılacaktır. Dirençler için şu değerleri kullanınız: $R_C = 1 \text{ k}\Omega$, $R_E = 220 \Omega$, $R_B = 1 \text{ Mega}\Omega$.

3.2.1 Ters Aktif Mod

Şekil 3.1b devresini kurunuz. BJT tranzistörün kolektörü (C) emetör (E) ve emetörü (E) de kolektör (C) şeklinde kullanılacaktır. $V_{BB} = 4 \text{ V}$ ve $V_{CC} = 12 \text{ V}$ şeklinde ayarlanacaktır.

Söz konusu durumda V_{BC} ve V_{BE} gerilimlerini ölçünüz. Tranzistörün mevcut çalışma modu ışığında V_{BC} ve V_{BE} gerilimlerinin uygun değerlerde olup olmadıkları yorumlayınız.

Baz, kolektör ve emetör akımlarını ölçünüz. Bu akım değerlerini kullanarak ters aktif mod için tranzistörün akım kazancını belirleyiniz.

3.2.2 Kesim Modu

Şekil 3.1a devresini kurunuz. BJT tranzistörün kolektörü (C) ve emetörü (E) belirtilen şekilde olması gereken konumdadır. $V_{BB} = -3 \text{ V}$ ve $V_{CC} = 12 \text{ V}$ şeklinde ayarlanacaktır.

Söz konusu durumda V_{BC} ve V_{BE} gerilimlerini ölçünüz. Tranzistörün mevcut çalışma modu ışığında V_{BC} ve V_{BE} gerilimlerinin uygun değerlerde olup olmadıkları yorumlayınız.

Baz, kolektör ve emetör akımlarını ölçünüz. Bu değerler tranzistörün mevcut çalışma modu hakkında bilgi vermekte midir?

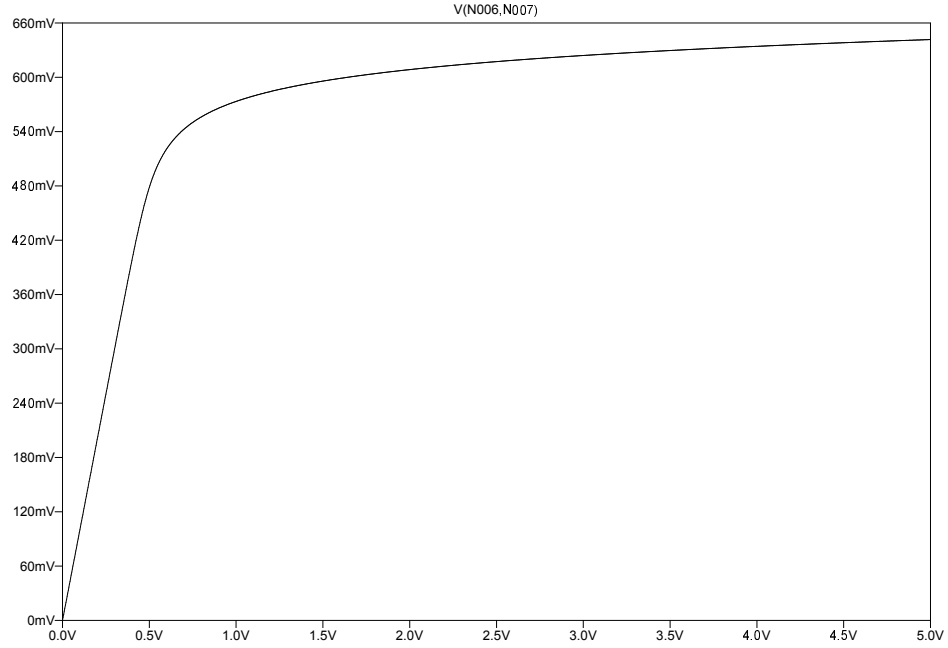
3.2.3 Kesim Modundan İleri Aktif Moda Geçiş

Şekil 3.1a devresini kurunuz. $V_{CC} = 12\text{ V}$ olarak sabitlenecektir. V_{BB} gerilimini 0'dan 5V değerine kadar taratınız. V_{BC} , V_{BE} gerilimlerinin ve I_B , I_C , I_E akımlarının V_{BB} gerilimi ile değişim grafiklerini elde ediniz.

Söz konusu durumda elde edeceğiniz tüm grafiklerde V_{BB} geriliminin belirli bir değerinden sonra tranzistörün davranışının değiştiğini gözlemleyeceksiniz. V_{BB} 'nin ilgili değerini belirtiniz. Elde ettiğiniz grafiklerden örnekler vererek bu değer öncesi ve sonrası için tranzistörün hangi modlarda çalıştığını izah ediniz.

V_{BE} geriliminin V_{BB} gerilimi ile değişim grafiğini incelediğinizde V_{BB} geriliminin belirli bir değerinden sonra V_{BE} geriliminin yaklaşık olarak sabit kaldığını gözlemleyeceksiniz. Bu durumun sebebini açıklayınız.

İlgili benzetim adımının çıktısı Şekil 3.2 ile gösterilmektedir. Baz ve emetör uçları arasındaki pn eklemesinin iletme geçmesiyle birlikte bu uçlar arasındaki gerilimin yaklaşık olarak sabit kaldığı görülebilmektedir.

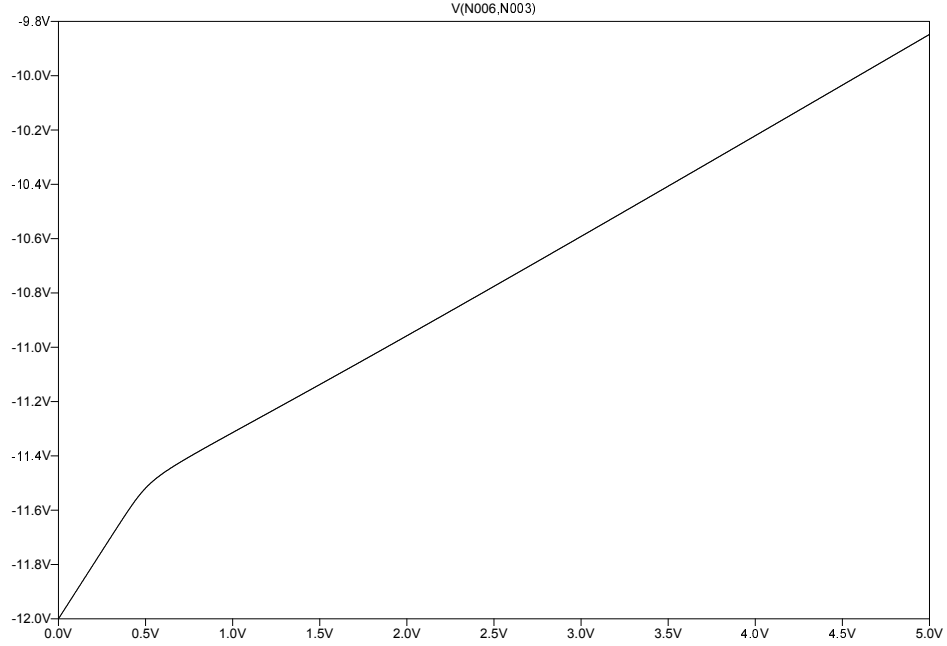


Şekil 3.2: V_{BE} geriliminin V_{BB} gerilimi ile değişim grafiği.

I_B ve $I_C - I_E$ akımlarının V_{BB} gerilimi ile değişim grafiklerini incelediğinizde V_{BB} geriliminin belirli bir değerinden sonra I_B ve $I_C - I_E$ akımları arasında doğrusal bir ilişki olduğunu gözlemleyeceksiniz. Bu ilişki tranzistörün hangi modda çalıştığını belirtmektedir?

V_{BC} geriliminin V_{BB} gerilimi ile deęişim grafięini inceledięinizde V_{BC} geriliminin V_{BB} geriliminin tüm deęerleri için negatif polaritede olduęunu gözlemleyeceksiniz. Buna göre baz-kollektör eklemi hangi yönde kutuplanmıřtır? Bu kutuplamanın amacı nedir?

İlgili benzetim adımının çıktıısı Şekil 3.3 ile gösterilmektedir. V_{BB} 'nin tüm deęer aralıęı için V_{BC} geriliminin negatif polaritede olması, baz-kollektör ekleminin tranzistörün söz konusu alışma modları için ters yönde kutuplandığını belirtmektedir.



Şekil 3.3: V_{BC} geriliminin V_{BB} gerilimi ile deęişim grafięi.

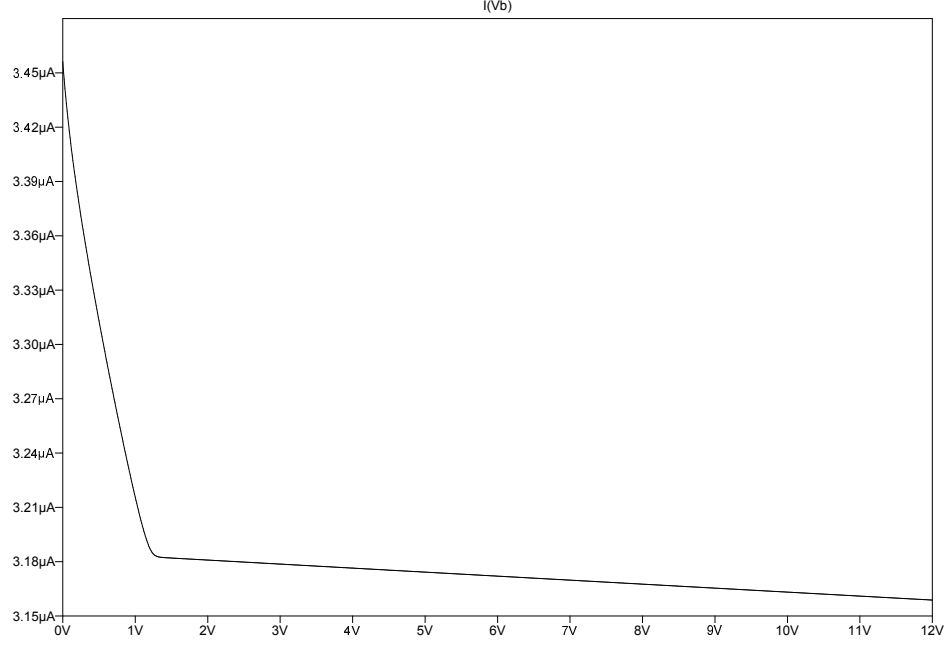
3.2.4 Doyum Modundan İleri Aktif Moda Geçiş

Şekil 3.1a devresini kurunuz. $V_{BB} = 4V$ olarak sabitlenecektir. V_{CC} gerilimini 0'dan 12V deęerine kadar taratınız. V_{BC} ve V_{BE} gerilimlerinin ve I_B , I_C ve I_E akımlarının V_{CC} gerilimi ile deęişim grafiklerini elde ediniz.

Söz konusu durumda elde edeceęiniz tüm grafiklerde V_{CC} geriliminin belirli bir deęerinden sonra tranzistörün davranışının deęiřtięini göreceksiniz. V_{CC} 'nin ilgili deęerini belirtiniz. Elde ettięiniz grafiklerden örnekler vererek bu deęerin öncesi ve sonrası için tranzistorün hangi modlarda alıştığını izah ediniz.

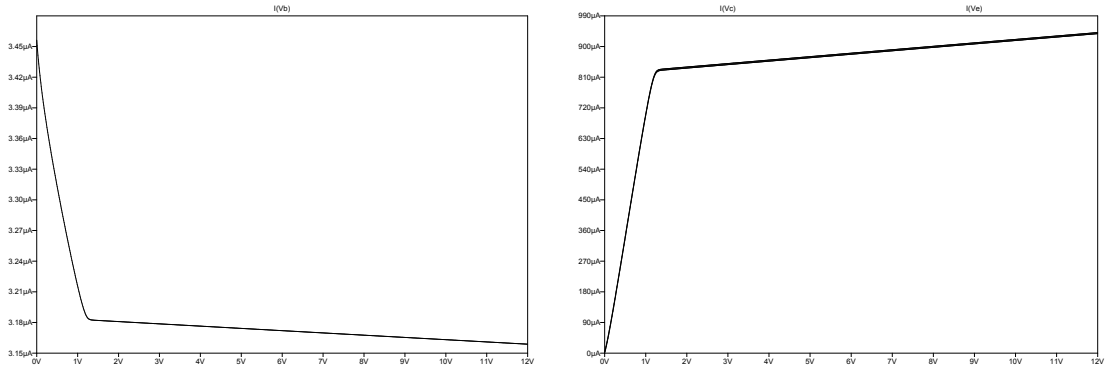
I_B akımının V_{CC} gerilimi ile deęişim grafięini inceledięinizde I_B akımının V_{CC} gerilimin belirli bir deęerinden sonra yaklaşık olarak sabit kaldığını gözlemleyeceksiniz. Bu durumun sebebini açıklayınız.

İlgili benzetim adımının çıktısı Şekil 3.4 ile gösterilmektedir. Artan V_{CC} gerilimi başlangıçta ileri yönde kutuplanan baz-kollektör eklemının ters yönde kutuplanmasına sebep olmaktadır. Bununla birlikte V_{BB} ve V_{BE} gerilimlerinin sabit değerlerde olması, ileri aktif moda geçildiği andan itibaren I_B akımının yaklaşık olarak sabit kalması anlamına gelmektedir.



Şekil 3.4: I_B akımının V_{CC} gerilimi ile değişim grafiği.

I_B ve $I_C - I_E$ akımlarının V_{CC} gerilimi ile değişim grafiklerinden faydalananarak ileri aktif mod için tranzistörün akım kazancını yorumlayınız.



I_B akımının V_{CC} ile değişimi.

$I_C - I_E$ akımlarının V_{CC} ile değişimleri.

Şekil 3.5: Tranzistör akımlarının V_{CC} gerilimi ile değişim grafikleri.

İlgili benzetim adımının çıktısı Şekil 3.5 ile gösterilmektedir. İleri aktif çalışma moduna geçiş ile birlikte kollektör akımı I_C ve baz akımı I_B arasında yaklaşık olarak sabit bir ilişki olduğuna dikkat ediniz. Bu ilişki ileri aktif mod için tranzistörün akım kazancı hakkında fikir vermektedir.

I_B akımının yaklaşık olarak sabit kaldığı aralıkta I_C akımının da yaklaşık olarak sabit kaldığını gözlemleyeceksiniz. V_{CC} gerilimindeki artışa rağmen I_C akımının nasıl sabit kaldığını V_{BC} - V_{CC} grafiğinden faydalananarak açıklayınız.

3.3 Deneyde Yapılacaklar

Şekil 3.1a ve 3.1b devreleri aşağıdaki görevleri yerine getirmek için kullanılacaktır. Dirençler için şu değerleri kullanınız: $R_C = 1\text{ k}\Omega$, $R_E = 220\ \Omega$, $R_B = 1\text{ Mega}\Omega$.

Tüm ölçümünüz için multimetre kullanınız. Akımları, ilgili direncin üzerindeki gerilimi ölçtükten sonra direncin nominal değerine bölerek bulunuz.

3.3.1 Ters Aktif Mod

Şekil 3.1b devresini kurunuz. BJT tranzistörün kollektörü (C) emetör (E) ve emetörü (E) de kollektör (C) şeklinde kullanılacaktır. $V_{BB} = 4\text{ V}$ ve $V_{CC} = 12\text{ V}$ şeklinde ayarlanacaktır.

Aşağıdaki değerleri ölçünüz.

$$\begin{aligned} V_{BC} &= \text{_____} & V_{BE} &= \text{_____} \\ I_C &= \text{_____} & I_B &= \text{_____} & I_E &= \text{_____} & \beta = \frac{I_C}{I_B} &= \text{_____} \end{aligned}$$

3.3.2 Kesim Modu

Şekil 3.1a devresini kurunuz. BJT tranzistörün kollektörü (C) ve emetörü (E) belirtilen şekilde olması gereken konumdadır. $V_{BB} = -3\text{ V}$ ve $V_{CC} = 12\text{ V}$ şeklinde ayarlanacaktır.

Aşağıdaki değerleri ölçünüz.

$$\begin{aligned} V_{BC} &= \text{_____} & V_{BE} &= \text{_____} \\ I_C &= \text{_____} & I_B &= \text{_____} & I_E &= \text{_____} \end{aligned}$$

3.3.3 Kesimden İleri Aktif Moda Geçiş

Şekil 3.1a devresini kurunuz. $V_{CC} = 12\text{ V}$ olarak sabitlenecektir. V_{BB} voltajını ise sıfırdan $I_C = 1\text{ mA}$ olana dek yükseltiniz.

Aşağıdaki değerleri ölçünüz.

$$V_{BC} = \underline{\hspace{2cm}} \quad V_{BE} = \underline{\hspace{2cm}}$$
$$I_C = \underline{\hspace{2cm}} \quad I_B = \underline{\hspace{2cm}} \quad I_E = \underline{\hspace{2cm}} \quad \beta = \frac{I_C}{I_B} = \underline{\hspace{2cm}}$$

3.3.4 Doyumdan İleri Aktif Moda Geçiş

Şekil 3.1a devresini kurunuz. $V_{BB} = 4 \text{ V}$ olarak sabitlenecektir. V_{CC} 0-12 V arasında kademeli olarak yükseltilecek ve aşağıdaki tablo ölçümü yapılan değerler ile doldurulacaktır.

Bir gerilimin (örneğin V_{BE}) belli V_{CC} değerlerine karşılık gelen ölçümleri tamamlanıp (V_{BE} ile ilgili sütun doldurulup) diğer bir gerilime (örneğin V_{BC}) geçilirse ölçümlerin daha hızlı bir şekilde bitirilmesi mümkün olacaktır.

V_{CC}	V_{BE}	V_{BC}	I_C	I_B	I_E	$\beta = \frac{I_C}{I_B}$
0.0 V						
0.1 V						
0.2 V						
0.3 V						
0.4 V						
0.5 V						
0.6 V						
0.7 V						
0.8 V						
0.9 V						
1.0 V						
1.1 V						
1.2 V						
1.3 V						
1.4 V						
1.5 V						
2.0 V						
3.0 V						
4.0 V						
5.0 V						
6.0 V						
7.0 V						
8.0 V						
9.0 V						
10.0 V						
11.0 V						
12.0 V						

3.4 Değerlendirme Soruları

Aşağıdaki soruları kısaca ve gerekli ise şekil çizerek cevaplandırınız.

1. Ebers-Moll modeli nedir? Bu modele göre tranzistörün kaç çalışma modu bulunmaktadır?
2. Akım kazancı bakımından ters aktif çalışma modunu değerlendiriniz.
3. Şekil 3.1a devresinde NPN yerine PNP tranzistör tercih edilmesi durumunda ileri aktif çalışma modu için devrenin alacağı yeni düzeni çiziniz.
4. Baz-kollektör ve baz-emetör eklemlerinin kutuplanma biçimi ve kollektör akımındaki değişimin baz akımındaki değişim ile olan ilişkisi bakımından doyum modunu değerlendiriniz.

3.5 Quiz Soruları

Aşağıdaki ifadeler (D)öğru ya da (Y)anlış'tır.

1. BJT'nin DC karakteristiğine göre bir BJT, aynı anda iletimde ve hiç akım geçirmiyor durumda bulunabilir. Ayrıca bu durumda, kollektör ile emetör arasındaki asimptotik büyük sinyal eş direnci sonsuz olmayacaktır.
2. Diyot bağlı bir BJT (kollektör ile bazın kısa devre ile birleştirildiği durum) $V_{CE} > 0$ olması halinde her zaman "forward active" modunda bulunacaktır ve böyle bir BJT'nin küçük sinyal eş modeli de yalnızca bir direnç ile ifade edilecektir.
3. Bir NPN BJT'nin "forward active" modunda, emetörde çoğunlukta bulunan yük taşıyıcıları (elektronlar) baza difüzyon ile taşınırlar ve baz olabildiğince ince olmalıdır ki bu yük taşıyıcıları baz-kollektör jonksiyonuna elektrik alanının etkisiyle taşınabilsinler.
4. BJT'nin bazı ne kadar kalın olursa, Early voltajı o kadar artar ve bu durumda kollektör ile emetör arasındaki küçük sinyal eş direnci de çok büyük değerli olacaktır.
5. Eğer V_{BE} 0.7 V değerinde neredeyse sabit tutulursa ve V_{CE} sıfırdan yukarı doğru arttırılırsa, o zaman BJT "forward active" modundan satürasyona doğru bir geçiş gösterecektir.

4 MOSFET Karakteristikleri

4.1 Malzeme Listesi

Bileşen	Miktar	Değer
MOSFET	2	2N7000
Potansiyometre	1	100k Ω
Potansiyometre	1	20k Ω
Kondansatör	3	0.1 μ F
Direnç	3	330k Ω
Direnç	1	10k Ω
Direnç	1	3.3k Ω
Direnç	1	100 Ω

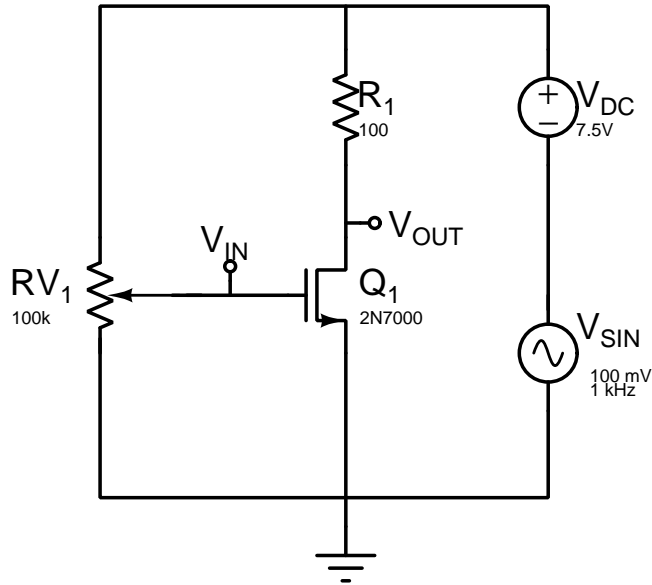
Bu deneyde bir MOSFET'in geiş karakteristiğinin elde edilmesi ve MOSFET'li bir yükselte devresinin çıkış empedansının kaskat baėlı bir yapının çıkış empedansı ile karşılaştırılması amaçlanmaktadır.

4.2 Deney Öncesi Benzetimler

Öncelikle deneyde kullanacağınız MOSFET'in katalogunu(datasheet) inceleyiniz. MOSFET'in katkılama türünü ve kanal oluşturmali mı yoksa kanal ayarlamalı mı olduğunu araştırınız. Kanal oluşturmali ve ayarlamalı MOSFET'ler arasındaki farkı araştırıp, bu farkın MOSFET'ler için eşik gerilimiyle olan ilişkisini raporunuzda kısaca açıklayınız. Bu iki tip MOSFET için geiş özgeğrilerini inceleyiniz. Yüksek kazanç sağlamak için MOSFET'in hangi bölgede çalışması istenir?

4.2.1 MOSFET'in Geiş Karakteristiğı

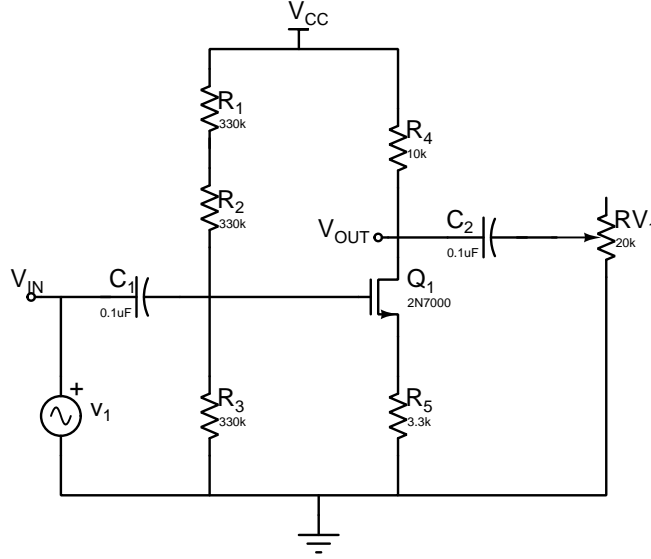
LTSpice ortamında aşağıda gördüğünüz devrenin DC benzetimini yapmanız istenmektedir. LTSpice ortamında potansiyometrenin görevini .step komutuyla değerini istediğimiz aralıkta değiştirebileceğimiz(parameter sweep) bir dirence yaptırabiliriz. Bu işlemle MOSFET'in geidini farklı gerilimlerle sürmeyi amaçlamaktayız. Şekilimizin x koordinatı V_{in} olacak şekilde çıkış sinyali olan V_{out} gerilimini(VTC-voltage transfer characteristic) çizdiriniz. Bu çizim üzerinde MOSFET'in çalışma bölgeleri hakkında tartışın.



Şekil 4.1: MOSFET geiş karakteristiğı inceleme devresi

4.2.2 Çıkış Empedansı

Bu bölümde aşağıdaki gördüğümüz devrenin geçici hal benzetimi yapılacaktır. Devre önce çıkışına potansiyometre bağlanmadan kurulacaktır. Çıkış birkaç periyot için çizdirilip genliği bulunacak ve bu genlikten kazanç hesaplanacaktır. Daha sonra çıkışa potansiyometre(bir önceki bölümdeki gibi parameter sweep edilen bir direnç) bağlanacak ve çıkıştaki genliğin direnç bağlanmadan önceki genliğin yarısı olmasını sağlayacak direnç değeri bulunacaktır. Bunun için çıkış direncinin farklı değerleri için analiz yapmamızı sağlayacak ".step" komutu kullanılacaktır.



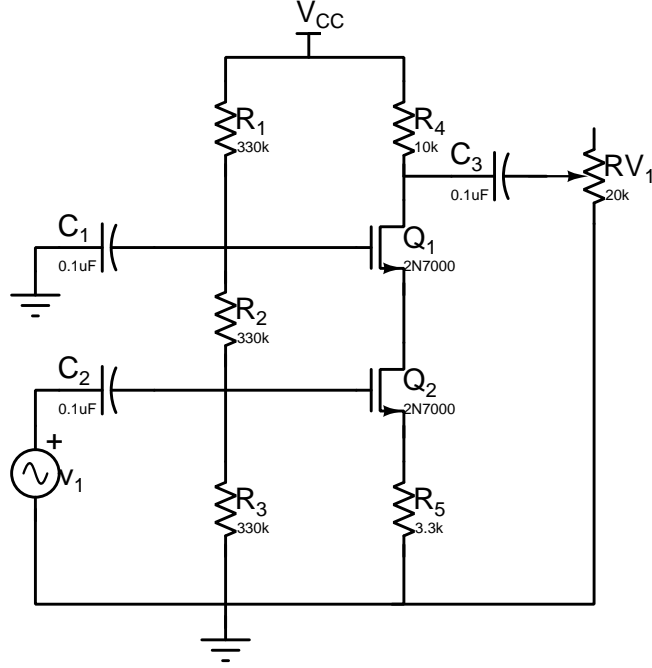
Şekil 4.2: MOSFET'li kuvvetlendirici

Devrede direnç yokken görülen çıkış genliğinin, devreye bağlandığında yarıya düşmesini sağlayan direnç değeri şekil 4.2'de gördüğümüz devrenin çıkış direncidir. Direncin bu şekilde bulunmasını teoride nasıl açıklarsınız? Raporunuzda bu konuya değininiz.

4.2.3 Ortak Geçit-Ortak Kaynak Yapısının Çıkış Empedansı

Bu bölüm için öncelikle aşağıdaki devrenin çıkış empedansını teorik olarak hesaplayınız.

4.2.2 bölümündekine benzer şekilde aşağıdaki devrenin geçici hal benzetimi yapılacaktır. Devre önce çıkışına potansiyometre bağlanmadan kurulacaktır. Çıkış birkaç periyot için çizdirilip genliği bulunacak ve bu genlikten kazanç hesaplanacaktır. Daha sonra çıkışa direnç bağlanacak ve potansiyometre gibi çalışmasını sağlayacak ".step" komutu kullanılacaktır. Çıkıştaki genliğin direnç bağlanmadan önceki genliğin yarısı olmasını sağlayacak direnç değeri bulunacaktır.



Şekil 4.3: Ortak Geçit-Ortak Kaynak kaskat yapının çıkış empedansı

Devrede direnç yokken görülen çıkış genliğinin yarıya düşmesini sağlayan direnç değeri yukarıda gördüğünüz devrenin çıkış direncidir. Kaskat yapının çıkış direncini bir önceki devrenin çıkış direnciyle karşılaştırınız ve sonucunuzu yorumlayınız.

4.3 Deneyde Yapılacaklar

4.3.1 Geçiş Karakteristiği

Şekil 4.1 ile gösterilen devreyi breadboard üzerine kurunuz. Geçit terminaline uygulanacak sinyali oluşturabilmek için DC gerilim kaynağı ve sinyal jeneratörünü seri olarak bağlamanız gerekmektedir. Bu işlemi gerçekleştirirken sinyal jeneratörünün negatif ucunun devrenin toprağı olmasına dikkat ediniz!

DC gerilim kaynağını 7.5 V değerine ayarlayınız. Sinyal jeneratöründen ise 100 mV genlikli ve 1 kHz frekanslı sinüzoidal bir sinyal üretiniz.

Bu adımda savak-kaynak geriliminin geçit-kaynak gerilimiyle olan değişimi incelenecektir. Bunun için osiloskobun birinci kanalını girişe ve ikinci kanalını çıkışa bağlayınız. Osiloskop problemlerinin negatif uçları devrenin toprağına bağlanacaktır.

Devredeki potansiyometreyi yaklaşık 0Ω değerine getirdikten sonra devreye enerji veriniz. Geçiş karakteristiğini gözlemleyebilmek için osiloskobu XY moduna alınız. Potansiyometrenin

değerini yavaşça arttırarak osiloskop ekranında oluşan şekli gözlemleyiniz. Gözlemlediğiniz şekil üzerinde MOSFET'in çalışma bölgelerini açıklayınız.

4.3.2 Çıkış Empedansı

Şekil 4.2 ile gösterilen devreyi çıkış katındaki kondansatör ve potansiyometre olmadan breadboard üzerine kurunuz. DC gerilim kaynağını 15 V değerine ayarlayınız. Sinyal jeneratöründen ise 100 mV genlikli ve 1 kHz frekanslı sinüzoidal bir sinyal üretiniz.

Bu adımda kurduğunuz devrenin çıkış empedansı ölçülecektir. Bu amaçla öncelikle devrenin çıkışının osiloskop ile gözlemlenmesi gerekmektedir. Bunun için osiloskobun birinci kanalını girişe ve ikinci kanalını çıkışa bağlayınız. Osiloskop probleminin negatif uçları devrenin toprağına bağlanacaktır. Çıkış sinyalinin genliğini not ediniz ve devrenin kazancını hesaplayınız.

Çıkış katındaki kondansatörü ve potansiyometreyi Şekil ??'de gösterildiği gibi devreye bağlayınız. Çıkış geriliminin genliği biraz önce not ettiğiniz değerin yarısı olana kadar potansiyometrenin değerini değiştiriniz. Bu şart sağlandığında ayar ucuna dokunmadan dikkatli bir şekilde potansiyometreyi devreden çıkarınız. Potansiyometrenin gösterdiği direnç değerini ölçünüz. Bu değer kurmuş olduğunuz devrenin çıkış empedansıdır. Bu değeri not ediniz ve neden bu şekilde çıktığını teorik olarak açıklayınız.

4.3.3 Ortak Geçit-Ortak Kaynak Kaskat Yapısının Çıkış Empedansı

4.3 ile gösterilen devreyi çıkış katındaki kondansatör ve potansiyometre olmadan breadboard üzerine kurunuz. DC gerilim kaynağını 15 V değerine ayarlayınız. Sinyal jeneratöründen ise 100 mV genlikli ve 1 kHz frekanslı sinüzoidal bir sinyal üretiniz.

Bu adımda kurduğunuz devrenin çıkış empedansı ölçülecektir. Bu amaçla öncelikle devrenin çıkışının osiloskop ile gözlemlenmesi gerekmektedir. Bunun için osiloskobun birinci kanalını girişe ve ikinci kanalını çıkışa bağlayınız. Osiloskop probleminin negatif uçları devrenin toprağına bağlanacaktır. Çıkış sinyalinin genliğini not ediniz ve devrenin kazancını hesaplayınız.

Çıkış katındaki kondansatörü ve potansiyometreyi Şekil 4.3'de gösterildiği gibi devreye bağlayınız. Çıkış geriliminin genliği biraz önce not ettiğiniz değerin yarısı olana kadar potansiyometrenin değerini değiştiriniz. Bu şart sağlandığında ayar ucuna dokunmadan dikkatli bir şekilde potansiyometreyi devreden çıkarınız. Potansiyometrenin gösterdiği direnç değerini ölçünüz. Bu değer kurmuş olduğunuz devrenin çıkış empedansıdır. Bu değeri not ediniz ve neden bu şekilde çıktığını teorik olarak açıklayınız.

Ortak geçit-ortak kaynak kaskat bağlantı bir önceki devre ile kıyaslandığında çıkış empedansına nasıl bir etkisi olmuştur?

4.4 Quiz Soruları

Aşağıdaki ifadeler (D)öğru ya da (Y)anlıştır.

1. MOS tranzistorde I_D akımının V_{DS} ile değışmeyip yaklaşık olarak sabit kaldığı bölgeye kısılma bölgesi denir.
2. MOSFET'in doymalı bölgede çalışması için $(V_{GS}-V_T) < V_{DS}$ şartı sağlanmalıdır.
3. Bir MOSFET'te kaynak ile savak arasındaki iletim kanalı geçite belirli bir gerilim uygulanmasıyla oluşuyorsa bu kanal ayarlamalı(depletion-mode) MOSFET'tir.
4. Kanal boyu modülasyonu MOS doymalı bölgede çalışırken V_{DS} 'nin artmasıyla savaktaki fakir bölgenin kanal içine doğru yatay olarak genişlemesi ve efektif kanal boyunun kısılmasıyla ortaya çıkar.
5. CMOS, nMOS ve pMOS'un aynı kırmıkta gerçekleştirilebilmesi teknolojisidir.

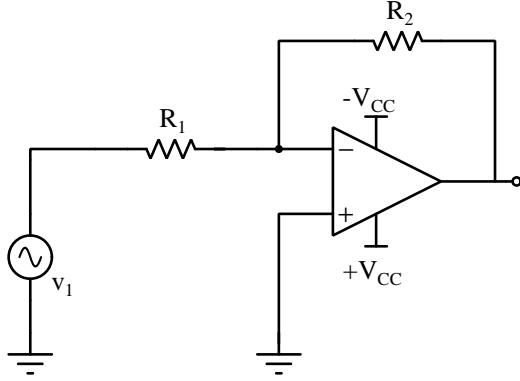
5 İşlemsel Yükselteçlerin Uygulamaları

5.1 Malzeme Listesi

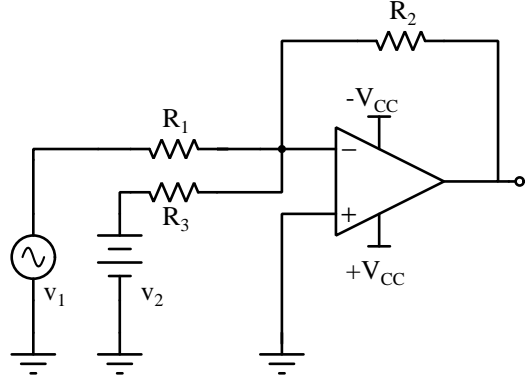
Bileşen	Miktar	Değer
Opamp	1	LM741
Direnç	1	470 Ω
Direnç	3	1 k Ω
Direnç	1	2 k Ω
Direnç	1	10 k Ω
Direnç	1	20 k Ω
Kondansatör	1	47 nF

5.2 Deney Öncesi Benzetimler

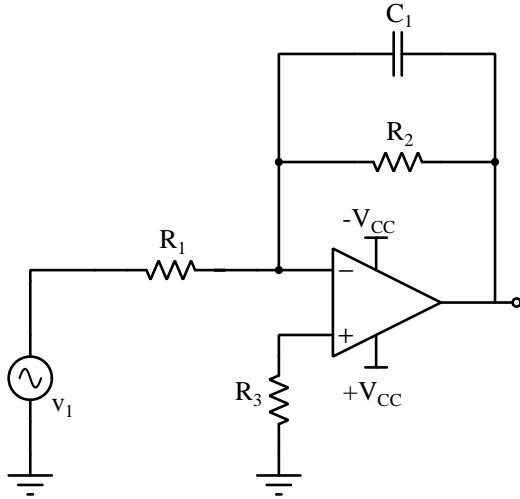
Bu deneyde işlemsel yükselteçlerin yaygın uygulamalarından yükseltme, toplama, türev alma ve integral alma işlemleri incelenecektir. Kullanılacak devre yapıları aşağıda görülmektedir.



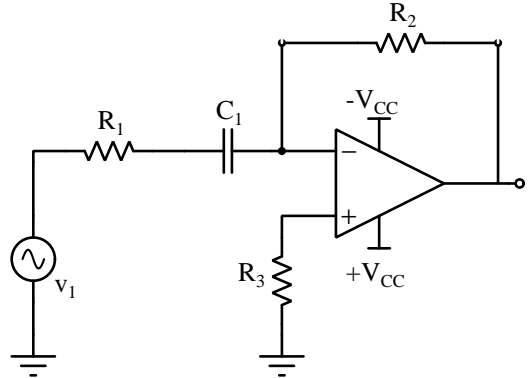
(a) Eviren yükselteç devresi.



(b) Toplayıcı yükselteç devresi.



(c) İntegral alıcı yükselteç devresi.



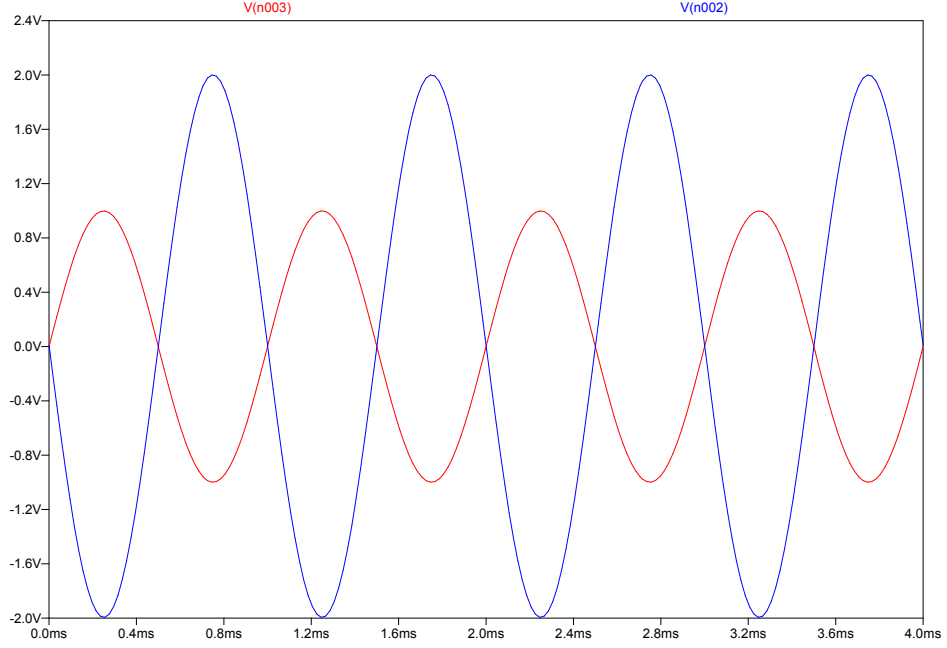
(d) Türev alıcı yükselteç devresi.

Şekil 5.1: İşlemsel yükselteçlerin bazı uygulamalarına ait örnekler.

5.2.1 Eviren Yükselteç

Şekil 5.1a devresini kurunuz. $R_1 = 1\text{ k}\Omega$ ve $R_2 = 2\text{ k}\Omega$ olarak ayarlanacaktır. Giriş sinyali olarak $v_1(t) = A \sin(2\pi f t)$ ($A = 1\text{ V}$ ve $f = 1\text{ kHz}$) sinüzoidal sinyali kullanılacaktır. İlgili ayarlamaları yapınız ve geçici hâl analizi gerçekleştiriniz. Giriş ve çıkış (işlemsel yükseltecin çıkışı) işaretlerini aynı grafik üzerine çizdiriniz.

İlgili benzetim adımının çıktısı Şekil 5.2 ile gösterilmektedir. Eviren yükselteç yapısında giriş ve çıkış sinyalleri arasında 180° faz farkı oluştuğuna dikkat ediniz.



Şekil 5.2: Eviren yükselteç yapısına ait giriş ve çıkış işaretleri.

Şekil 5.1a devresinde $R_2 = 10\text{ k}\Omega$ olarak ayarlayınız ve tekrar geçici hâl analizi gerçekleştiriniz. Giriş ve çıkış işaretlerini aynı grafik üzerine çizdiriniz. Bu ve bir önceki adım için elde ettiğiniz grafiklerden faydalanarak eviren yükseltecin gerilim kazancı ifadesini elde ediniz.

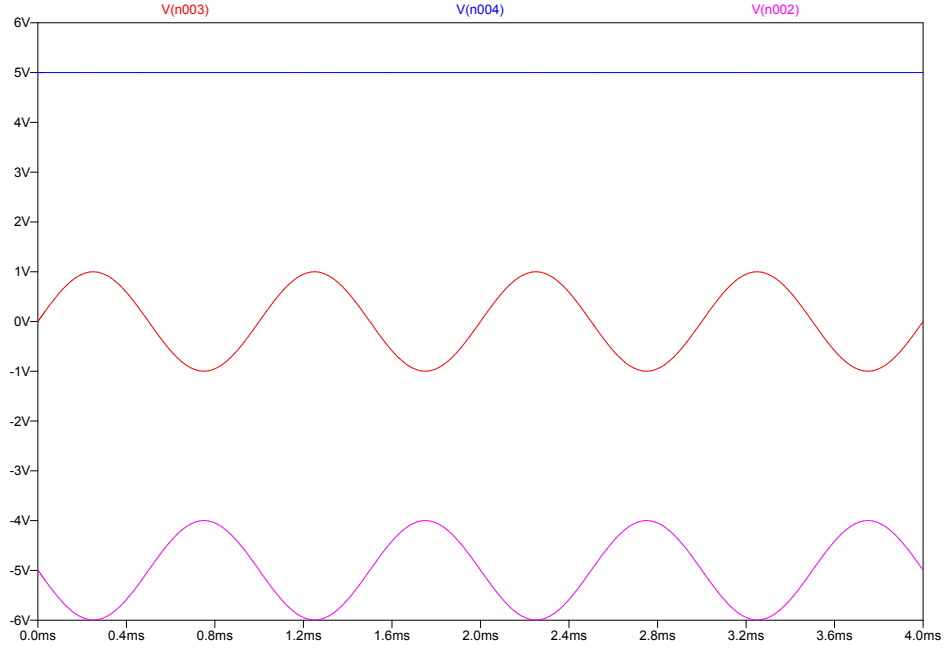
Şekil 5.1a devresinde $R_2 = 20\text{ k}\Omega$ olarak ayarlayınız ve tekrar geçici hâl analizi gerçekleştiriniz. Giriş ve çıkış işaretlerini aynı grafik üzerine çizdiriniz. Bu adımda çıkış sinyalinin tepe değerinin beklenen değere ulaşamadan kırıldığını göreceksiniz. Bu durumun sebebi nedir?

5.2.2 Evirmeyen Yükselteç

Şekil 5.1a devresini kurunuz. $R_1 = 1\text{ k}\Omega$ ve $R_2 = 2\text{ k}\Omega$ olarak ayarlanacaktır. R_1 direncine bağlı olan kaynağı ayırarak işlemsel yükseltecin + girişine bağlayınız. R_1 'in açıkta kalan ucunu toprak ile birleştiriniz ve geçici hâl analizi gerçekleştiriniz. Giriş ve çıkış işaretlerini aynı grafik üzerine çizdiriniz. İlgili grafiği giriş ve çıkış sinyalleri arasındaki faz farkı ve gerilim kazancı bakımından Şekil 5.2 ile karşılaştırınız.

5.2.3 Toplayıcı Yükselteç

Şekil 5.1b devresini kurunuz. $R_1 = R_2 = R_3 = 1\text{ k}\Omega$ olarak ayarlanacaktır. $v_1(t) = A \sin(2\pi f t)$ ($A = 1\text{ V}$ ve $f = 1\text{ kHz}$) ve $v_2 = 5\text{ V}$ olarak belirlenecektir. İlgili ayarlamaları yapınız ve geçici hâl analizi gerçekleştiriniz. Giriş ve çıkış işaretlerini aynı grafik üzerine çizdiriniz.



Şekil 5.3: Toplayıcı yükselteç yapısına ait giriş ve çıkış işaretleri.

İlgili benzetim adımının çıktısı Şekil 5.3 ile gösterilmektedir. Çıkışta $v_1(t)$ gerilimi ile v_2 geriliminin ters işaretli toplamını görmekteyiz. v_2 gerilimi, $v_1(t)$ gerilimine bir DC bileşen olarak eklenmiştir.

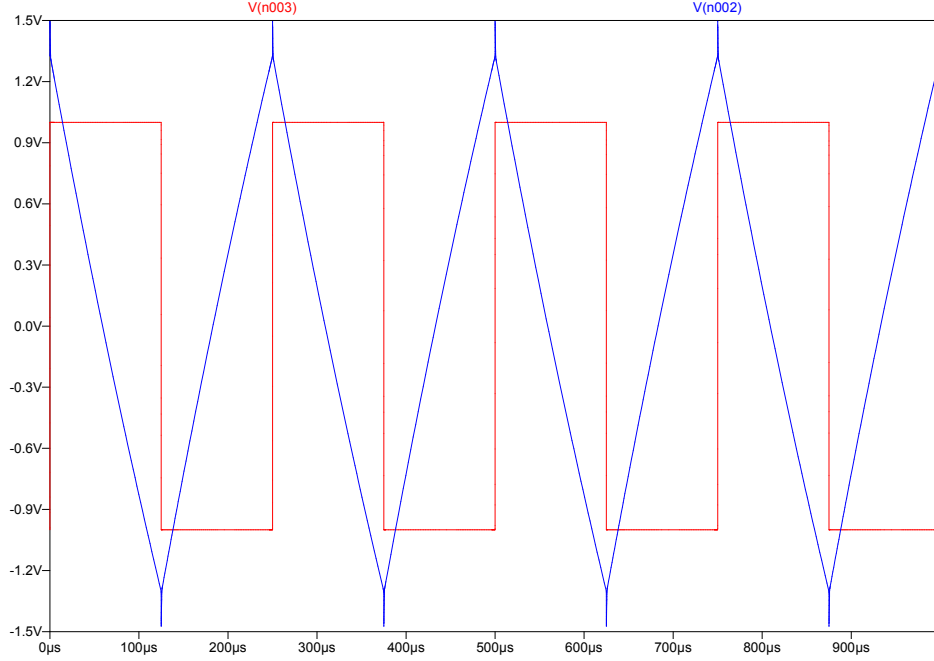
5.2.4 İntegral Alıcı Yükselteç

Şekil 5.1c devresini kurunuz. $R_1 = R_3 = 1 \text{ k}\Omega$, $R_2 = 10 \text{ k}\Omega$ ve $C_1 = 47 \text{ nF}$ olarak ayarlanacaktır. Giriş sinyali olarak genliği 1 V ve frekansı 4 kHz olan kare dalga kullanılacaktır. İlgili ayarlamaları yapınız ve geçici hâl analizi gerçekleştiriniz. Giriş ve çıkış işaretlerini aynı grafik üzerine çizdiriniz. Çıkış sinyaliniz giriş sinyalinin integrali midir?

İlgili benzetim adımının çıktısı Şekil 5.4 ile gösterilmektedir. Giriş ve çıkış sinyalleri arasındaki ilişkiyi gösteren bu grafik ışığında integral alıcı yükselteç devresinin doğru bir şekilde çalıştığını söylemek mümkündür.

Şekil 5.1c devresinde girişe uyguladığınız sinyalin frekansını arttırınız. $f = 8 \text{ kHz}$ ve 20 kHz için geçici hâl analizi gerçekleştiriniz. Giriş ve çıkış işaretlerini aynı grafik üzerine çizdiriniz. Frekans arttıkça çıkış sinyalinin genliğinin azaldığını göreceksiniz. Bunun sebebi nedir?

Şekil 5.1c devresinde girişe uyguladığınız sinyalin frekansını azaltınız. $f = 250 \text{ Hz}$ ve 10 Hz için geçici hâl analizi gerçekleştiriniz. İlgili devre hâlâ integral alma işlemini gerçekleştirebilmekte midir? Cevabınız hayır ise bunun sebebini nasıl açıklarsınız?



Şekil 5.4: İntegral alıcı yükselteç yapısına ait giriş ve çıkış işaretleri.

İlgili benzetim adımının çıktısı Şekil 5.5 ile gösterilmektedir. DC çalışma koşullarına yaklaşıldıkça kondansatörün kapasitif reaktansındaki artış dolayısıyla gerilim kazancı artmakta ve belirli bir değerden sonra kazanç $-R_f/R_1$ ilişkisi ile sınırlanmaktadır. İlgili grafikte bunun bir örneği görülmektedir.

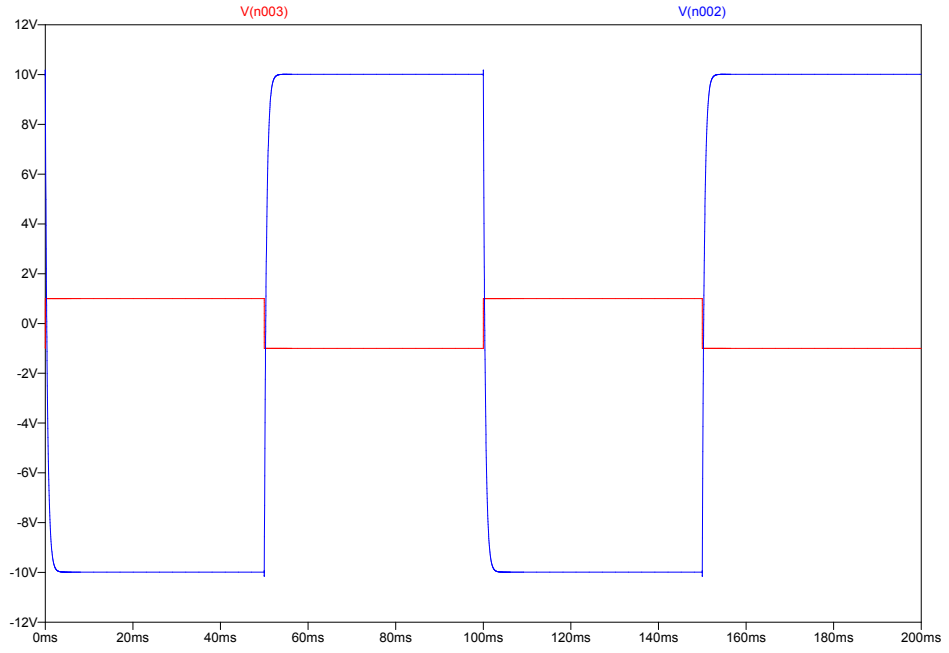
5.2.5 Türev Alıcı Yükselteç

Şekil 5.1d devresini kurunuz. $R_1 = 470 \Omega$, $R_2 = 10 \text{ k}\Omega$, $R_3 = 1 \text{ k}\Omega$ ve $C_1 = 47 \text{ nF}$ olarak ayarlanacaktır. Giriş sinyali olarak genliği 1 V ve frekansı 0.5 kHz olan üçgen dalga kullanılacaktır. İlgili ayarlamaları yapınız ve geçici hâl analizi gerçekleştiriniz. Giriş ve çıkış işaretlerini aynı grafik üzerine çizdiriniz. Çıkış sinyaliniz giriş sinyalinin türevi midir?

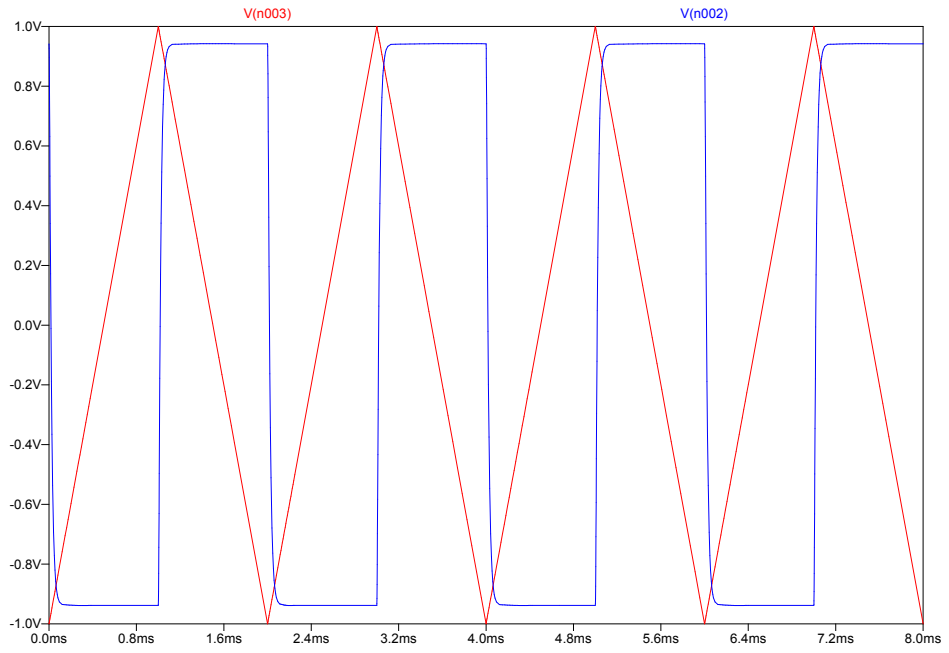
İlgili benzetim adımının çıktısı Şekil 5.6 ile gösterilmektedir. Giriş ve çıkış sinyalleri arasındaki ilişkiyi gösteren bu grafik ışığında türev alıcı yükselteç devresinin doğru bir şekilde çalıştığını söylemek mümkündür.

Şekil 5.1d devresinde girişe uyguladığımız sinyalin frekansını azaltınız. $f = 100 \text{ Hz}$ ve 10 Hz için geçici hâl analizi gerçekleştiriniz. Giriş ve çıkış işaretlerini aynı grafik üzerine çizdiriniz. Frekans azaldıkça çıkış sinyalinin genliğinin azaldığını göreceksiniz. Bunun sebebi nedir?

Şekil 5.1d devresinde girişe uyguladığımız sinyalin frekansını arttırınız. $f = 4 \text{ kHz}$ ve 8 kHz için geçici hâl analizi gerçekleştiriniz. İlgili devre hâlâ türev alma işlemini gerçekleştirebilmekte midir? Cevabınız hayır ise bunun sebebini nasıl açıklarsınız?

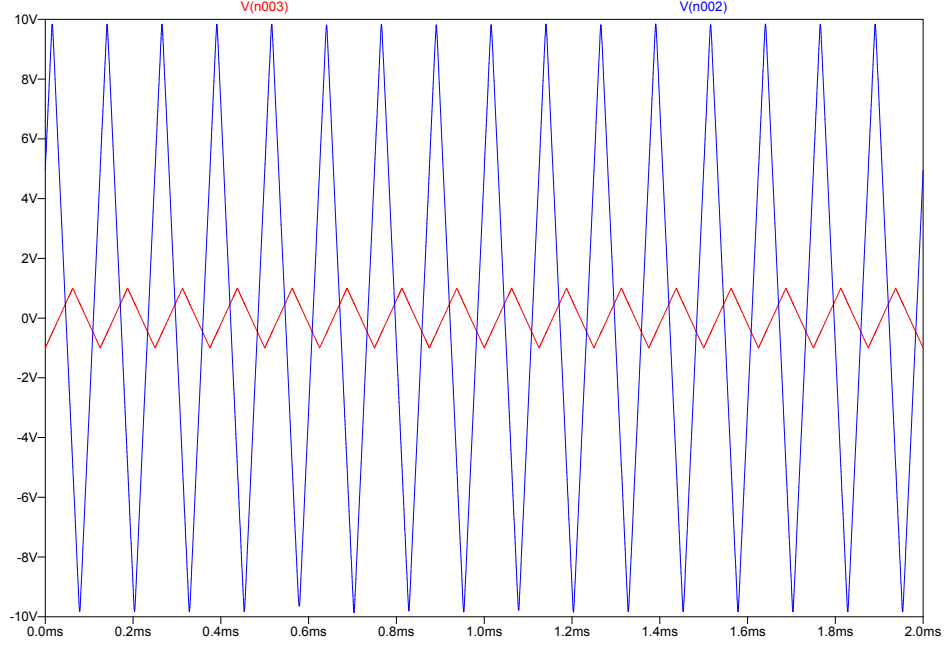


Şekil 5.5: İntegral alıcı yükselteç yapısına ait giriş ve çıkış işaretleri ($f = 10 \text{ Hz}$).



Şekil 5.6: Türev alıcı yükselteç yapısına ait giriş ve çıkış işaretleri.

İlgili benzetim adımının çıktısı Şekil 5.7 ile gösterilmektedir. Frekans artışı dolayısıyla kondansatörün kapasitif reaktansı azalmakta ve bu sebeple devre türev alma işlemini yerine getirememektedir.



Şekil 5.7: Türev alıcı yükselteç yapısına ait giriş ve çıkış işaretleri ($f = 8 \text{ kHz}$).

5.3 Deneyde Yapılacaklar

Deney boyunca tüm devrelerde $+V_{CC} = 12 \text{ V}$ ve $-V_{CC} = -12 \text{ V}$ olarak ayarlanacaktır.

5.3.1 Eviren Yükselteç

Şekil 5.1a devresini kurunuz. $R_1 = 1 \text{ k}\Omega$ ve $R_2 = 2 \text{ k}\Omega$ olarak ayarlanacaktır. Giriş sinyali olarak $v_1(t) = A \sin(2\pi f t)$ ($A = 1 \text{ V}$ ve $f = 1 \text{ kHz}$) sinüzoidal gerilimi kullanılacaktır. İlgili ayarlamaları yapınız ve devreye enerji veriniz. Giriş (sinüzoidal gerilim kaynağının çıkışı) ve çıkış (işlemsel yükseltecin çıkışı) işaretlerini referans konumları üst üste olacak şekilde osiloskop ekranında gözlemleyiniz. Elde ettiğiniz görüntü 5.2.1 bölümüne ait benzetim çıktısı ile uyuşmakta mıdır?

Bu aşamada Şekil 5.1a devresinde $R_2 = 20 \text{ k}\Omega$ olarak ayarlanacaktır. Giriş sinyali olarak $v_1(t) = A \sin(2\pi f t)$ ($A = 1 \text{ V}$ ve $f = 1 \text{ kHz}$) sinüzoidal gerilimi kullanılacaktır. İlgili ayarlamaları yapınız ve devreye enerji veriniz. Giriş (sinüzoidal gerilim kaynağı) ve çıkış (işlemsel yükseltecin çıkışı) işaretlerini referans konumları üst üste olacak şekilde osiloskop ekranında gözlemleyiniz. Giriş sinyali doğru bir şekilde yükseltilebildi mi?

5.3.2 Toplayıcı Yükselteç

Şekil 5.1b devresini kurunuz. $R_1 = R_2 = R_3 = 1 \text{ k}\Omega$ olarak ayarlanacaktır. $v_1(t) = A \sin(2\pi f t)$ ($A = 1 \text{ V}$ ve $f = 1 \text{ kHz}$) ve $v_2 = 5 \text{ V}$ olarak belirlenecektir. İlgili ayarlamaları yapınız ve devreye enerji veriniz. Giriş (sinüzoidal gerilim kaynağı) ve çıkış (işlemsel yükseltecin çıkışı) işaretlerini referans konumları üst üste olacak şekilde osiloskop ekranında gözlemleyiniz. Elde ettiğiniz görüntü 5.2.3 bölümüne ait benzetim çıktısı ile uyuşmakta mıdır? Kurduğunuz devre toplama işlemini gerçekleştirebilmekte midir?

5.3.3 İntegral Alıcı Yükselteç

Şekil 5.1c devresini kurunuz. $R_1 = R_3 = 1 \text{ k}\Omega$, $R_2 = 10 \text{ k}\Omega$ ve $C_1 = 47 \text{ nF}$ olarak ayarlanacaktır. Giriş sinyali olarak genliği 1 V ve frekansı 4 kHz olan kare dalga kullanılacaktır. İlgili ayarlamaları yapınız ve devreye enerji veriniz. Giriş ve çıkış işaretlerini referans konumları üst üste olacak şekilde osiloskop ekranında gözlemleyiniz. Elde ettiğiniz görüntü 5.2.4 bölümüne ait benzetim çıktısı ile uyuşmakta mıdır? Çıkış sinyaliniz giriş sinyalinin integrali midir?

Şekil 5.1c devresinde girişe uyguladığımız sinyalin frekansını yavaşça arttırınız. Frekans arttıkça çıkış sinyalinin genliğinin azaldığını göreceksiniz. Bu durumun sebebi nedir?

Şekil 5.1c devresinde girişe uyguladığımız sinyalin frekansını yavaşça azaltınız. Düşük frekans değerlerinde devrenin hâlâ integral alma işlemini gerçekleştirebilmekte midir?

5.3.4 Türev Alıcı Yükselteç

Şekil 5.1d devresini kurunuz. $R_1 = 470 \Omega$, $R_2 = 10 \text{ k}\Omega$, $R_3 = 1 \text{ k}\Omega$ ve $C_1 = 47 \text{ nF}$ olarak ayarlanacaktır. Giriş sinyali olarak genliği 1 V ve frekansı 0.5 kHz olan üçgen dalga kullanılacaktır. İlgili ayarlamaları yapınız ve devreye enerji veriniz. Giriş ve çıkış işaretlerini referans konumları üst üste olacak şekilde osiloskop ekranında gözlemleyiniz. Elde ettiğiniz görüntü 5.2.5 bölümüne ait benzetim çıktısı ile uyuşmakta mıdır? Çıkış sinyaliniz giriş sinyalinin türevi midir?

Şekil 5.1d devresinde girişe uyguladığımız sinyalin frekansını yavaşça azaltınız. Frekans azaldıkça çıkış sinyalinin genliğinin azaldığını göreceksiniz. Bu durumun sebebi nedir?

Şekil 5.1d devresinde girişe uyguladığımız sinyalin frekansını yavaşça arttırınız. Yüksek frekans değerlerinde devrenin hâlâ türev alma işlemini gerçekleştirebilmekte midir?

5.4 Değerlendirme Soruları

Aşağıdaki soruları kısaca ve gerekli ise şekil çizerek cevaplandırınız.

1. Benzetimlerde ve deney esnasında integral alıcı yükselteç devresine ait çıkış sinyalinin giriş sinyalinin frekansı ile olan değişimini incelediniz. Elde ettikleriniz ışığında integral alıcı yükselteç devresinin ne tür bir filtre karakteristiği gösterdiğini açıklayınız.
2. Benzetimlerde ve deney esnasında türev alıcı yükselteç devresine ait çıkış sinyalinin giriş sinyalinin frekansı ile olan değişimini incelediniz. Elde ettikleriniz ışığında türev alıcı yükselteç devresinin ne tür bir filtre karakteristiği gösterdiğini açıklayınız.

5.5 Quiz Soruları

Aşağıdaki ifadeler **(D)**oğru ya da **(Y)**anlış'tır.

1. Bir evirmeyen yükselteç yapısında direnç değerlerinin belirli bir düzeni için 1'den küçük kapalı çevrim gerilim kazancı elde edebilmek mümkündür.
2. İşlemsel yükselteçlerin yaygın uygulamalarından olan gerilim izleyici yapısı, işlemsel yükselteçlerin düşük giriş ve yüksek çıkış empedansı gibi karakteristik özelliklerini temel alarak empedans uydurma amaçlı kullanılırlar.
3. Bir işlemsel yükselteç devresinin çıkış gerilimi her zaman V_{CC} geriliminden daha düşüktür.
4. Karşılaştırmalı düzeninde çalıştırılan bir işlemsel yükseltecin $-$ ucundaki gerilim $+$ ucundaki gerilime göre daha büyükse işlemsel yükseltecin çıkışından $+V_{CC}$ gerilimi okunacaktır.
5. Türev alıcı yükselteç yapısında bulunan kapasitif giriş dolayısıyla devre yüksek frekanslı gürültüye karşı oldukça duyarlı olacaktır.

6 Güç Yükselteçleri

6.1 Malzeme Listesi

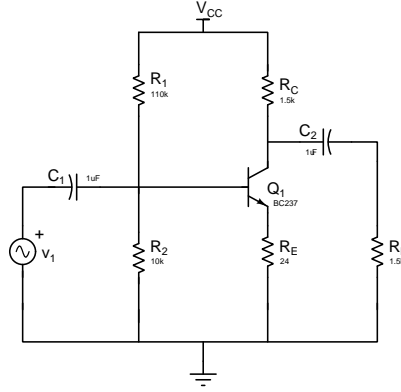
Bileşen	Miktar	Değer
Transistor	2	BC237
Transistor	1	BD135
Transistor	1	BD136
Diyot	2	1N4001
Direnç	2	110k Ω
Direnç	2	10k Ω
Direnç	2	1.5k Ω
Direnç	1	24 Ω
Direnç	4	120 Ω (1/2 watt)
Direnç	2	1.2k Ω
Direnç	1	2.2k Ω
Kondansatör	6	1 μF

Bu deneyde A, B ve AB sınıfı güç yükselteçleri incelenecek ve gerçekleştirilecektir.

6.2 Deney Öncesi Benzetimler

6.2.1 A Sınıfı Güç Yükselteci

A sınıfında çıkış sinyalinin akış açısı kaç derecedir? Bu derece çıkış sinyaliyle ilgili hangi bilgiyi vermektedir?



Şekil 6.1: A sınıfı güç yükselteci

Bu bölümde şekil 6.1'de görülen devrenin geçici hal benzetimini yapmanız istenmektedir. Çıkış sinyalini çizdirin ve tepe değerini ölçün.

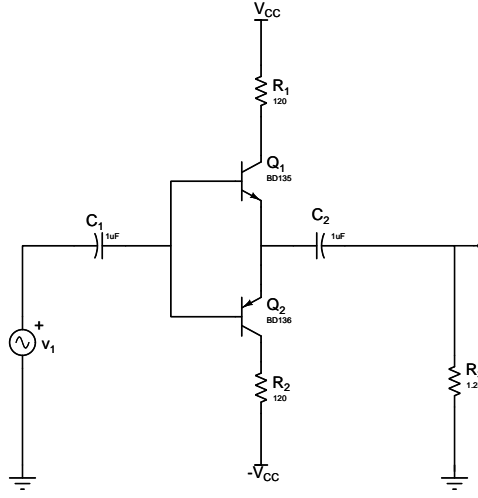
6.2.2 B Sınıfı Güç Yükselteci

B sınıfı yükselteçte "it-çek" adı verilen iki transistorlu yapı kullanılmasıyla amaçlanan nedir? Bu yapıda çıkış sinyalinin akış açısı kaç derecedir? Bu yapının çalışma prensibini kısaca açıklayın.

Bu bölümde şekil 6.2'de görülen devrenin geçici hal benzetimini yapmanız istenmektedir. Çıkış sinyalini çizdirin ve tepe değerini ölçün. Çıkış sinyalinde geçiş bozulmasının sebebi ne olabilir?

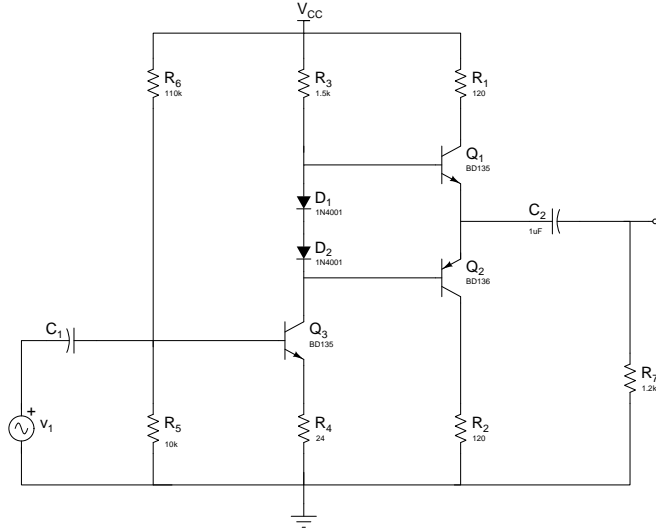
6.2.3 AB Sınıfı Güç Yükselteci

Şekil 6.3'de görülen devrenin geçici hal benzetimini yapmanız istenmektedir. Çıkış sinyalini çizdirin ve tepe değerini ölçün. Geçiş bozulmasının ortadan kalktığını gördünüz, bunun nasıl



Şekil 6.2: B sınıfı güç yükseltici

saglandığını raporunuzda tartışın.



Şekil 6.3: AB sınıfı güç yükseltici

Yukarıda benzetimi yapılan 3 ayrı güç kuvvetlendirici sınıfını verimlilikleri açısından karşılaştırm ve yorumlarınızı raporunuza ekleyin.

6.3 Deneyde Yapılacaklar

6.3.1 A Sınıfı Güç Yükselteci

Şekil 6.1'deki devreyi kurunuz.Devre girişine 200mV ve 1kHz frekansında sinüzoidal bir işaret uygulayınız ve çıkışı osiloskop ile gözlemleyiniz.

Çıkış sinyalinin tepe gerilim değerini ölçünüz ve giriş ve çıkış sinyallerini verilen alana çizin. Her bir kanal için Volt/div ve Time/div oranlarını yazmayı unutmayınız.

Çıkış sinyalinin akış açısı kaç derecedir? Neden?

6.3.2 B Sınıfı Güç Yükselteci

Şekil 6.2 ile gösterilen devreyi kurunuz. Devre girişine 2V ve 1kHz frekansında sinüzoidal bir işaret uygulayınız ve çıkışı osiloskop ile gözlemleyiniz. Çıkış sinyalinin tepe gerilim değerini ölçünüz ve giriş ve çıkış sinyallerini verilen alana çizin.Her bir kanal için Volt/div ve Time/div oranlarını yazmayı unutmayınız.

Çıkış sinyalinde geçiş bozulmasını gözlemleyebildiniz mi? Bunun sebebi nedir? Geçiş bozulmasını azaltmak için ne önerebilirsiniz? Çıkış sinyalinin akış açısı kaç derecedir? Neden?

6.3.3 AB Sınıfı Güç Yükselteci

Şekil 6.3 ile gösterilen devreyi kurunuz.Devre girişine 200mV ve 1kHz frekansında sinüzoidal bir işaret uygulayınız ve çıkışı osiloskop ile gözlemleyiniz.Çıkış sinyalinin tepe gerilim değerini ölçünüz ve giriş ve çıkış sinyallerini verilen alana çizin.Her bir kanal için Volt/div ve Time/div oranlarını yazmayı unutmayınız.

Çıkış sinyalinde geçiş bozulmasını gözlemleyebildiniz mi? Bunun sebebi nedir? Çıkış sinyalinin akış açısı kaç derecedir? Neden?

6.4 Quiz Soruları

Aşağıdaki ifadeler (D)öğru ya da (Y)anlıştır.

1. B sınıfı güç kuvvetlendiricisine kıyasla AB sınıfı güç kuvvetlendiricisinde verim daha düşüktür fakat distorsiyon daha azdır.
2. Bir güç kuvvetlendiricisinde verim kaynaklardan çekilen toplam gücün yüke aktarılan güce oranıdır.
3. B sınıfı güç kuvvetlendiricilerinde verimin düşük olmasının sebebi BJT’de sükunet halinde dahi bir akım aktığından giriş sinyali olmasa bile güç harcanıyor oluşudur.
4. İt-çek sınıf-B yükselteçlerinde görülen geçiş bozulması opamp’lı bir geri besleme yapısıyla azaltılabilir.
5. Her iki transistörün B-E eklemlerindeki gerilim düşümü dolayısıyla bir it-çek B sınıfı yükseltecinin transfer karakteristiğinde, çıkış gerilimindeki bozulmayı azaltan bir ölü bant oluşmaktadır.

1 Diode Characteristics

1.1 Component List

Component	Quantity	Value
Diode	1	1N4001
Resistor	1	1k Ω
Capacitor	1	1 μ F

In this lab, the transient behavior of a half-wave rectifier and an envelope detector will be investigated. These circuits include a diode each for a nonlinear component. The diode can be viewed as a device that allows current flow in one direction only on a branch.

1.2 PreLab Simulation Tasks

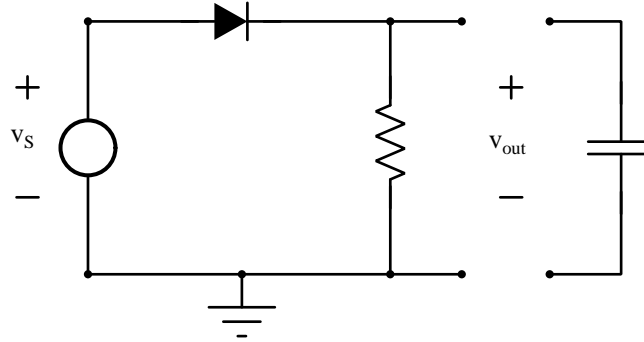


Figure 1.1: Diode half-wave rectifier and envelope detector.

(Spice Simulation) In Figure 1.1, a 1N4001 diode is used and $R = 1\text{ k}\Omega$. Without the capacitor connected, this is a half-wave rectifier circuit. With the capacitor connected, this is an envelope detector circuit.

1.2.1 DC Characteristics of the Half-Wave Rectifier

You will run a DC simulation in Spice first. The capacitor is not yet connected to the circuit. Sweep the DC voltage v_s from 0 to 2 Volts. Plot in the same figure the voltage across the resistor and the diode. Also generate a separate plot for the current that issues from the voltage supply v_s . All of these plots will be versus the voltage of v_s .

The output of the related simulation step is shown in Figure 1.2. From this graph, it can be seen that as the voltage value of v_s increases, the voltage across the terminals of diode also increases and after the v_s reaches the threshold voltage of the diode, the voltage of the diode remains constant. Due to exceeding the threshold voltage, the activated diode lets the current pass through (up) thus, some voltage drop occurs across the resistor component (down).

1.2.2 Transient Characteristics of the Half-Wave Rectifier

Now you will run a transient simulation. The capacitor is still not yet connected to the circuit. Let $v_s(t) = A \sin(2\pi ft)$ Volts, where $A = 2$ and $f = 1\text{ kHz}$. Plot the input voltage, the voltage across the diode, and the voltage across the resistor, all versus time, for 2-3 periods of the sine wave.

The output of the related simulation step is shown in Figure 1.3. From this graph, it can be seen that the diode is activated approximately around 0.6 V for the positive half cycle of v_s and the voltage across its terminals remains constant at this value. For the positive half cycle,

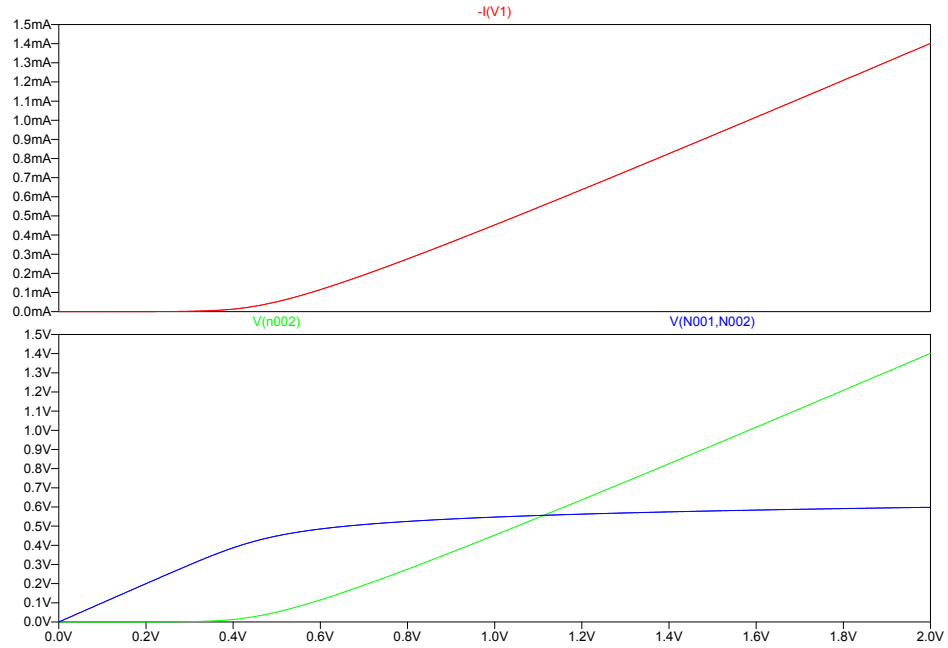


Figure 1.2: The voltages across the diode and the resistor components (down) and the current drawn from the v_s voltage source (up).

analyse the peak voltages across the components and note that the voltage across the resistor is approximately 0.6 V lower than v_s .

1.2.3 Transient Characteristics of the Envelope Detector Based on a Half-Wave Rectifier

Instantiate two subcircuits as in Figure 1.1, without the capacitor, consisting only of the diode and the resistor, connected as such. Again let $v_s(t) = A \sin(2\pi ft)$ Volts, where $A = 2$ and $f = 1\text{kHz}$. We will call circuit 1 the circuit with $v_s(t)$ applied to one of the subcircuits. We will call circuit 2 the circuit with $v_s(t)$ applied to the other subcircuit, and with the capacitor connected in parallel to the resistor as in Figure 1.1. Now you will run a transient simulation for both circuits simultaneously. You will plot in the same figure the input voltage $v_s(t)$ and $v_{\text{out}}(t)$ for both circuit 1 and 2. Do this simulation for the following values of the capacitor C : 470 nF, 1 μF , and 10 μF .

The output of the related simulation step is shown in Figure 1.4. While only the positive cycles of v_s can be obtained -with a certain amount of attenuation- from the output of the Circuit 1 which is a half wave rectifier, the envelope of the signal across the resistor can be obtained from the output of the Circuit 2 which is an envelope detector.

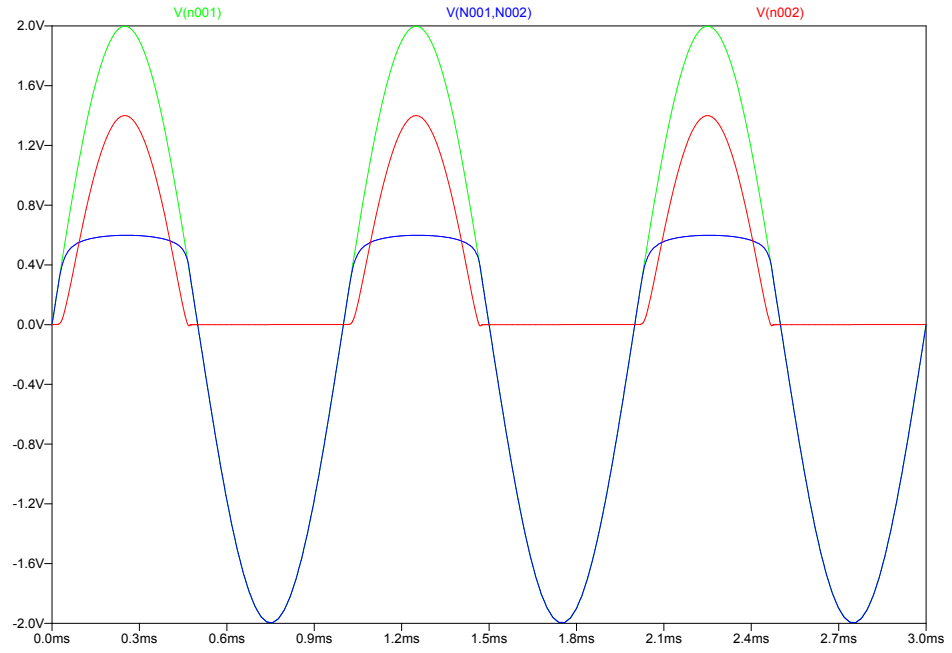


Figure 1.3: The input voltage, the voltage across the diode and the voltage across the resistor.

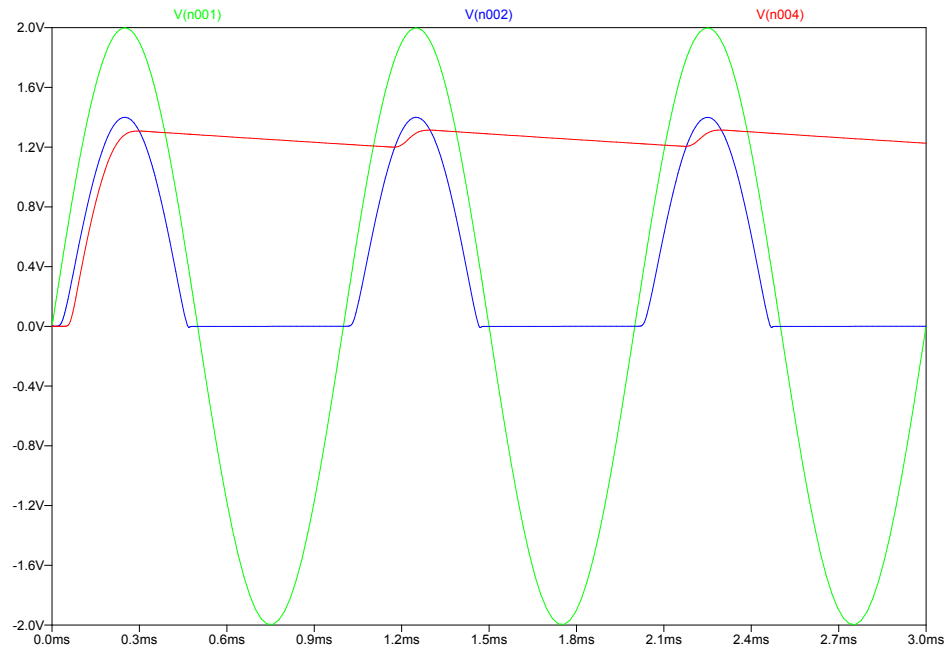


Figure 1.4: The input voltage and the output voltages for Circuit 1 and Circuit 2 ($C = 10 \mu\text{F}$).

1.2.4 Time Lag and Attenuation in the Envelope Detector

In the previous question, how do the plots for $v_{\text{out}}(t)$ in circuit 2 compare for different values of the capacitor, with respect to the $v_{\text{out}}(t)$ in circuit 1? How would you explain the increasing time lag and attenuation as the capacitance is increased? What happens if C is too small, e.g., $C = 1 \text{ nF}$?

1.3 Tasks in the Lab

The students are going to complete the following tasks in the lab. Please refer to Figure 1.1. Note that the tasks should be done in the order described. The components are model 1N4001 for the diode, $R = 1 \text{ k}\Omega$, and $C = 1 \mu\text{F}$.

1.3.1 DC Characteristics of the Half-Wave Rectifier

Connect the circuit as given in Figure 1.1, without the capacitor. Let $v_s(t)$ be an adjustable DC power supply in series with a sinusoidal as in $v_s(t) = B + A \sin(2\pi f t)$ Volts. Let A be 100-200 mV and $f = 1 \text{ kHz}$. You are going to connect a DC power supply in series with the signal generator to produce this $v_s(t)$.

The oscilloscope should have two probes. Observe the circuit ground. Connect the first probe (X) across $v_s(t)$. Connect the second probe (Y) across $v_{\text{out}}(t)$. Put the scope in XY mode.

Now vary the adjustable DC supply voltage B slowly in the interval 0-2 Volts. The scope will trace the DC analysis plot in the simulation tasks for v_{out} .

Exchange the places of the diode and the resistor. The cathode should be grounded. Go through this task again now for this network. The scope will trace the other DC analysis plot in the simulation tasks.

Sketch the XY plots that the scope traces and interpret your results. Do they resemble the simulated waveforms that you generated in the prelab tasks?

1.3.2 Transient Characteristics of the Half-Wave Rectifier

Connect the circuit as given in Figure 1.1, without the capacitor. Let $v_s(t) = A \sin(2\pi f t)$ Volts, where $A = 2$ and $f = 1 \text{ kHz}$. Note that $v_s(t)$ will be supplied by only the signal generator.

Connect the first probe across $v_s(t)$. Connect the second probe across $v_{\text{out}}(t)$.

Observe and report how $v_{\text{out}}(t)$ compares to $v_s(t)$. Do the waveforms check with the simulation results? What does this circuit function as?

1.3.3 Transient Characteristics of the Envelope Detector Based on a Half-Wave Rectifier

Connect the circuit as given in Figure 1.1, including the capacitor. Again let $v_s(t) = A \sin(2\pi f t)$ Volts, where $A = 2$ and $f = 1$ kHz.

Connect the first probe across $v_s(t)$. Connect the second probe across $v_{\text{out}}(t)$.

Observe and report how $v_{\text{out}}(t)$ compares to $v_s(t)$. Also by temporarily disconnecting and then connecting the capacitor, you can observe the changes in the $v_{\text{out}}(t)$ trace, i.e., the attenuation and the phase shift.

Do the waveforms check with the simulation results? What does this circuit function as?

1.4 Evaluation Questions

Answer the following questions briefly and by drawing shapes if required.

1. What is the threshold voltage concept for a diode component? Explain the behaviour of the diode in cases where a lower and a higher voltage according to the threshold voltage is applied.
2. What kind of arrangement is required in order to obtain the negative cycles of the AC source connected to the input from the output of the Figure 1.1 circuit when the capacitor is not connected.
3. Providing that the value of the capacitor C remains constant, propose a method to obtain a more DC-like signal from the output of the envelope detector circuit.
4. In the half-wave rectifier structure (the case that the capacitor is not connected in the Figure 1.1 circuit) is it possible to get a similar output signal using a transistor instead of the diode component?. If yes, show how the transistor will be connected to circuit by drawing.

1.5 Quiz Questions

The statements below are either **(T)** rue or **(F)** alse.

1. The half-wave rectifier with a nonideal diode in this experiment will not produce, as a maximum at the output, half the peak-to-peak amplitude of a sinusoidal input.
2. A full-wave instead of a half-wave rectifier used in an envelope detector would potentially decrease the peak-to-peak amplitude of the ripple.
3. A half-wave rectifier circuit with the cathode of the diode adjacent to the voltage supply will produce a positive half-wave rectifier.
4. If the forward mode of a diode is modeled in large signal as a battery in series with a resistance, then a greater valued resistor in series with the diode in our half-wave rectifier circuit would, in DC analysis, result in a slightly lower voltage across the diode with a higher current flowing through it.
5. In the envelope detector circuit, if we keep all the other parameters constant and increase the capacitance just a little, then we will have a possible regulator (to be connected at the output of the detector) work on correcting a lower valued ripple.

2 AC-DC Converters

2.1 Component List

Component	Quantity	Value
Diode	4	1N4001
Zener Diode	1	1N751
Capacitor	1	22 μ F
Resistor	1	100k Ω
Resistor	1	22k Ω
Resistor	1	8.2k Ω
Resistor	1	4.7k Ω
Resistor	1	1k Ω
Resistor	1	820 Ω
Resistor	1	470 Ω
Resistor	1	100 Ω

2.2 Definitions

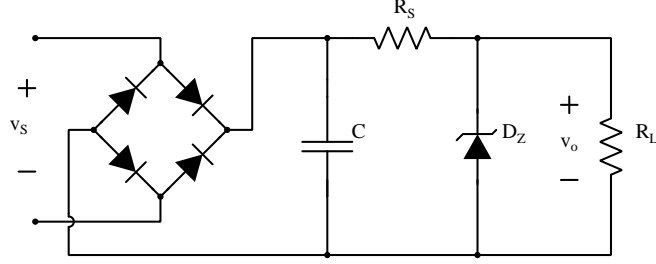


Figure 2.1: Zener regulator on a full-wave rectifier and envelope detector.

The list of the variables necessary in the analysis of Figure 2.1 is given in Table 2.1.

Variable	Description
v_L or v_O	Voltage across the load resistor R_L
v_C	Voltage across the capacitor C
v_S	Voltage across the resistor R_S
i_S	Current through the resistor R_S
i_Z	Current through the Zener diode
i_L	Current through the load resistor R_L
r_z	Small-signal resistance of the Zener diode in the Zener breakdown mode

Table 2.1: List of the variables and their descriptions.

Note that in Table 2.1, every voltage or current variable (e.g., v_L) can be written as the sum of its DC component or quiescent value (e.g., V_L) and its small-signal component (e.g., v_1). Therefore we have the following expressions.

$$\begin{aligned}
 v_L &= V_L + v_1 \\
 v_C &= V_C + v_c \\
 v_S &= V_S + v_s \\
 i_S &= I_S + i_s \\
 i_Z &= I_Z + i_z \\
 i_L &= I_L + i_l
 \end{aligned}$$

2.3 PreLab Simulation Tasks

(Spice Simulation) A Zener regulator working on a full-wave rectifier with a sinusoidal input is given in Figure 2.1. Use 1N4001 diodes in the rectifier and 1N751 (with $V_Z = 5\text{ V}$) for the Zener diode. Choose $C = 22\text{ }\mu\text{F}$. The input sine is $v_s(t) = A \sin(2\pi f t)$ with $A = 10\text{ V}$ and $f = 1\text{ kHz}$.

The first simulation task is just a test on the full-wave rectifier. The second task helps you inspect the reverse operation of the Zener diode. In the latter two simulations below, you are going to be plotting the voltages across the capacitor C and the load resistor R_L , and also the currents through R_S , the Zener diode, and R_L . The ground of the circuit is the negative node of $v_s(t)$.

2.3.1 The 4-Diode Bridge Full-Wave Rectifier

Construct the bridge full-wave rectifier for simulation and be sure to let the simulation run for 3-4 periods of the sine input. Ensure that the circuit works correctly (when the load for it is just a $1\text{ k}\Omega$ resistor). Do you observe the voltage drops in the sine due to the diodes in the conducting path? How many such voltage drops are there for a single lobe of the sine?

The output of the related simulation step is shown in Figure 2.2. As well as the positive half cycle, the transmission of the rectified negative half cycle of the input signal to the output shows that the bridge rectifier is operating correctly.

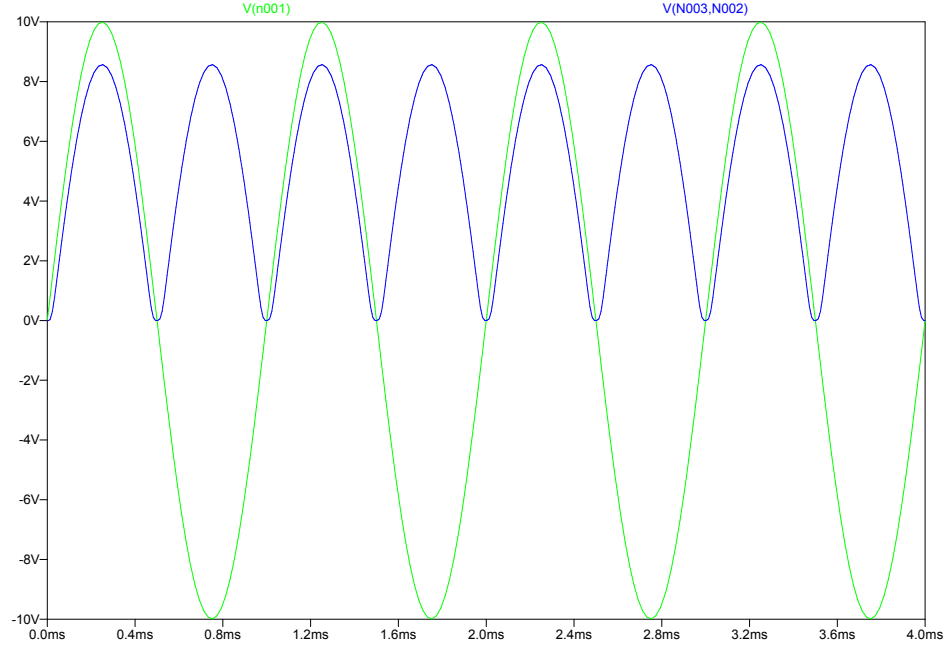


Figure 2.2: The output signal of the 4-diode full wave bridge rectifier.

Then, connect the $C = 22\text{ }\mu\text{F}$ capacitor across the nodes of the $1\text{ k}\Omega$. The circuit now becomes an envelope detector. Observe and report how much attenuation and phase shift the inclusion of the capacitor has entailed.

2.3.2 DC Analysis of the Zener Diode 1N751

Construct a simple circuit and generate the I (Current) - V (Voltage) DC simulation plot for the Zener diode 1N751. What is the breakdown voltage? What is the small-signal resistance deep down in the breakdown region and how do you compute it examining the plot?

The output of the related simulation step is shown in Figure 2.3. The breakdown voltage can be seen in the reverse biasing region, clearly. Note that the Zener diode acts as a regular diode in the forward biasing conditions.

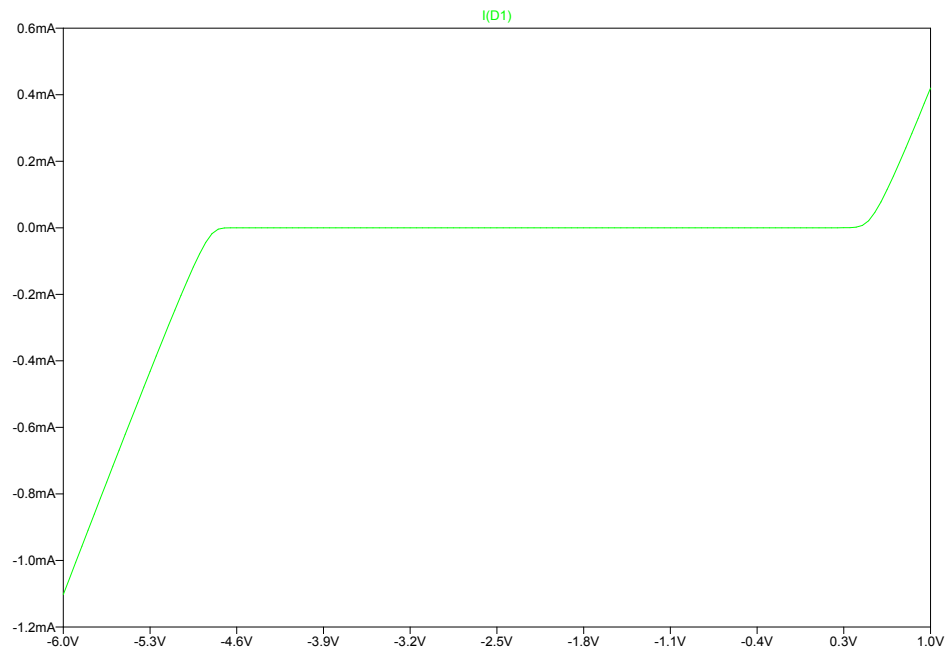


Figure 2.3: I (Current) - V (Voltage) DC simulation graph of the Zener diode.

2.3.3 Current Limiting in the Regulator through R_S

Construct the circuit in Figure 2.1. Set $R_L = 8.2\text{ k}\Omega$. Now simulate the circuit for the following R_S values: $10\text{ }\Omega$, $47\text{ }\Omega$, $100\text{ }\Omega$, $470\text{ }\Omega$, $820\text{ }\Omega$. Observe what happens for too small values of R_S . What is the peak-to-peak ripple in the Zener reverse current? What is the range of the values for the Zener reverse current (does the Zener current exceed its max, see the datasheet for 1N751)? Does the ripple in the Zener voltage (accordingly the load voltage) become clearly observable?

As the $R_S = 100\text{ }\Omega$, the output of the related simulation step is shown in Figure 2.4. Note that, as the value of the R_S resistor increases, the current flowing through the Zener diode decreases as well as the ripples of the Zener diode current. The increment in the value of the R_S resistor also decreases the ripples of the voltage across the load resistor.

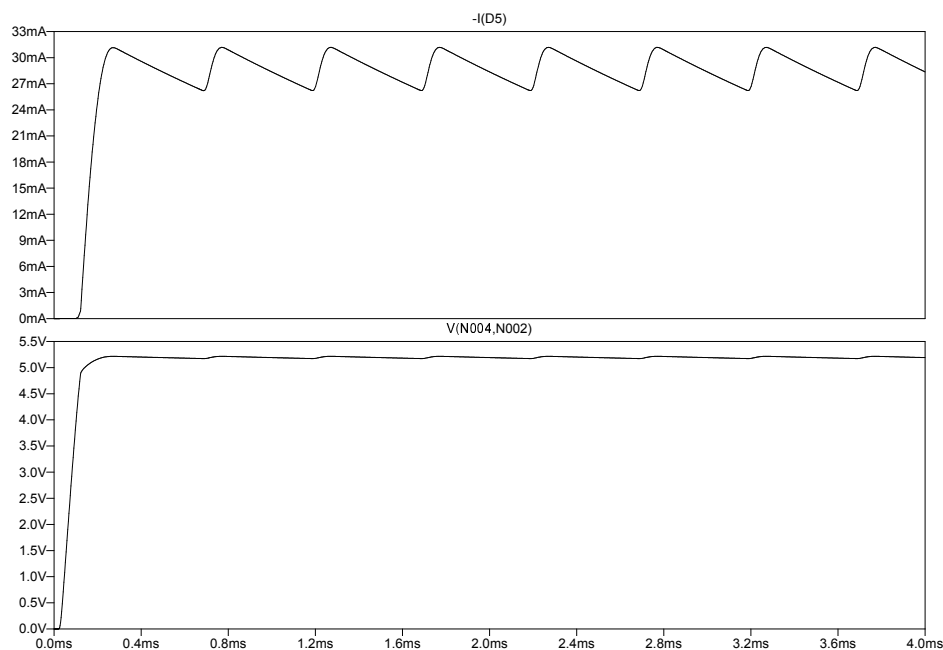


Figure 2.4: Time variations of the Zener current (up) and load voltage (down) ($R_S = 100 \Omega$).

2.3.4 Minimum Sustainable Load Resistance R_L

Continue with the circuit in Figure 2.1. Now set $R_S = 820 \Omega$. Simulate the circuit for the following R_L values: 100Ω , 470Ω , $4.7 \text{ k}\Omega$, $8.2 \text{ k}\Omega$, $22 \text{ k}\Omega$, $100 \text{ k}\Omega$. For large values of R_L (even an open circuit), is there a chance that the Zener current will exceed its maximum value (examine the datasheet for 1N751 to obtain this max)? For too small values of R_L , what happens to the Zener current, what happens to the Zener voltage (load voltage) when the Zener current is too small? If you think there should be a limit to how small the load resistance can be, try to find this value by trial and error.

2.4 Tasks in the Lab

Most of the tasks in this section require the measurement of the voltage across a component, whose neither node is grounded (e.g., the load resistor R_L in Figure 2.1). For such tasks, you will make use of both probes of the oscilloscope. The probe ground is the ground of the circuit, accordingly the ground of the signal generator. Place a probe at each of the two nodes of the component (e.g., R_L). The mathematical signal subtraction function of the oscilloscope will give the desired voltage.

2.4.1 The 4-Diode Bridge Full-Wave Rectifier

Construct the circuit in Figure 2.1, without the capacitor, the regulator, or the load. The load resistance should be $1 \text{ k}\Omega$. Use 1N4001 diodes to construct the bridge. The input sine should be $v_s(t) = A \sin(2\pi f t)$ with $A = 10 \text{ V}$ and $f = 1 \text{ kHz}$. The ground of the circuit should

be the ground of the signal generator. The voltage across the load resistor $1\text{ k}\Omega$ is to be observed on the scope.

How does the full-wave rectified signal compare to the provided sine input? Does it resemble the simulation output of Section 2.3.1?

Then, as described again in Section 2.3.1, connect the $C = 22\text{ }\mu\text{F}$ capacitor across the nodes of the $1\text{ k}\Omega$. Does the circuit behave as expected?

2.4.2 Current Limiting in the Regulator through R_S

Construct the circuit in Figure 2.1. The input sine should be $v_s(t) = A \sin(2\pi f t)$ with $A = 10\text{ V}$ and $f = 1\text{ kHz}$. Note that again $C = 22\text{ }\mu\text{F}$. Set $R_L = 8.2\text{ k}\Omega$. In this part of the experiment, you will place for R_S resistors of the following values in order and then measure several quantities: $820\text{ }\Omega$, $470\text{ }\Omega$, $100\text{ }\Omega$. The following tasks in this section will be done in order, and the results will be checked if they match with the findings of Section 2.3.3.

For each of the R_S values given above:

2.4.2.1 Measuring the voltage across the capacitor

Observe on the scope the voltage v_C across the capacitor in Figure 2.1. Use the AC and DC coupling feature of the oscilloscope to compute the DC component V_C of this signal. Measure also the peak-to-peak ripple $v_{c,pp}$.

$R_S = 820\text{ }\Omega$	$V_C =$		$v_{c,pp} =$	
$R_S = 470\text{ }\Omega$	$V_C =$		$v_{c,pp} =$	
$R_S = 100\text{ }\Omega$	$V_C =$		$v_{c,pp} =$	

2.4.2.2 Measuring the voltage across the load

Observe on the scope the voltage across the load resistor $R_L = 8.2\text{ k}\Omega$ in Figure 2.1. Use the AC and DC coupling feature of the oscilloscope to compute the DC component V_L of this signal. Measure also the peak-to-peak ripple $v_{l,pp}$.

$R_S = 820\text{ }\Omega$	$V_L =$		$v_{l,pp} =$	
$R_S = 470\text{ }\Omega$	$V_L =$		$v_{l,pp} =$	
$R_S = 100\text{ }\Omega$	$V_L =$		$v_{l,pp} =$	

2.4.2.3 Measuring the voltage across R_S

Observe on the scope the voltage v_S across R_S . By dividing this signal by the nominal value of R_S , an estimate of the current i_S through R_S can be obtained. Sketch this current signal and make a note of the DC component I_S , the peak-to-peak ripple $i_{s,pp}$, and the range of its values $i_{S,range}$.

$$\begin{array}{llll}
R_S = 820 \, \Omega & I_S = \underline{\hspace{2cm}} & i_{s,pp} = \underline{\hspace{2cm}} & i_{S,range} = \underline{\hspace{2cm}} \\
R_S = 470 \, \Omega & I_S = \underline{\hspace{2cm}} & i_{s,pp} = \underline{\hspace{2cm}} & i_{S,range} = \underline{\hspace{2cm}} \\
R_S = 100 \, \Omega & I_S = \underline{\hspace{2cm}} & i_{s,pp} = \underline{\hspace{2cm}} & i_{S,range} = \underline{\hspace{2cm}}
\end{array}$$

Notice that as smaller valued resistors for R_S are used, the current i_L across the R_L will remain pretty much constant as the Zener diode sinks deeper down into the breakdown mode. Therefore, through i_S an estimate for the Zener current i_Z can be obtained.

2.4.2.4 Small-signal resistance in the Zener breakdown regime

Either examining the datasheet for 1N751 or through your simulations, you will have obtained a rough estimate of the small-signal resistance r_z of this Zener diode in the Zener breakdown region.

When $R_S = 100 \, \Omega$, the ripple in the voltage across the load resistor will be considerable. Make use of the the peak-to-peak values of the ripple in the two voltages (the one in the voltage across the capacitor ($v_{c,pp}$) and the other in that of the load resistor ($v_{l,pp}$)) and also the resistor values R_L and R_S in order to compute another estimate of the small signal resistance r_z . You will be utilizing small signal analysis.

$$r_z \text{ (datasheet)} = \underline{\hspace{2cm}} \quad r_z \text{ (experiment)} = \underline{\hspace{2cm}}$$

Do the two estimates of the resistor r_z match? What may be the reason for a possible difference between the two values?

2.4.2.5 Power rating of the Zener diode

For $R_S = 100 \, \Omega$, the voltage (v_S) across R_S and the current i_S through it will have been obtained and sketched. The datasheet for 1N751 gives a power rating for the Zener diode device or the maximum reverse current sustainable by it. Decide if, for $R_S = 100 \, \Omega$, we are in danger of burning our 1N751.

2.4.3 Minimum Sustainable Load Resistance R_L

Construct the circuit in Figure 2.1. The input sine should be $v_s(t) = A \sin(2\pi f t)$ with $A = 10 \, \text{V}$ and $f = 1 \, \text{kHz}$. Note that again $C = 22 \, \mu\text{F}$. Set $R_S = 820 \, \Omega$. For R_L , the indicated resistors will be connected one by one and several quantities will be measured. Fill in the following table. Comment your measurements as the load resistance is made to be smaller.

R_L	V_C	$v_{c,pp}$	V_L	$v_{l,pp}$	I_L	$i_{l,pp}$	I_S	$i_{s,pp}$	I_Z	$i_{z,pp}$
100 k Ω										
22 k Ω										
8.2 k Ω										
4.7 k Ω										
470 Ω										
100 Ω										

2.5 Evaluation Questions

Answer the following questions briefly and by drawing shapes if required.

1. Draw the current-voltage characteristic of a Zener diode and show the forward and reverse biasing areas. Mark the "Zener voltage" value on the graph. Explain how the voltage on the Zener diode will vary when it is biased with a voltage higher than the Zener voltage.
2. Explain the operating principle of a full-wave bridge rectifier by clarifying which diodes becomes active during the positive and negative cycles of the input signal.
3. Explain the function of the capacitor C in the Figure 2.1 by using the experiment data and simulation graphs.
4. Explain the function of the resistor R_S in the Figure 2.1 by using the experiment data and simulation graphs.

2.6 Quiz Questions

The statements below are either **(T)**rue or **(F)**alse.

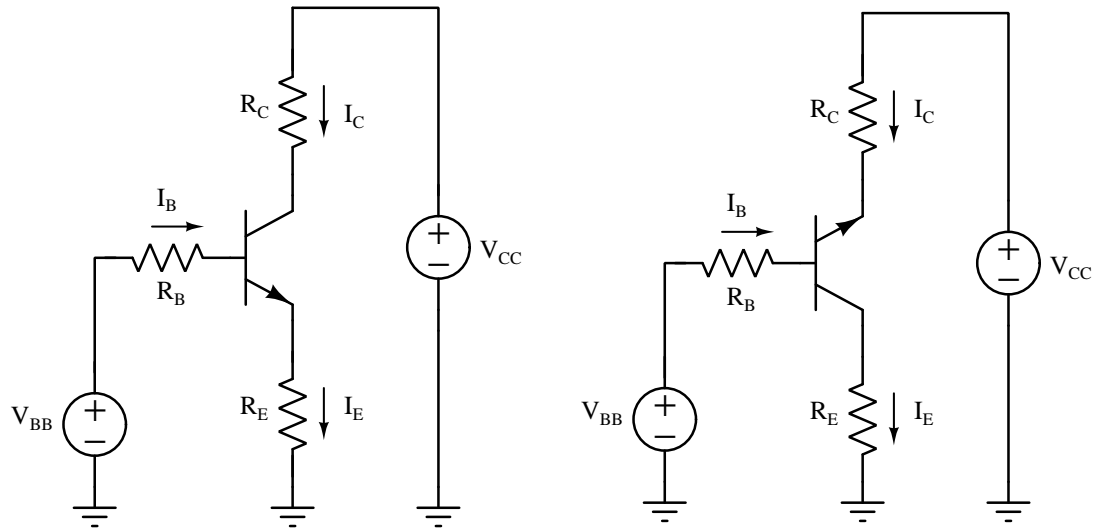
1. If a Zener diode is biased in its Zener breakdown mode through a resistor, then a slight increase in the resistor will have the Zener diode exhibit a slightly decreased voltage across it, with a lower reverse current.
2. For a sinusoidal input, the diode in a simple half-wave rectifier is exposed in reverse mode at most to twice the peak voltage of the sine, just as either of the diodes in a full-wave rectifier constructed with a center-tapped transformer.
3. If a Zener diode in Zener breakdown mode is modelled as a battery in series with a resistor, then the resistor in this large-signal model has the same value as the small-signal resistance of the Zener diode again in its breakdown regime.
4. The resistor R_S in the Zener regulator in this experiment should have as small a value as will allow the Zener diode to let not more than the maximum reverse current to flow through it.
5. In our Zener regulator, once R_S has been adjusted there is still the danger of burning the Zener diode, especially if R_L is open circuit.

3 BJT Characteristics

3.1 Component List

Component	Quantity	Value
BJT (NPN)	1	BC238
Resistor	1	1 k Ω
Resistor	1	220 Ω
Resistor	1	1 Mega Ω

3.2 PreLab Simulation Tasks



(a) An NPN BJT bias circuit for forward mode. (b) An NPN BJT bias circuit for reverse mode.

Figure 3.1: An example of BJT bias circuits.

Figure 3.1a and 3.1b circuits will be used to accomplish the tasks given below. Use following values for the resistors: $R_C = 1 \text{ k}\Omega$, $R_E = 220 \Omega$, $R_B = 1 \text{ Mega}\Omega$.

3.2.1 Reverse Active Regime

Construct the Figure 3.1b circuit. The collector (C) of the BJT will be used as emitter (E) and emitter (E) of the BJT will be used as collector (C). Set $V_{BB} = 4 \text{ V}$ and $V_{CC} = 12 \text{ V}$.

In this situation, measure the V_{BC} and the V_{BE} voltages. In the light of the existing operating mode of the transistor, interpret whether the V_{BC} and the V_{BE} have proper values or not.

Measure the base, collector and the emitter currents. Determine the current gain of the transistor for reverse active regime by using these current values.

3.2.2 Cut-Off Regime

Construct the Figure 3.1a circuit. The collector (C) and emitter (E) of the BJT transistor are in the positions as they should be in the specified figure. $V_{BB} = -3 \text{ V}$ ve $V_{CC} = 12 \text{ V}$ will be set.

In this situation, measure the V_{BC} and the V_{BE} voltages. In the light of the existing operating mode of the transistor, interpret whether the V_{BC} and the V_{BE} have proper values or not.

Measure the base, collector and the emitter currents. Do these values give information about the existing operating mode of the transistor?

3.2.3 Cut-Off to Forward Active Regime Transition

Construct the Figure 3.1a circuit. V_{CC} will be fixed as $V_{CC} = 12\text{ V}$. Sweep the V_{BB} voltage from 0 to 5V. Obtain the graphs of the V_{BC} , V_{BE} voltages and the I_B , I_C , I_E currents versus the V_{BB} voltage.

For all graphs you have obtained in this situation, you'll notice that the behaviour of the transistor changes after a certain value of the V_{BB} voltage. Specify the aforementioned value of the V_{BB} voltage. By showing examples from the graphs you have obtained, explain that which modes the transistor operates in before and after this value.

When you examine the graph of the changes in the V_{BE} voltage with the V_{BB} voltage, you'll notice that the V_{BE} voltage remains nearly constant after a certain value of the V_{BB} voltage. Explain the reason of this situation.

The output of the related simulation step is shown in Figure 3.2. As the pn junction stated between the base and the emitter terminals is activated, it can be seen that the voltage across these terminals approximately remains constant.

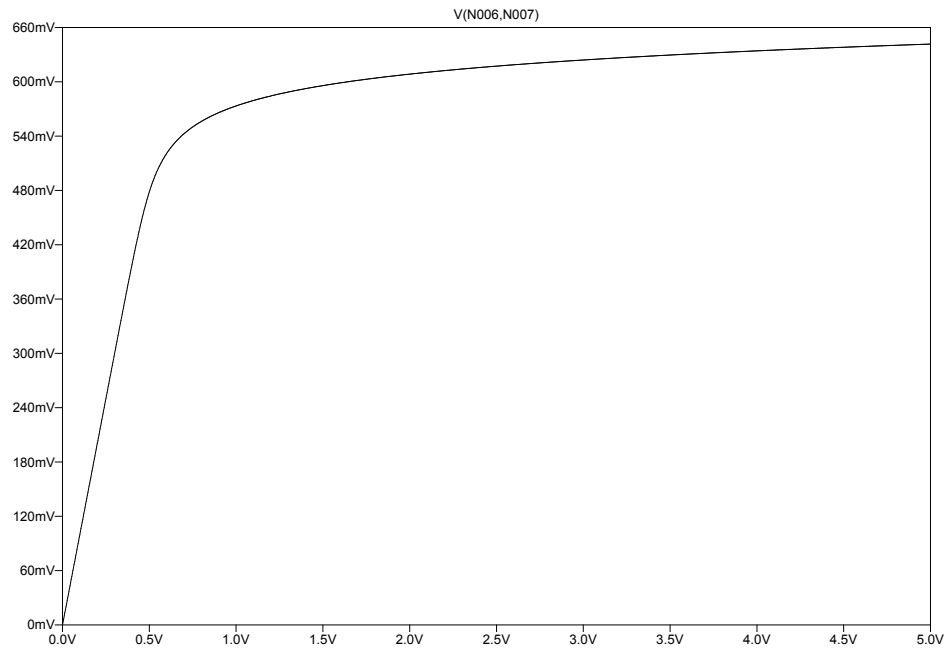


Figure 3.2: The graph of the changes in the V_{BE} voltage with the V_{BB} voltage.

When you examine the graph of the changes in the I_B and the $I_C - I_E$ currents with the V_{BB} voltage, you'll notice that there is a linear relationship between the I_B and the $I_C - I_E$ currents after a certain value of the V_{BB} voltage. In which mode does the transistor operate according to this relationship?

When you examine the graph of the changes in the V_{BC} voltage with the V_{BB} voltage, you'll notice that the V_{BC} voltage has negative polarity for all of the values of the V_{BB} voltage. According to this, in which polarity has the base-collector junction been biased? What is the purpose of this kind of biasing?

The output of the related simulation step is shown in Figure 3.3. For the range of all values of V_{BB} , negative being of the V_{BC} voltage indicates that for the related operating modes of the transistor, the base-collector junction is reverse biased.

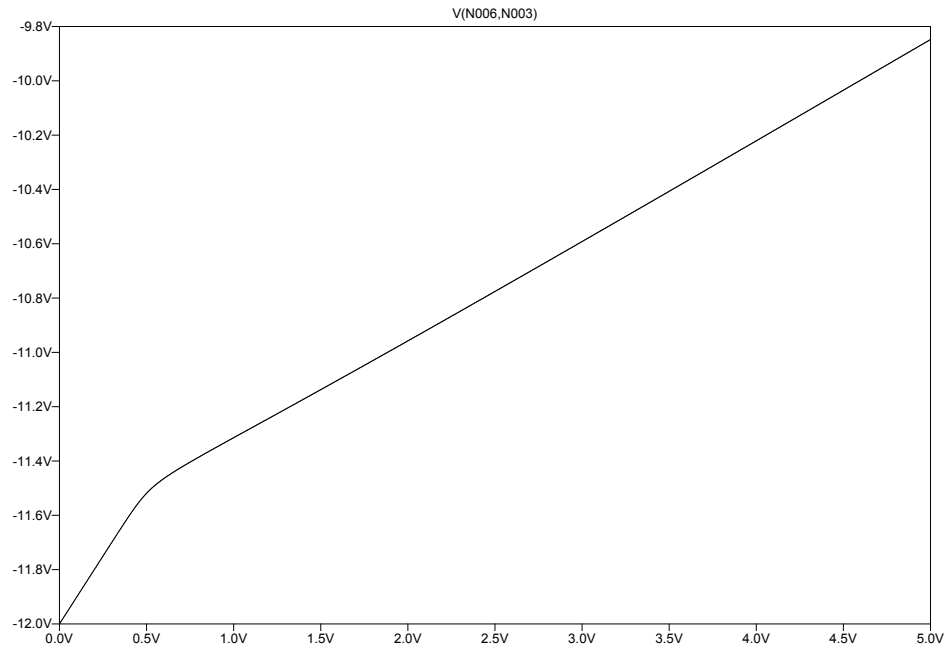


Figure 3.3: The graph of the changes in the V_{BC} voltage with the V_{BB} voltage.

3.2.4 Saturation to Forward Active Regime Transition

Construct the Figure 3.1a circuit. V_{BB} will be fixed as $V_{BB} = 4\text{ V}$. Sweep the V_{CC} voltage from 0 to 12V. Obtain the graphs of the V_{BC} , V_{BE} voltages and the I_B , I_C , I_E currents versus the V_{CC} voltage.

For all graphs you have obtained in this situation, you'll notice that the behaviour of the transistor changes after a certain value of the V_{CC} voltage. Specify the aforementioned value of the V_{CC} voltage. By showing examples from the graphs you have obtained, explain that which modes the transistor operates in before and after this value.

When you examine the graph of the changes in the I_B current with the V_{CC} voltage, you'll notice that the I_B current remains nearly constant after a certain value of the V_{CC} voltage. Explain the reason of this situation.

The output of the related simulation step is shown in Figure 3.4. Increasing V_{CC} voltage causes the initially forward biased base-collector junction to be biased in reverse direction. Also having constant values of the V_{BB} and V_{BE} voltages means that I_B current remains constant as of the transistor switches to the forward active mode.

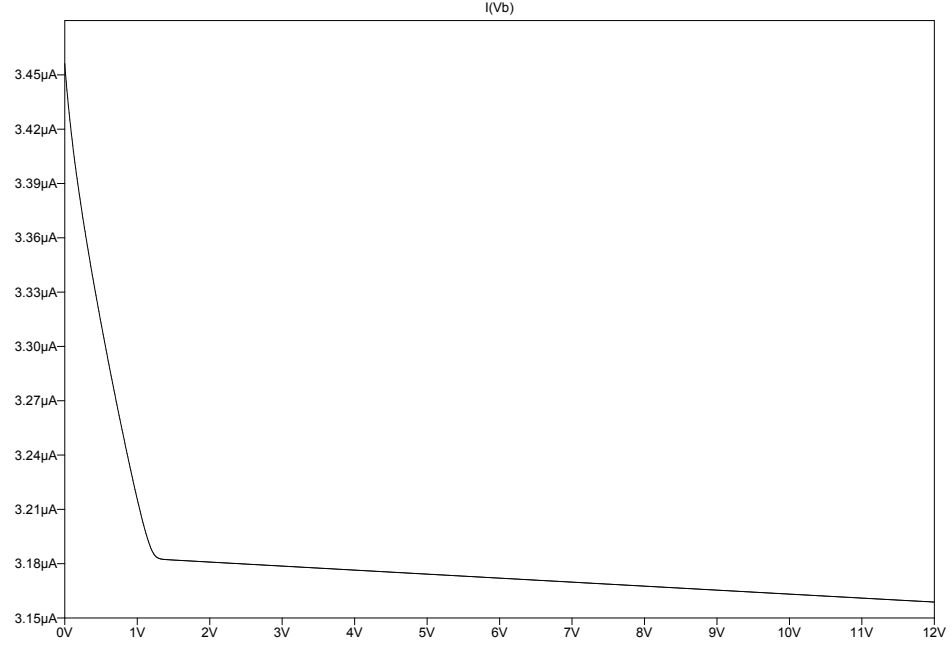
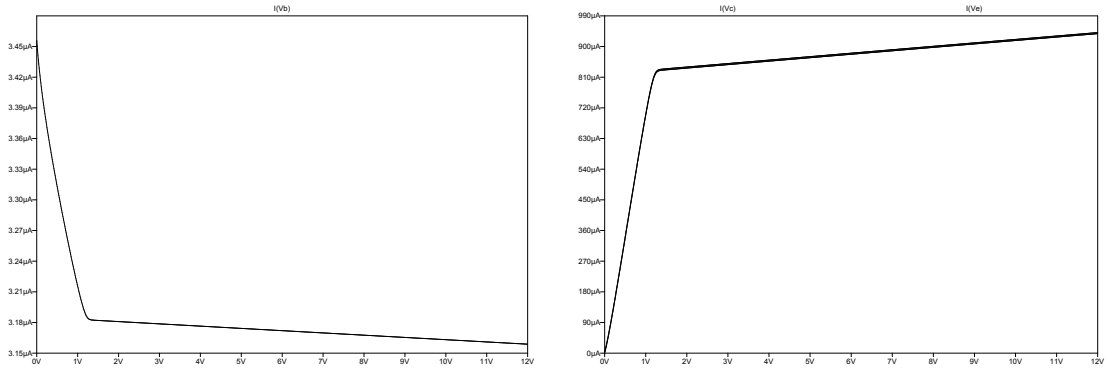


Figure 3.4: The graph of the changes in the I_B current with the V_{CC} voltage.

By using the graphs of the changes in the I_B and the $I_C - I_E$ currents with the V_{CC} voltage, interpret the current gain of the transistor for forward active operating mode.



Changes in the I_B current with V_{CC} .

Changes in the $I_C - I_E$ currents with V_{CC} .

Figure 3.5: The graph of the changes in the transistor currents with the V_{CC} voltage.

The output of the related simulation step is shown in Figure 3.5. Note that, an approximately constant relationship occurs between the collector current I_C and the base current I_B with the transition to the forward active operating mode. This relationship provides insight about the current gain of the transistor for the forward active mode.

You'll notice that for the range that the I_B current remains nearly constant, the I_C current also remains nearly constant. Explain how does the I_C current remain constant inspite of the increment in the V_{CC} voltage using the V_{BC} - V_{CC} graph.

3.3 Tasks in the Lab

Figure 3.1a and 3.1b circuits will be used to accomplish the tasks given below. Use following values for the resistors: $R_C = 1\text{ k}\Omega$, $R_E = 220\text{ }\Omega$, $R_B = 1\text{ Mega}\Omega$.

Use a multimeter for all of your measurements. After you measure the voltage across the resistors, find the currents by dividing the voltages to the nominal values of the related resistors.

3.3.1 Reverse Active Regime

Construct the Figure 3.1b circuit. The collector (C) of the BJT transistor will be used as emitter (E) and emitter (E) of the BJT transistor will be used as collector (C). $V_{BB} = 4\text{ V}$ and $V_{CC} = 12\text{ V}$ will be set.

Make the following measurements.

$$V_{BC} = \text{_____} \quad V_{BE} = \text{_____}$$

$$I_C = \text{_____} \quad I_B = \text{_____} \quad I_E = \text{_____} \quad \beta = \frac{I_C}{I_B} = \text{_____}$$

3.3.2 Cut-Off Regime

Construct the Figure 3.1a circuit. The collector (C) and emitter (E) of the BJT transistor are in the positions as they should be in the specified figure. $V_{BB} = -3\text{ V}$ ve $V_{CC} = 12\text{ V}$ will be set.

Make the following measurements.

$$V_{BC} = \text{_____} \quad V_{BE} = \text{_____}$$

$$I_C = \text{_____} \quad I_B = \text{_____} \quad I_E = \text{_____}$$

3.3.3 Cut-Off to Forward Active Regime Transition

Construct the Figure 3.1a circuit. V_{CC} will be fixed as $V_{CC} = 12\text{ V}$. Increase the V_{BB} voltage from zero until I_C reaches $I_C = 1\text{ mA}$.

Make the following measurements.

$$V_{BC} = \quad V_{BE} = \quad$$
$$I_C = \quad I_B = \quad I_E = \quad \beta = \frac{I_C}{I_B} = \quad$$

3.3.4 Saturation to Forward Active Regime Transition

Construct the Figure 3.1a circuit. V_{BB} will be fixed as $V_{BB} = 4\text{ V}$. V_{CC} will be raised gradually between 0-12 V and the table below will be filled with the values measured.

The measurements will be able to be completed more quickly if you pass to another voltage (e.g., V_{BC}) after you completed the measurements of a voltage (e.g., V_{BE}) corresponding to particular V_{CC} values (after the column related to V_{BE} is filled).

V_{CC}	V_{BE}	V_{BC}	I_C	I_B	I_E	$\beta = \frac{I_C}{I_B}$
0.0 V						
0.1 V						
0.2 V						
0.3 V						
0.4 V						
0.5 V						
0.6 V						
0.7 V						
0.8 V						
0.9 V						
1.0 V						
1.1 V						
1.2 V						
1.3 V						
1.4 V						
1.5 V						
2.0 V						
3.0 V						
4.0 V						
5.0 V						
6.0 V						
7.0 V						
8.0 V						
9.0 V						
10.0 V						
11.0 V						
12.0 V						

3.4 Evaluation Questions

Answer the following questions briefly and by drawing shapes if required.

1. What is Ebers-Moll model? How many operating modes does a transistor have according to this model?
2. Evaluate the reverse active operating mode in point of current gain.
3. For the forward active operating mode, draw the new layout of the circuit in the case that PNP transistor is preferred instead of NPN transistor in Figure 3.1a.
4. Evaluate the saturation mode in point of biasing of the base-collector and base-emitter junctions and in point of the relationship between the changes in the collector current with the base current.

3.5 Quiz Questions

The statements below are either **(T)** rue or **(F)**alse.

1. In view of the DC characteristics of a BJT, it is possible for a BJT to be ON and not conducting any current at the same time. Moreover, in such a case, the asymptotic large signal resistance across the collector and emitter is not infinite.
2. A diode connected BJT (with the collector and the base shorted) is always in forward active mode provided that $V_{CE} > 0$, and the small signal model of such a BJT is just a resistor.
3. In forward active mode of an NPN BJT, electrons as excess carriers in the emitter are swept to the base by diffusion, and the base needs to be so thin as to have these electrons carried over to the base-collector junction by electrical drift.
4. The thicker the base of a BJT, the higher the Early voltage is going to be, and then the small signal resistance across the collector and the emitter is going to be very high.
5. If we hold V_{BE} constant almost at 0.7 V and increase V_{CE} from zero upwards, then the BJT will exhibit a transition from the forward active to the saturation regime.

4 MOSFET Characteristic

4.1 Component List

Component	Quantity	Value
MOSFET	2	2N7000
Potentiometer	1	100k Ω
Potentiometer	1	20k Ω
Capacitor	3	0.1 μ F
Resistor	3	330k Ω
Resistor	1	10k Ω
Resistor	1	3.3k Ω
Resistor	1	100 Ω

Objectives of this experiment obtaining transfer characteristic of a MOSFET, determining the output impedance of a MOSFET amplifier circuit and comparing it with a cascade connected structure.

4.2 PreLab Simulation Tasks

First examine the catalog of MOSFET which is used in experiment. Search substratum type of this MOSFET and indicate in your report if it is depletion or enhancement mode transistor. Investigate the difference between depletion mode and enhancement mode. Explain the relationship between this difference and threshold voltages of MOSFET. For these two types of MOSFET, view transfer curves. In which operation region of the MOSFET, transistor provides high gain?

4.2.1 Transfer Characteristic of MOSFET

In LTSpice environment you are asked to DC simulate of the circuit which can be seen below. In LTSpice the duty of potentiometer can be undertaken by a resistor that its value can be changed in a range with .step command.(parameter sweep) With this operation it is aimed to drive MOSFET gate with different voltages. Let x axis be V_{in} and plot the output signal V_{out} . So this plot's name is voltage transfer characteristic(VTC). Discuss about MOSFET's operation regions on this plot.

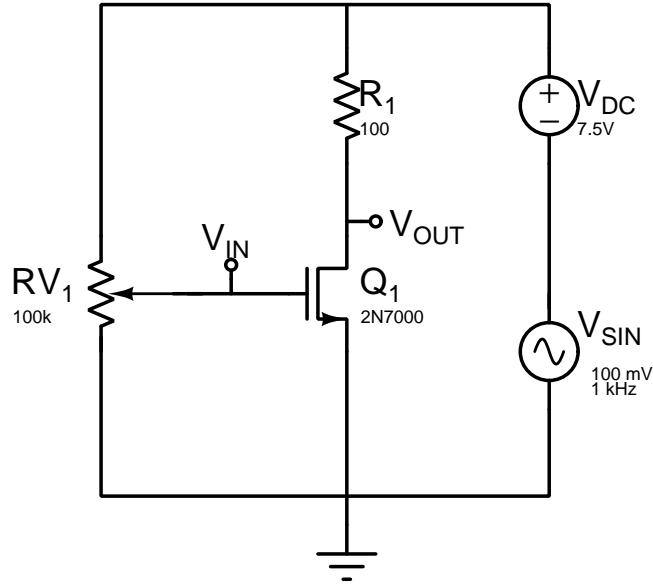


Figure 4.1: Circuit for analyzing transfer characteristic of MOSFET

4.2.2 Output Impedance

In this section the transient simulation of the circuit below will be made. First the circuit will be constructed without the potentiometer at the output. The output signal will be plotted for a few periods and the amplitude of the output signal will be detected. From this amplitude the voltage gain will be calculated. Then the potentiometer at the output(it is a resistor with parameter sweep) will be added to the circuit and the resistor value, which provide the half of the first calculated gain, will be founded. For this purpose the .step command, which allows us to analyze the circuit for different output resistor values, will be used.

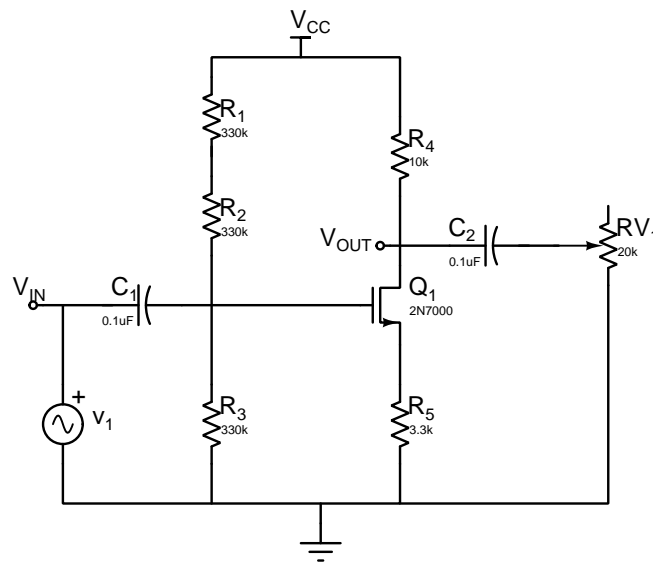


Figure 4.2: MOSFET amplifier

The value of resistor, that connected to the circuit afterwards, value which provides the half amplitude of output signal that is observed without the resistor, is the output impedance of the circuit. Explain theoretically why it is observed such and touch on this subject in your report.

4.2.3 Output Impedance of Common Gate-Common Source Cascade Structure

First calculate the output impedance of the circuit below theoretically.

The transient simulation of the circuit below will be made such in section 4.2.2. First the circuit will be constructed without the potentiometer that belongs to output stage. The output will be plotted for a few periods and the amplitude of the output signal will be detected. From this amplitude the voltage gain will be calculated. Then the potentiometer at the output will be added to the circuit and the resistor value, which provide the half of the first calculated gain, will be founded.

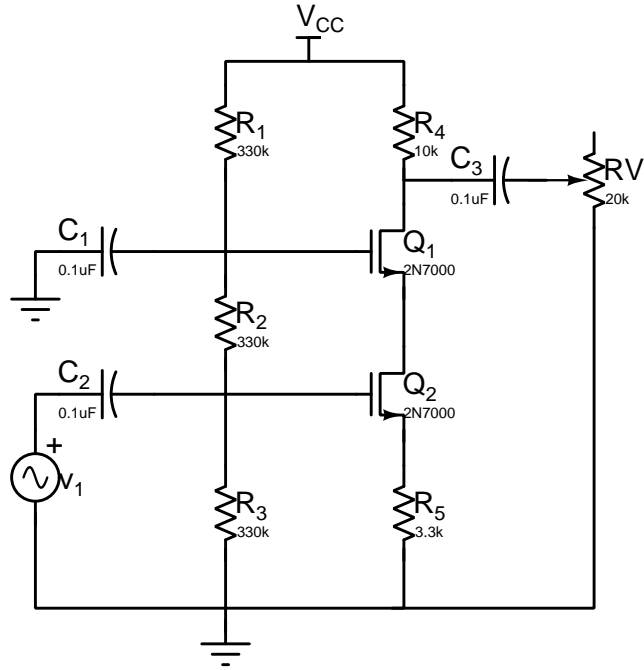


Figure 4.3: Common Gate-Common Source Cascade Structure

The value of resistor, that connected to the circuit afterwards, value which provides the half amplitude of output signal that is observed without the resistor, is the output impedance of the circuit. Compare the output impedances of cascade structure and MOS amplifier and comment about the result.

4.3 Tasks in the Lab

4.3.1 Transfer Characteristic

Construct the circuit shown in Fig. 4.1 on a breadboard. To obtain the signal which will be applied to the gate terminal, you have to connect DC voltage generator and signal generator in series. When doing this make sure that the ground of your circuit must be the negative terminal of the signal generator!

Set the value of the DC voltage generator to 7.5 V. Produce a sinusoidal signal that has 100 mV peak voltage and 1 kHz frequency using signal generator.

In this part, changes in the drain-source voltage according to the gate-source voltage will be examined. To achieve this, connect the first channel of the oscilloscope to the input signal and connect the second channel of the oscilloscope to the output signal. Negative terminals of the oscilloscope probes will be connected to ground.

After setting the value of the potentiometer approximately 0Ω , apply power to the circuit.

To observe the transfer characteristic set the oscilloscope the XY mode. Increase the value of the potentiometer slowly and observe the changes in the oscilloscope screen. Explain the operation regions of MOSFET on the observed shape.

4.3.2 Output Impedance

Construct the circuit shown in Fig. 4.2 on a breadboard without the capacitor and the potentiometer which belong to the output stage. Set the value of the DC voltage generator to 15 V. Produce a sinusoidal signal that has 100 mV peak voltage and 1 kHz frequency using signal generator.

In this part, the output impedance of the circuit will be measured. For this purpose, firstly the output of the circuit should be observed with an oscilloscope. To achieve this, connect the first channel of the oscilloscope to the input signal and connect the second channel of the oscilloscope to the output signal. Negative terminals of the oscilloscope probes will be connected to ground. Note the amplitude of the output signal and calculate the gain of the circuit. Connect the capacitor and potentiometer, which belong to the output stage, to the circuit as shown in 4.2. Adjust the value of potentiometer until the amplitude of the output signal is equal to half of the output signal which we've just seen in the last step. When this condition is satisfied, carefully disconnect the potentiometer from the circuit without contacting the adjustment terminal. Measure the resistance value of the potentiometer. This value is the output impedance of your circuit. Note this value and explain theoretically why it is obtained such.

4.3.3 Output Impedance of Common Gate-Common Source Cascade Structure

1. Construct the circuit shown in Fig. 4.3 on a breadboard without capacitor and potentiometer which belong to the output stage. Set the value of the DC voltage generator to 15 V. Produce a sinusoidal signal that has 100 mV peak voltage and 1 kHz frequency using signal generator.

In this part, the output impedance of the circuit will be measured. For this purpose, firstly the output of the circuit should be observed with an oscilloscope. To achieve this, connect the first channel of the oscilloscope to the input signal and connect the second channel of the oscilloscope to the output signal. Negative terminals of the oscilloscope probes will be connected to ground. Note the amplitude of the output signal and calculate the gain of the circuit. Connect the capacitor and potentiometer, which belong to the output stage, to the circuit as shown in Fig. 4.3. Adjust the value of potentiometer until the amplitude of the output signal is equal to half of the output signal which we've just seen in the last step. When this condition is satisfied, carefully disconnect the potentiometer from the circuit without contacting the adjustment terminal. Measure the resistance value of the potentiometer. This value is the output impedance of your circuit. Note this value and explain theoretically why it is obtained such.

How does common gate-common source cascade connection affect the output impedance when compared with the previous circuit?

4.4 Quiz Questions

The statements below are either **(T)** rue or **(F)**alse.

1. In MOS transistor, where the I_D remain stable approximately and does not change by the V_{DS} , this operating region is named triode.
2. For a MOSFET the condition of operating in saturation mode is $V_{GS}-V_T < V_{DS}$.
3. It is depletion-mode MOSFET if its channel between the source and drain comes into existence with applying a voltage to the gate.
4. When MOS operating in saturation mode, the channel length modulation accrues with the increasing of V_{DS} that causes the poor region of drain expands horizontally and the effective channel length decreases.
5. CMOS is a technology that can substantiates nMOS and pMOS on the same chip.

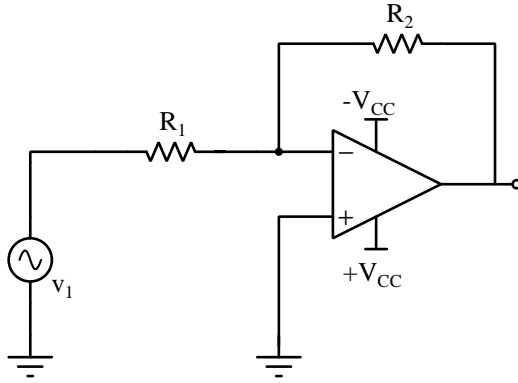
5 Applications of Operational Amplifiers

5.1 Component List

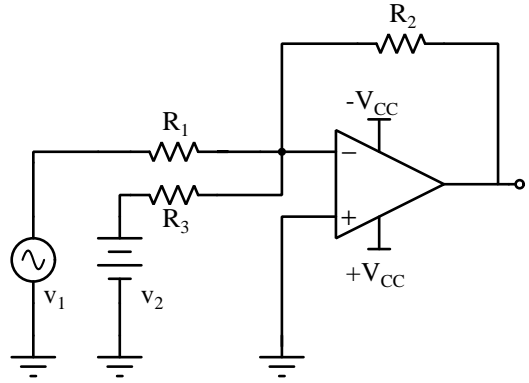
Component	Quantity	Value
Opamp	1	LM741
Resistor	1	470 Ω
Resistor	3	1 k Ω
Resistor	1	2 k Ω
Resistor	1	10 k Ω
Resistor	1	20 k Ω
Capacitor	1	47 nF

5.2 PreLab Simulation Tasks

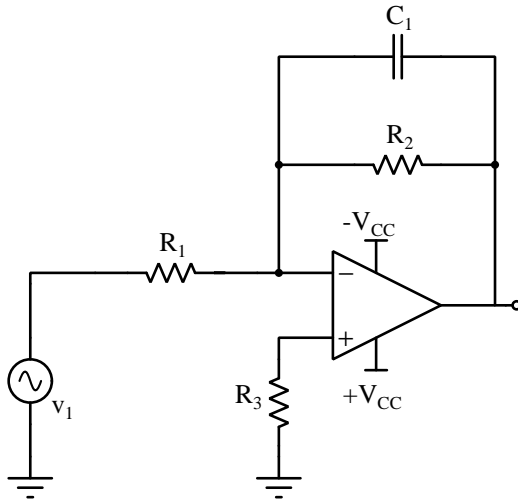
In this experiment, some of the extensive applications of operational amplifiers such as summation, differentiation and integration will be examined. The circuit structures to be used are seen below.



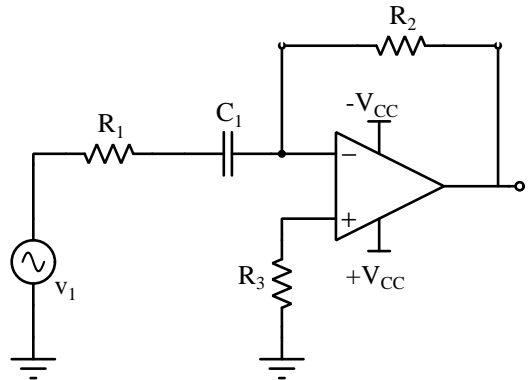
(a) Inverting amplifier circuit.



(b) Summing amplifier circuit.



(c) Integrator amplifier circuit.



(d) Differentiator amplifier circuit.

Figure 5.1: Examples for some applications of operational amplifiers.

5.2.1 Inverting Amplifier

Construct the Figure 5.1a circuit. $R_1 = 1\text{ k}\Omega$ and $R_2 = 2\text{ k}\Omega$ will be set. $v_1(t) = A \sin(2\pi f t)$ ($A = 1\text{ V}$ and $f = 1\text{ kHz}$) sinusoidal signal will be used as the input signal. Make the related adjustments and run transient analysis. Plot the input and the output (output of the operational amplifier) signals on the same graph.

The output of the related simulation step is shown in Figure 5.2. Note that 180° phase difference occurs between the input and the output signal in the inverting amplifier structure.

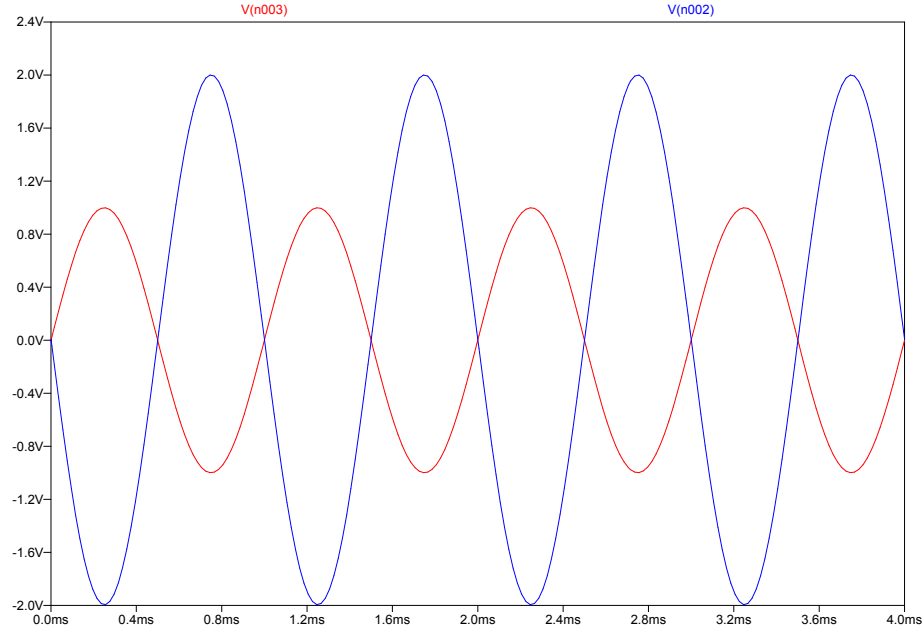


Figure 5.2: The input and the output signals of the inverting amplifier structure.

Set $R_2 = 10\text{ k}\Omega$ in the Figure 5.1a circuit and run transient analysis again. Plot the input and the output signals on the same graph. Obtain the voltage gain expression of the inverting amplifier with the help of this graph and the graph you have obtained in the previous step.

Set $R_2 = 20\text{ k}\Omega$ in the Figure 5.1a circuit and run transient analysis again. Plot the input and the output signals on the same graph. In this step, you'll see that the peak value of the output signal is clipped before it reaches to its expected value. What is the reason of this?

5.2.2 Non-inverting Amplifier

Construct the Figure 5.1a circuit. $R_1 = 1\text{ k}\Omega$ and $R_2 = 2\text{ k}\Omega$ will be set. Separate the source connected to the R_1 resistor and connect it to the $+$ input of the operational amplifier. Connect the floating node of R_1 to the ground and run transient analysis. Plot the input and the output signals on the same graph. Compare the related graph with Figure 5.2 in terms of the phase difference between the input and the output signals and voltage gain.

5.2.3 Summing Amplifier

Construct the Figure 5.1b circuit. $R_1 = R_2 = R_3 = 1\text{ k}\Omega$ will be set. $v_1(t) = A \sin(2\pi f t)$ ($A = 1\text{ V}$ and $f = 1\text{ kHz}$) and $v_2 = 5\text{ V}$ will be assigned. Make the related adjustments and run transient analysis. Plot the input and the output signals on the same graph.

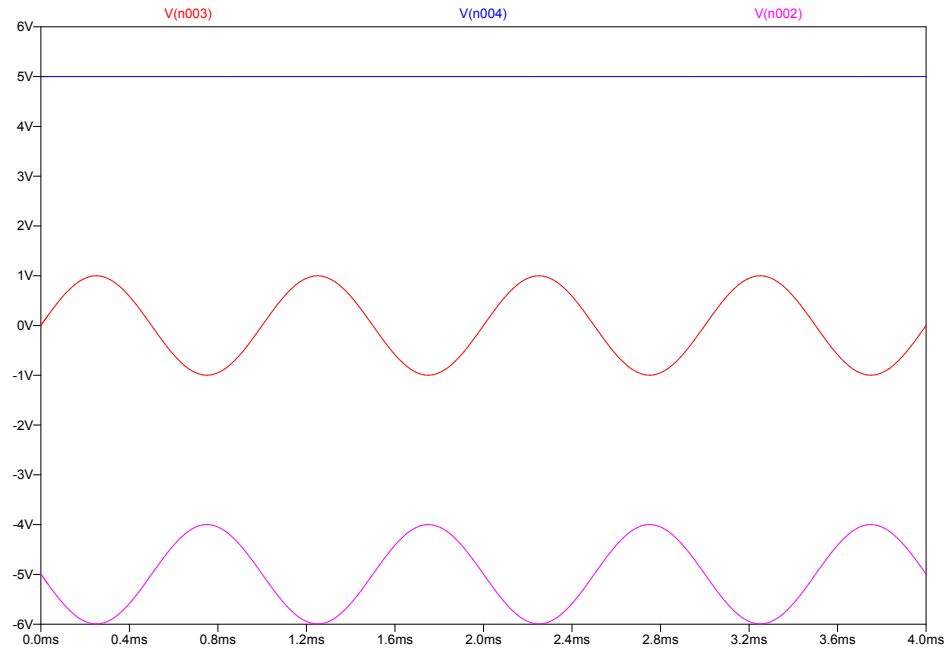


Figure 5.3: The input and the output signals of the summing amplifier structure.

The output of the related simulation step is shown in Figure 5.3. What you see is the sum of the $v_1(t)$ and the v_2 voltages with the opposite sign at the output. v_2 voltage is added to the $v_1(t)$ voltage as a DC component.

5.2.4 Integrator Amplifier

Construct the Figure 5.1c circuit. $R_1 = R_3 = 1\text{ k}\Omega$, $R_2 = 10\text{ k}\Omega$ and $C_1 = 47\text{ nF}$ will be set. A square wave, the amplitude and the frequency of which is 1 V and 4 kHz will be used as the input signal. Make the related adjustments and run transient analysis. Plot the input and the output signals on the same graph. Is the output signal integral of the input signal?

The output of the related simulation step is shown in Figure 5.4. In the light of this graph showing the relation between the input and the output signals, it is possible to say that the integrator amplifier circuit operates properly.

Increase the frequency of the input signal in Figure 5.1c circuit. Run transient analysis for $f = 8\text{ kHz}$ ve 20 kHz . Plot the input and the output signals on the same graph. You'll see that as the frequency increases, the amplitude of the output will decrease. What is the reason of this?

Decrease the frequency of the input signal in Figure 5.1c circuit. Run transient analysis for $f = 250\text{ Hz}$ ve 10 Hz . Is the related circuit still be able to actualize the integration? If your answer is no, explain the reason of this.

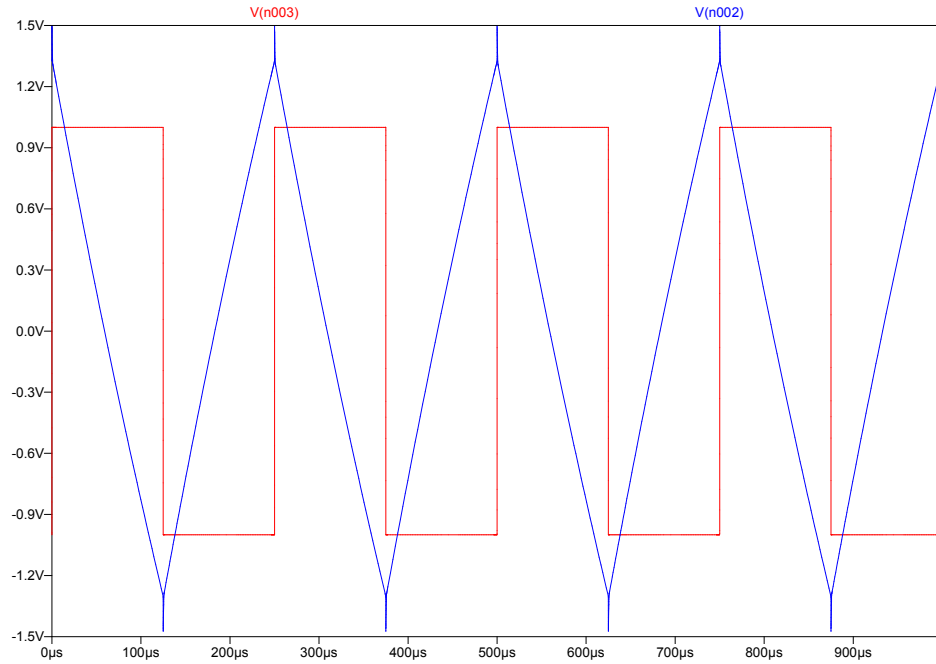


Figure 5.4: The input and the output signals of the integrator amplifier structure.

The output of the related simulation step is shown in Figure 5.5. As it is approached to DC operating conditions, due to the increment in the capacitive reactance of the capacitor, the voltage gain increases and after a certain value, the gain is limited by the $-R_f/R_1$ relation.

5.2.5 Differentiator Amplifier

Construct the Figure 5.1d circuit. $R_1 = 470\ \Omega$, $R_2 = 10\ \text{k}\Omega$, $R_3 = 1\ \text{k}\Omega$ ve $C_1 = 47\ \text{nF}$ will be set. A triangle wave, the amplitude and the frequency of which is 1 V and 0.5 kHz will be used as the input signal. Make the related adjustments and run transient analysis. Plot the input and the output signals on the same graph. Is the output signal derivative of the input signal?

The output of the related simulation step is shown in Figure 5.6. In the light of this graph showing the relation between the input and the output signals, it is possible to say that the differentiator amplifier circuit operates properly.

Decrease the frequency of the input signal in Figure 5.1d circuit. Run transient analysis for $f = 100\ \text{Hz}$ and $10\ \text{Hz}$. Plot the input and the output signals on the same graph. You'll see that as the frequency decreases, the amplitude of the output will decrease. What is the reason of this?

Increase the frequency of the input signal in Figure 5.1d circuit. Run transient analysis for $f = 4\ \text{kHz}$ ve $8\ \text{kHz}$. Is the related circuit still be able to actualize the differentiation? If your answer is no, explain the reason of this.

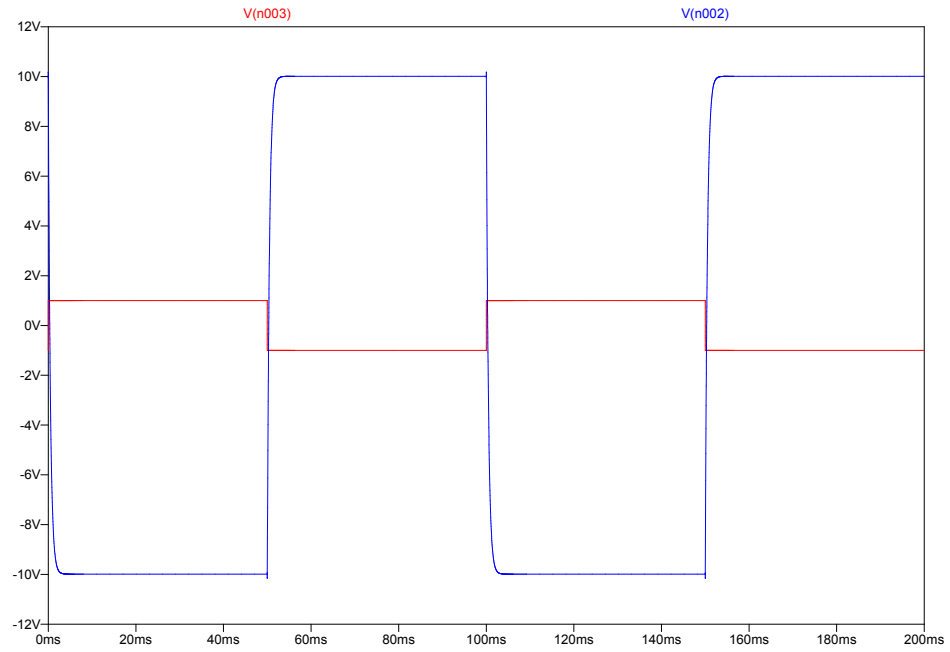


Figure 5.5: The input and the output signals of the integrator amplifier structure ($f = 10$ Hz).

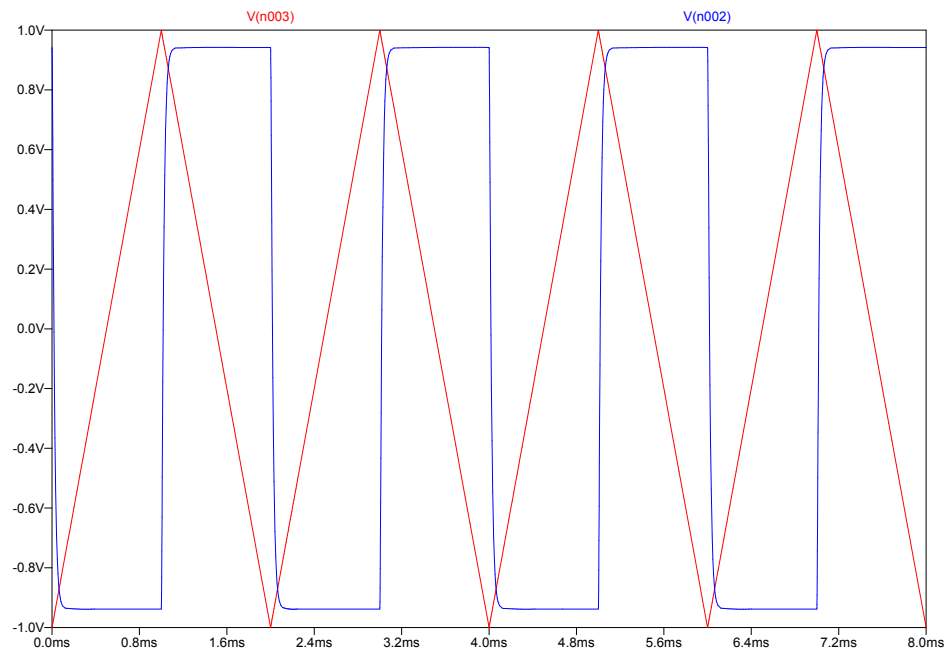


Figure 5.6: The input and the output signals of the differentiator amplifier structure.

The output of the related simulation step is shown in Figure 5.7. Due to the frequency increment, the capacitive reactance of the capacitor increases therefore, the circuit cannot fulfill the function of differentiation.

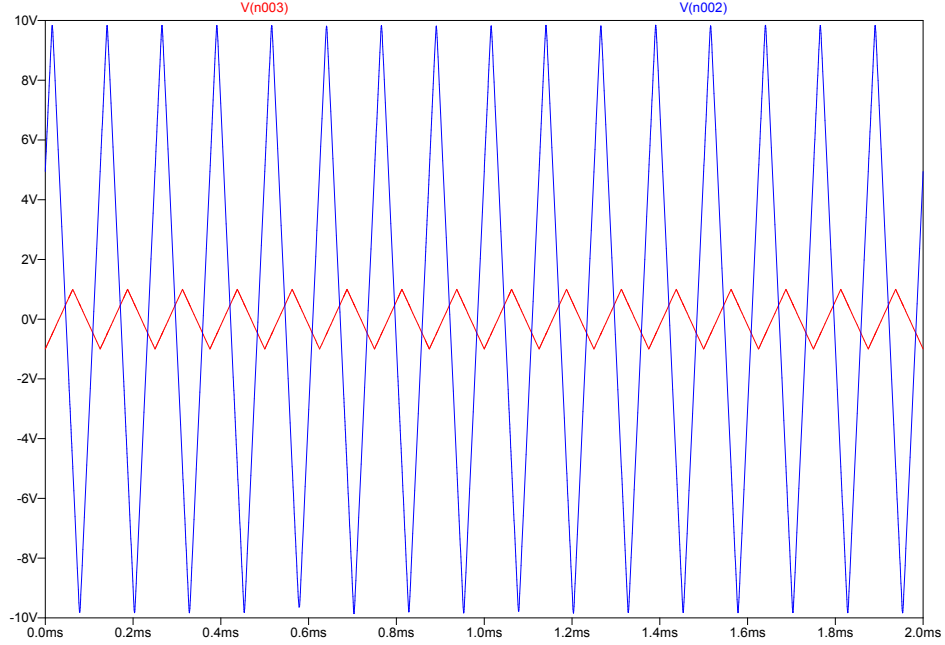


Figure 5.7: The input and the output signals of the differentiator amplifier structure ($f = 8 \text{ kHz}$).

5.3 Tasks in the Lab

During the experiment, $+V_{CC} = 12 \text{ V}$ and $-V_{CC} = -12 \text{ V}$ will be set for all circuits.

5.3.1 Inverting Amplifier

Construct the Figure 5.1a circuit. $R_1 = 1 \text{ k}\Omega$ and $R_2 = 2 \text{ k}\Omega$ will be set. $v_1(t) = A \sin(2\pi f t)$ ($A = 1 \text{ V}$ and $f = 1 \text{ kHz}$) sinusoidal signal will be used as the input signal. Make the related adjustments and energize the circuit. Observe the input (output of the sinusoidal voltage source) and the output (output of the operational amplifier) signals on the oscilloscope screen as their reference positions are level. Does the obtained image coincide with the simulation output belonging to the Section 5.2.1?

In this part, $R_2 = 20 \text{ k}\Omega$ will be set in the Figure 5.1a circuit. $v_1(t) = A \sin(2\pi f t)$ ($A = 1 \text{ V}$ and $f = 1 \text{ kHz}$) sinusoidal signal will be used as the input signal. Make the related adjustments and energize the circuit. Observe the input (output of the sinusoidal voltage source) and the output (output of the operational amplifier) signals on the oscilloscope screen as their reference positions are level. Has the input signal been amplified as expected?

5.3.2 Summing Amplifier

Construct the Figure 5.1b circuit. $R_1 = R_2 = R_3 = 1\text{ k}\Omega$ will be set. $v_1(t) = A \sin(2\pi f t)$ ($A = 1\text{ V}$ and $f = 1\text{ kHz}$) and $v_2 = 5\text{ V}$ will be assigned. Make the related adjustments and energize the circuit. Observe the input (output of the sinusoidal voltage source) and the output (output of the operational amplifier) signals on the oscilloscope screen as their reference positions are level. Does the obtained image coincide with the simulation output belonging to the Section 5.2.3? Can the circuit you have constructed fulfill the function of summation?

5.3.3 Integrator Amplifier

Construct the Figure 5.1c circuit. $R_1 = R_3 = 1\text{ k}\Omega$, $R_2 = 10\text{ k}\Omega$ and $C_1 = 47\text{ nF}$ will be set. A square wave, the amplitude and the frequency of which is 1 V and 4 kHz will be used as the input signal. Make the related adjustments and energize the circuit. Observe the input and the output signals on the oscilloscope screen as their reference positions are level. Does the obtained image coincide with the simulation output belonging to the Section 5.2.4? Is the output signal integral of the input signal?

Increase the frequency of the input signal in Figure 5.1c circuit, slowly. You'll see that as the frequency increases, the amplitude of the output will decrease. What is the reason of this?

Decrease the frequency of the input signal in Figure 5.1c circuit, slowly. At low frequency values, is your circuit still be able to actualize the integration?

5.3.4 Differentiator Amplifier

Construct the Figure 5.1d circuit. $R_1 = 470\text{ }\Omega$, $R_2 = 10\text{ k}\Omega$, $R_3 = 1\text{ k}\Omega$ ve $C_1 = 47\text{ nF}$ will be set. A triangle wave, the amplitude and the frequency of which is 1 V and 0.5 kHz will be used as the input signal. Make the related adjustments and energize the circuit. Observe the input and the output signals on the oscilloscope screen as their reference positions are level. Does the obtained image coincide with the simulation output belonging to the Section 5.2.5? Is the output signal derivative of the input signal?

Decrease the frequency of the input signal in Figure 5.1d circuit, slowly. You'll see that as the frequency decreases, the amplitude of the output will decrease. What is the reason of this?

Increase the frequency of the input signal in Figure 5.1d circuit, slowly. At high frequency values, is your circuit still be able to actualize the differentiation?

5.4 Evaluation Questions

Answer the following questions briefly and by drawing shapes if required.

1. In the simulations or during the experiment, you have examined the variation of the output signal with the frequency of the input signal. In the light of your findings explain what kind of filter behavior does the integrator circuit illustrate.
2. In the simulations or during the experiment, you have examined the variation of the output signal with the frequency of the input signal. In the light of your findings explain what kind of filter behavior does the differentiator circuit illustrate.

5.5 Quiz Questions

The statements below are either **(T)** rue or **(F)** alse.

1. For a specific configuration of resistor values it is possible to have a close-loop voltage gain lower than 1 in non-inverting amplifier structure.
2. Voltage follower configuration which is one of the extensive applications of operational amplifiers is used for impedance matching based upon the low input and high output impedance characteristics of opamps.
3. The output voltage of an operational amplifier circuit is always smaller than the V_{CC} voltage.
4. If the voltage in the negative terminal of an operational amplifier being operated in comparator configuration is greater than the voltage in the positive terminal, the output voltage will be equal to $+V_{CC}$.
5. Because of the capacitive input in the differentiator operational amplifier configuration, the circuit will be very susceptible to the high frequency noise.

6 Power Amplifiers

6.1 Component List

Component	Quantity	Value
Transistor	2	BC237
Transistor	1	BD135
Transistor	1	BD136
Diode	2	1N4001
Resistor	2	110k Ω
Resistor	2	10k Ω
Resistor	2	1.5k Ω
Resistor	1	24 Ω
Resistor	4	120 Ω (1/2 watt)
Resistor	2	1.2k Ω
Resistor	1	2.2k Ω
Capacitor	6	1 μF

The objective of this experiment is examination and realization of class A, B and AB power amplifiers.

6.2 PreLab Simulation Tasks

6.2.1 Class A Power Amplifier

What is the angle of flow at the output of a A class power amplifier? What information does this degree give about the output signal?

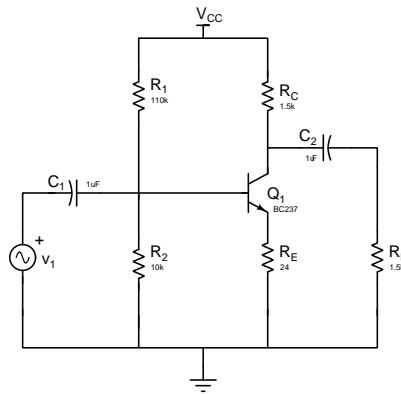


Figure 6.1: Class A Power Amplifier

In this section it is asked to performing transient simulation of the circuit shown in Fig.6.1. Plot the output signal and measure the peak value of amplitude.

6.2.2 Class B Power Amplifier

What is the objective of using B class push pull amplifier? What is the angle of flow of this structure? Briefly explain how this structure works.

In this section it is asked to performing transient simulation of the circuit shown in Fig. 6.2. Plot the output signal and measure the peak value of amplitude. What could be the cause of crossover distortion in the output signal?

6.2.3 Class AB Power Amplifier

It is asked to performing transient simulation of the circuit shown in 6.3. Plot the output signal and measure the peak value of amplitude. It will be seen clearly thar the crossover dis-

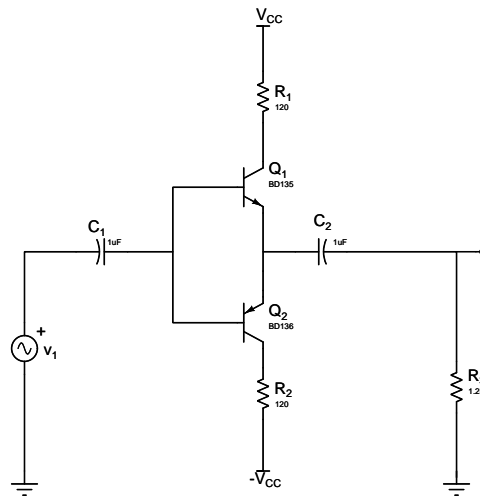


Figure 6.2: Class B Power Amplifier

tortion disappears, how does it happen? Discuss in your report.

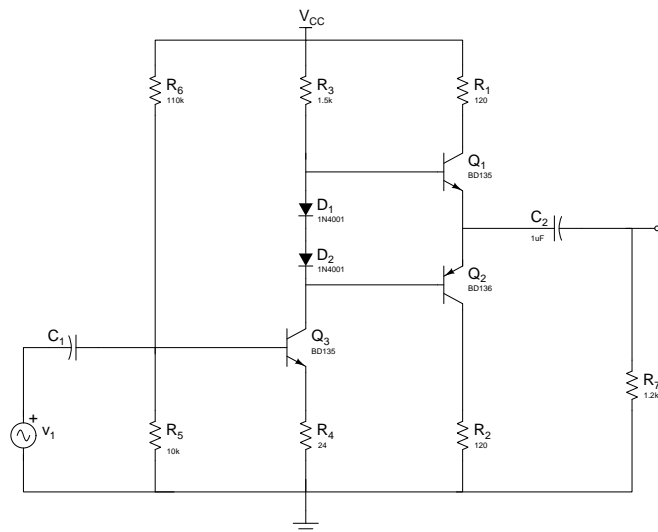


Figure 6.3: Class AB Power Amplifier

Compare these 3 power amplifier type in terms of their efficiencies and add your comments to your report.

6.3 Tasks in the Lab

6.3.1 Class A Power Amplifier

Construct the circuit as depicted in Figure 6.1. Apply a 200mV, 1kHz sinusoidal signal to the input and observe the output on the oscilloscope.

Measure peak voltage of the output and sketch the input versus output waveforms in the given area. Don't forget to write Volt/div and Time/Div ratios for each channel.

What is the angle of flow at the output? Why?

6.3.2 Class B Power Amplifier

Construct the circuit as depicted in Figure 6.2. Apply a 2V, 1kHz sinusoidal signal to the input and observe the output on the oscilloscope. Measure peak voltage of the output and sketch the input versus output waveforms in the given area. Don't forget to write Volts/Div and Time/Div ratios for each channel.

Did you observe the crossover distortion? What is the reason of this? What can you suggest to reduce cross-over distortion? What is the angle of flow at the output? Why?

6.3.3 Class AB Power Amplifier

Construct the circuit as depicted in 6.3. Apply a 200mV, 1kHz sinusoidal signal to the input and observe the output on the oscilloscope. Measure peak voltage of the output and sketch the input versus output waveforms in the given area. Don't forget to write Volts/Div and Time/Div ratios for each channel.

Did you observe the crossover distortion? What is the reason of this? What is the angle of flow at the output? Why?

6.4 Quiz Questions

The statements below are either **(T)** rue or **(F)** alse.

1. The efficiency of AB class amplifier is lower than B class amplifier but the distortion is lower too.
2. The efficiency of power amplifier is the ratio between total power supplied from sources and power delivered to the load.
3. The reason of low efficiency in B class amplifier is power wastage which is the outcome of quiescent current of a BJT.
4. The crossover distortion of B class push pull amplifier can be reduced by a feedback with opamp.
5. A deadband which reduce the crossover distortion occurs in a transfer characteristic of B class push pull amplifier due to voltage drop of B-E terminal of both transistors.