

# 夏季学期综合实验（流水线 MIPS 处理器的设计）

数字逻辑与处理器实验教学组

2021.6

## 实验内容：

在下面两项中二选一：

（1）将春季学期实验四设计的多周期 MIPS 处理器改进为流水线结构，并利用此处理器完成背包算法。

（2）使用数字逻辑电路求解背包问题，并在多周期 MIPS 处理器上求解同一问题作比较。

## 设计要求：

- 设计一个 5 级流水线的 MIPS 处理器，采用如下方法解决竞争问题：
  - 采用完全的 forwarding 电路解决数据关联问题。
  - 对于 Load-use 类竞争采取阻塞一个周期+Forwarding 的方法解决
  - 对于分支指令在 EX 阶段判断（提前判断也可以），在分支发生时刻取消 ID 和 IF 阶段的两条指令。
  - 对于 J 类指令在 ID 阶段判断，并取消 IF 阶段指令。
- 分支和跳转指令做如下扩充： 分支指令（beq、bne、blez、bgtz、bltz）和 跳转指令（jal、jr、jalr）；
- 数据存储的地址空间被划分为 2 部分：0x00000000~0x3FFFFFFF（字节地址）为数据 RAM，可以提供数据存储功能；0x40000000~0x7FFFFFFF（字节地址）为外设地址空间，对其地址的读写对应到相应的外设资源（LEDs、SWITCH...）。具体地址划分如下：

地址（字节地址）	功能	描述
0x00000000~0x000007FF	数据存储器	512×32bits（可以根据需要自行调整大小）
0x4000000C	外部 LEDs	0bit: LED 0 1bit: LED 1 ..... 7bit: LED 7
0x40000010	七段数码管	0bit: CA 1bit: CB ..... 7bit: DP 8bit: AN0 9bit: AN1 10bit: AN2 11bit: AN3

#### 4. （选做）根据实验三内容设计，为处理器设计 UART 外设

地址（字节地址）	功能	描述
0x40000018	串口发送数据 UART_TXD	串口发送数据寄存器，只有低 8bit 有效；对该地址的写操作将触发新的 UART 发送
0x4000001C	串口接收数据 UART_RXD	串口接收数据寄存器，只有低 8bit 有效
0x40000020	串口状态、控制 UART_CON	2bit：发送状态，每当 UART_TXD 中的数据发送完毕后该比特置‘1’，当执行对该地址的读操作后，将自动清零 3bit：接收状态，每当 UART_RXD 中已经接收到一个完整的字节时该比特置‘1’，当执行对该地址的读操作后，将自动清零 4bit：模块状态，0-发送模块处于空闲状态，1-发送模块处于发送状态

#### 5. 背包测试数据

背包物品数目一般 10~15 比较合适，全逻辑电路实现的，数目可以再适当增加。背包物品重量、价值可以自己指定。这些测试数据可以写在汇编指令文件中或者对 RAM 进行 initial 初始化，程序将背包最大价值以 16 进制的形式显示到数码管上。用 UART 串口进行测试数据的输入和输出为选做的提高要求。

#### 课程要求：

1. 实验每人独立进行，实验评分分为现场验收和实验报告两部分。
2. 现场验收由助教根据现场硬件情况核定。
3. 实验报告内容包括：实验目的；设计方案（原理说明及框图）；关键代码及文件清单；仿真结果及分析；综合情况（面积和时序性能）；硬件调试情况；思想体会等。
4. 实验报告提交方式：实验报告（word 或者 pdf）和设计代码打包后提交到网络学堂，提交打包文件名按照“学号\_姓名”的规则命名。
5. 硬件实验板将在实验验收结束时上缴。
6. 同学应当参加绪论课（特殊情况应当请假，任课教师允假后，请对照讲义自学），设计实验可以在主楼 9 楼机房完成，也可以在寝室或者其他地方自行完成实验，现场验收必须在指点时间段内的主楼 9 楼机房进行。
7. 根据综合结果，在流水线设计功能正确的前提下，具有最高时钟频率（或平均每秒执行指令数目）的前 20 名学生将可获得该实验 10%的加分，申请加分的小组需要单独提交申请，并需另提设计说明。
8. 实验严禁抄袭，抄袭者（实验报告或者设计代码出现雷同、回答问题明显非个人完成等）的课程成绩按零分处理，并上报院系。