

計算機組織實驗

實驗五結果報告

第十六組組員

學號	姓名
E24104189	謝宜烜
E24106327	李貫銓
H14086030	郭庭維

實驗日期:2022/11/14

1、 實驗內容

題目: Lab 5 Introduction to Verilog-2

2、 實驗說明:

(1) Vending 1

```

Transcript
# Region: /tb_Vending
** Warning: (vsim-PLI-3691) C:/modeltech64_10.1c/homework/tb_Vending1.sv(285): Expected a system task, not a system function '$$scanf'.
#
# Region: /tb_Vending
add wave -position insertpoint sim:/tb_Vending/*
VSIM 175> run -all

-- Simulation Start --

*****
** Congratulations !! **
** Simulation! PASS!! **
*****

** Note: sfinish : C:/modeltech64_10.1c/homework/tb_Vending1.sv(265)
# Time: 1250 ns Iteration: 1 Instance: /tb_Vending
# 1
# Break in Module tb_Vending at C:/modeltech64_10.1c/homework/tb_Vending1.sv line 265

VSIM 176>

```

程式碼說明：

1. 用 count 這個 reg 來記錄這是第幾個 cycle，並依次把 DI 傳入的金額存到 price[2:0]裡面
2. 之後每次投錢都把金額加到 money 裡面
3. 如果顧客有選擇商品，則檢查金額是否足夠。如果有就給商品&找錢，否則 M0 P0 一律輸出 0 0

(2) Vending 2

```
# Transcript -
#      Region: /tb_Vending
** Warning: (vsim-PLI-3691) C:/modeltech64_10.1c/homework/tb_Vending2.sv(290):: Expected a system task, not a system function '$sscanf'.
#
#      Region: /tb_Vending
add wave -position insertpoint sim:/tb_Vending/*
VSIM87> run -all
# -----
# -- Simulation Start --
# -----
#
#
# *****          .--.
# ** Congratulations !!   ** / _-' '-'
# ** Simulation2 PASS!!  ** \ '-' '---'
# *****          `--`
#
#
#
#
# ** Note: $finish       : C:/modeltech64_10.1c/homework/tb_Vending2.sv(270)
# Time: 1150 ns Iteration: 1 Instance: /tb_Vending
# 1
# Break in Module tb_Vending at C:/modeltech64_10.1c/homework/tb_Vending2.sv line 270
```

程式碼說明

1. 在 vending 1 的基礎上多了一個 re 的訊號，步驟 1 2 均相同
2. 但顧客若要求找錢，則直接找錢（包含顧客同時投下的錢），若不要求找錢，才執行比對的部分。

(3) Vending 3

[illegible]

程式碼說明

1. 把 price[2:0] 改成 [5:0]，並把商品 1 的價格存到 price[0]、商品 1 的數量存到 price[1]、商品 2 的價格存到 price[2]...以此類推
2. 退錢的邏輯與 vending 2 相同
3. 如果 3 商品的數量和=0 則設 empty = 1
4. 如果 empty = 1 則直接退錢，M0=M1，P0=0
5. 顧客選擇商品時，需要比對剩餘的數量是否>1，如果有並且投入的錢足夠，則賣出商品，商品數量-1。反之則一律回傳 M0=0 P0=0。
6. 如果 5. 顧客買走最後一件商品，empty 也要設為 1。

3、 實驗心得

謝宜烜： 這次實驗我比較難幫上忙，因為我對這個語言了解程度真的很低，沒辦法幫到組員，幸好組員足夠給力，我們仍然順利完成實驗。

郭庭維：這次實驗明顯比上次難度增加不少，除了引入 clock 的觀念外，也大量用到 always、if else、for 等語法。因為對語言不熟悉，所以這次沒有在實驗課時間內完成。還好後來組員有寫出主要的架構，我才有機會私下利用時間把程式碼 Debug 並完善。希望下次實驗可以順利一點。

李貫銓：這禮拜繼續寫 verilog，剛開始花了一段時間理解內容後，好不容易將程式碼都寫完，原本以為應該能一次過，但不知道為什麼都跑不出 M0 跟 P0 的值，到下課前都還找不出 bug，但後來經由組員的檢查才發現是一開始設置的 reg 沒有進行 reset，導致無法比較大小。希望下次的實驗不要在那麼粗心，能順利在時間內完成