

計算機組織實驗

實驗六結果報告

第十六組組員

學號	姓名
E24104189	謝宜烜
E24106327	李貫銓
H14086030	郭庭維

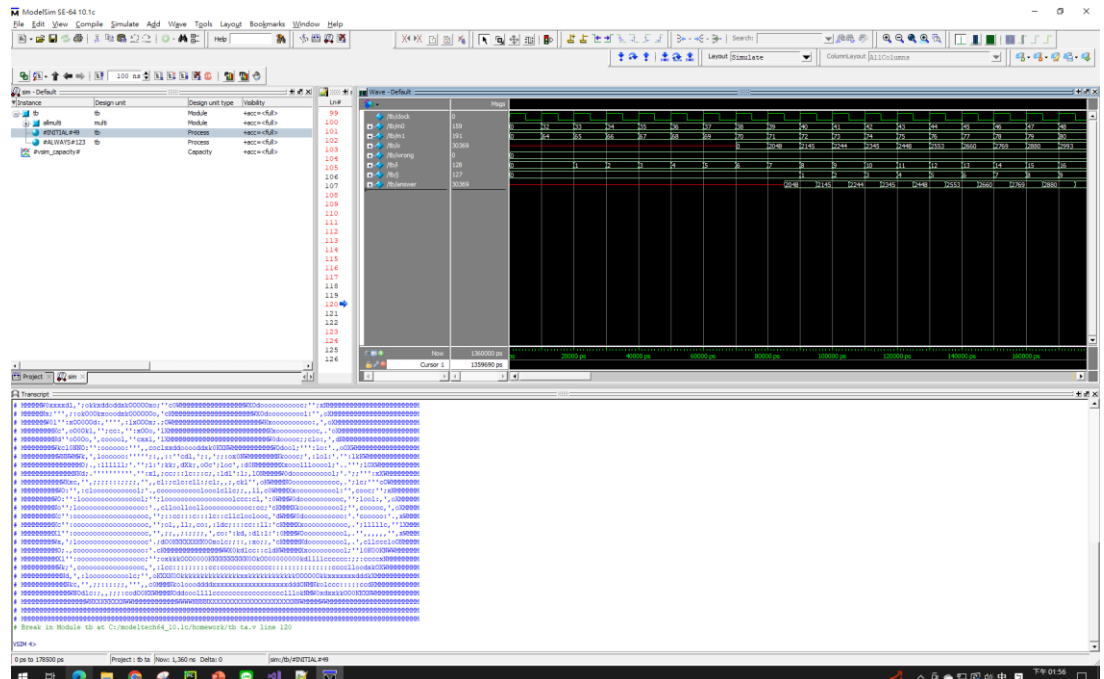
實驗日期:2022/11/28

1、實驗內容

題目: Lab 6 Introduction to Verilog-3

2、實驗說明：

(1) Pipeline



程式碼說明：

```
//singlemulti multi0,multi1,multi2,multi3,multi4,multi5,multi6,multi7;  
singlemulti multi0(.index(3'b 000),.dina(dina0),.dinb(dinb0),.temp(temp0),.dout0(temp1));  
singlemulti multi1(.index(3'b 001),.dina(dina1),.dinb(dinb1),.temp(tempreg1),.dout0(temp2));  
singlemulti multi2(.index(3'b 010),.dina(dina2),.dinb(dinb2),.temp(tempreg2),.dout0(temp3));  
singlemulti multi3(.index(3'b 011),.dina(dina3),.dinb(dinb3),.temp(tempreg3),.dout0(temp4));  
singlemulti multi4(.index(3'b 100),.dina(dina4),.dinb(dinb4),.temp(tempreg4),.dout0(temp5));  
singlemulti multi5(.index(3'b 101),.dina(dina5),.dinb(dinb5),.temp(tempreg5),.dout0(temp6));  
singlemulti multi6(.index(3'b 110),.dina(dina6),.dinb(dinb6),.temp(tempreg6),.dout0(temp7));  
singlemulti multi7(.index(3'b 111),.dina(dina7),.dinb(dinb7),.temp(tempreg7),.dout0(dout));
```

1. 先寫出一個 1 bit 乘法器，然後每一個 clock cycle 都會處理一個位數。並將執行的結果透過 wire 傳出存到 reg，再將該數字傳到下一個位數的乘法器裡面。直到完成 8 個 bit。

3、 實驗心得

謝宜烜：這次的實驗蠻有趣的，難度也蠻高的，但在大家的幫忙下也成功把結果弄出來

郭庭維：經過這次的實驗我更了解 reg 跟 wire 在使用上的差別與限制（能不能放在 always block 中，assign 的意義等等）。另外也稍微研究了一下 test bench 要怎麼寫，怎麼設定 cycle time 跟讓程式暫停幾個 cycle 等等。

李貫銓：這次實驗最困擾我們的部分就是如何處理 pipeline，最後花了很久的時間才用很土法煉鋼的方式完成了這次的實驗，雖然很花費時間，但只要能完成實驗就算是很有收穫了。