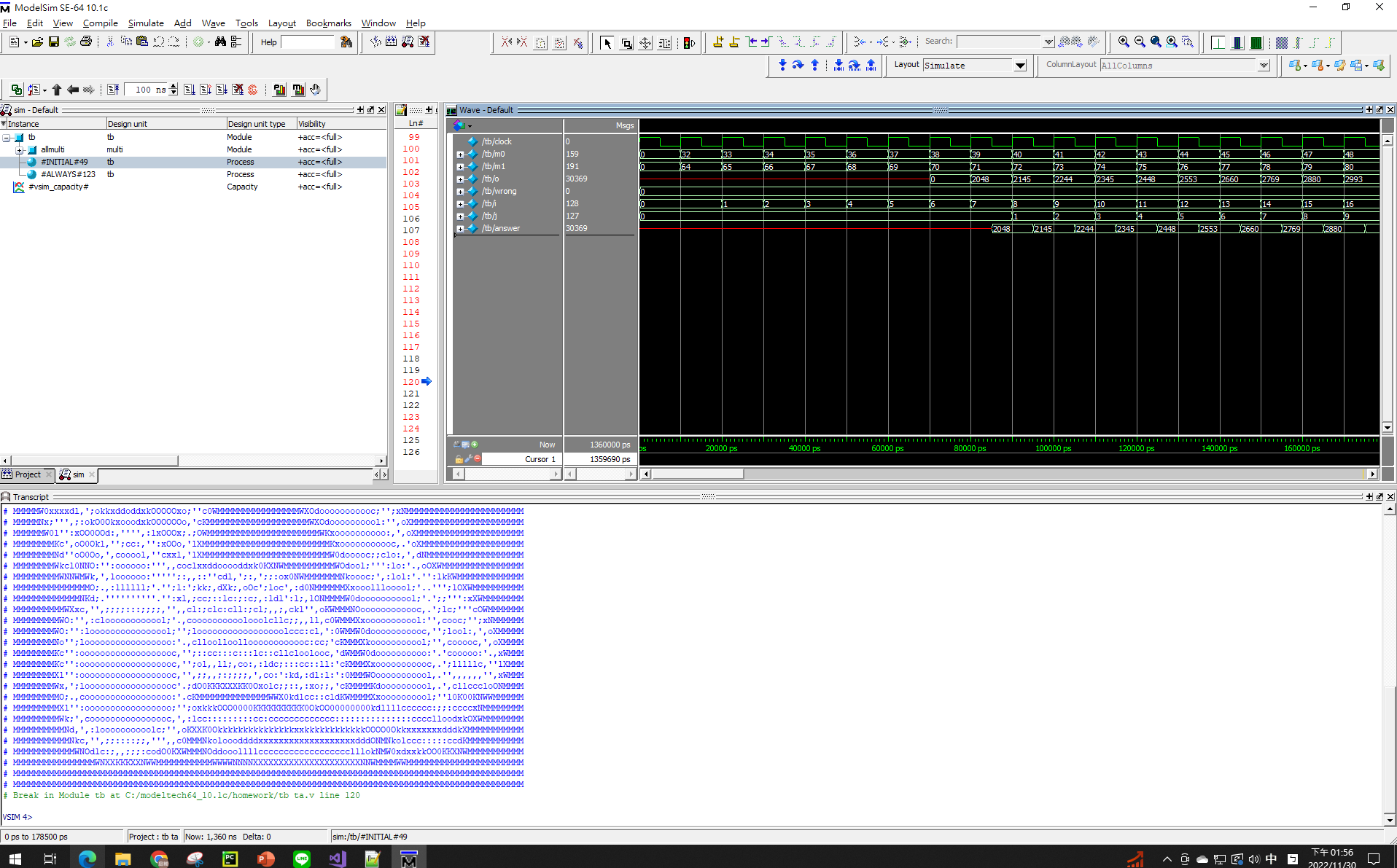
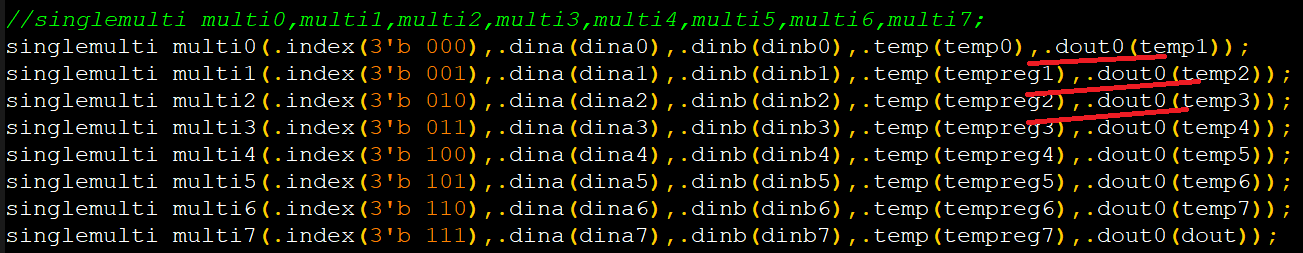
計算機組織實驗

# 實驗六結果報告

## 第十六組組員

|  |  |
| --- | --- |
| 學號 | 姓名 |
| E24104189 | 謝宜烜 |
| E24106327 | 李貫銓 |
| H14086030 | 郭庭維 |

## 實驗日期:2022/11/28

1. 實驗內容   
   題目: Lab 6 Introduction to Verilog-3
2. 實驗說明:
   1. Pipeline  
        
        
      程式碼說明：
      * 1. 先寫出一個1 bit乘法器，然後每一個clock cycel都會處理一個位數。並將執行的結果透過wire傳出存到reg，再將該數字傳到下一個位數的乘法器裡面。直到完成8個bit。
3. 實驗心得

謝宜烜： 這次的實驗蠻有趣的，難度也蠻高的，但在大家的幫忙下也成功把結果弄出來

郭庭維： 經過這次的實驗我更了解reg跟wire在使用上的差別與限制（能不能放在always block中，assign的意義等等）。另外也稍微研究了一下test bench要怎麼寫，怎麼設定cycle time跟讓程式暫停幾個cycle等等。

李貫銓：這次實驗最困擾我們的部分就是如何處理pipeline，最後花了很久的時間才用很土法煉鋼的方式完成了這次的實驗，雖然很花費時間，但只要能完成實驗就算是很有收穫了。