

Laporan Praktikum

RE205 Desain Rangkaian Digital

Dosen : Hendawan Soebhakti, S.T., M.T.



Pokok Bahasan :

Praktikum 4. Logika Kombinasional – Bagian 1

Disusun Oleh :

Nama: Muhammad Syieh Furiza

NIM: 4221701029

Program Studi Teknik Robotika

Jurusan Teknik Elektro

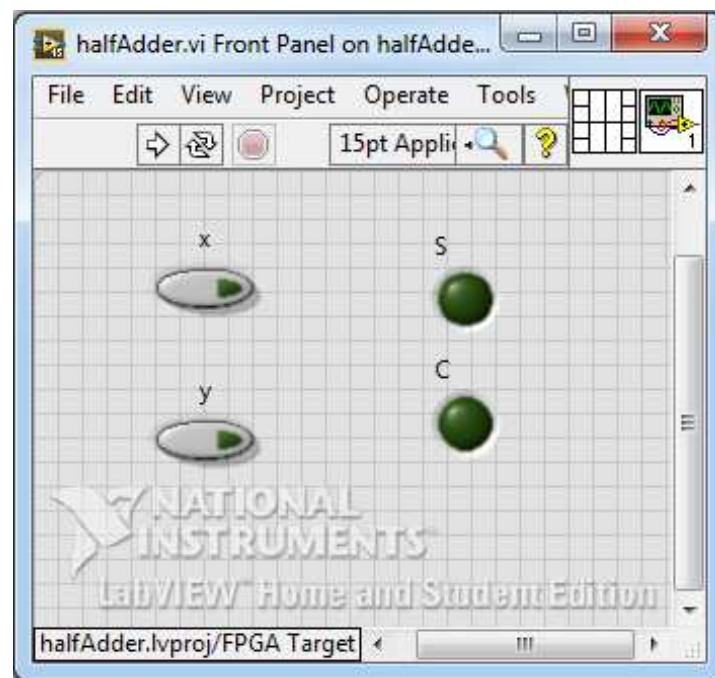
Politeknik Negeri Batam

2018

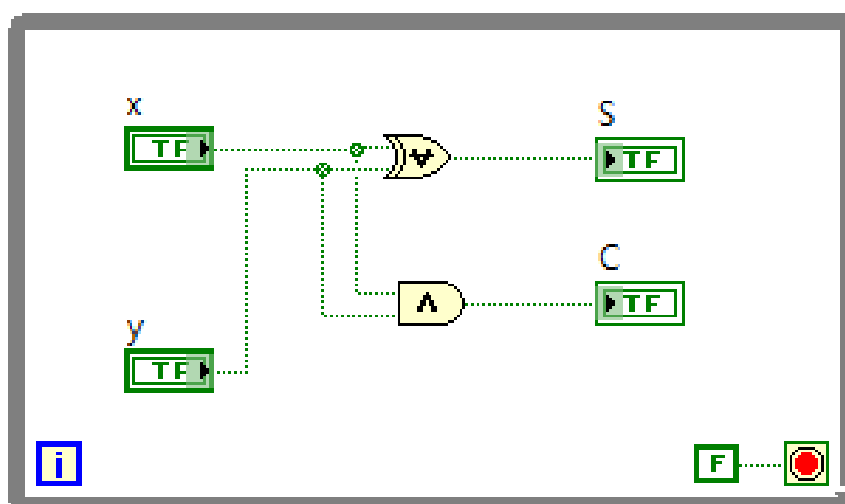
A. Latihan 5-1 Half Adder

Pada latihan ini akan dibuat rangkaian half adder dengan tahapan sebagai berikut:

1. Buat project baru menggunakan myRIO Custom FPGA Project. Beri nama project halfAdder.
2. Buat VI dengan front Panel seperti berikut:



3. Buat block diagram seperti berikut:



4. Klik Run, tunggu hingga kompilasi selesai, kemudian berikan input x dan y seperti pada Tabel 5-5, serta catat kondisi output S dan C pada tabel.

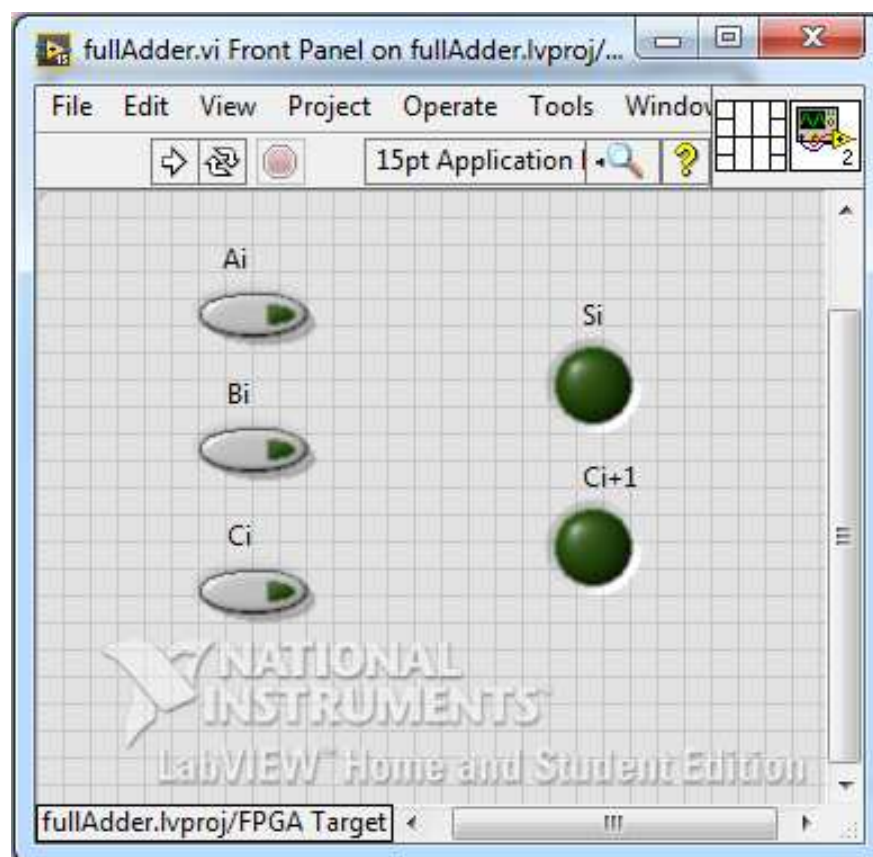
Tabel 5-5 Tabel kebenaran half adder

x	y	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

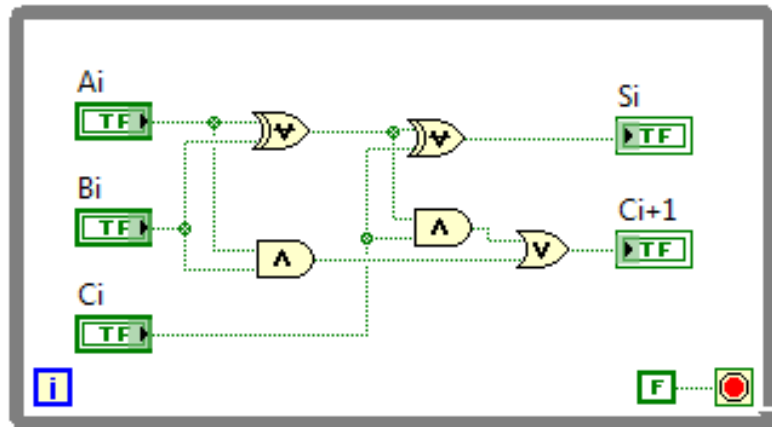
B. Latihan 5-2 Full Adder

Pada latihan ini akan dibuat rangkaian full adder dengan tahapan sebagai berikut:

1. Buat project baru menggunakan myRIO Custom FPGA Project. Beri nama project fullAdder.
2. Buat VI dengan front Panel seperti berikut:



3. Buat block diagram seperti berikut :



4. Klik Run, tunggu hingga kompilasi selesai, kemudian berikan input Ai, Bi, dan Ci seperti pada Tabel 5-6, serta catat kondisi output Si dan C_{i+1} pada tabel.

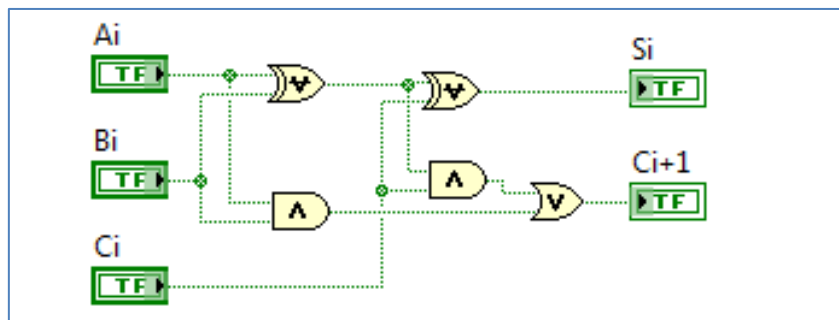
Tabel 5-6 Tabel kebenaran full adder

Ai	Bi	Ci	Si	C_{i+1}
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

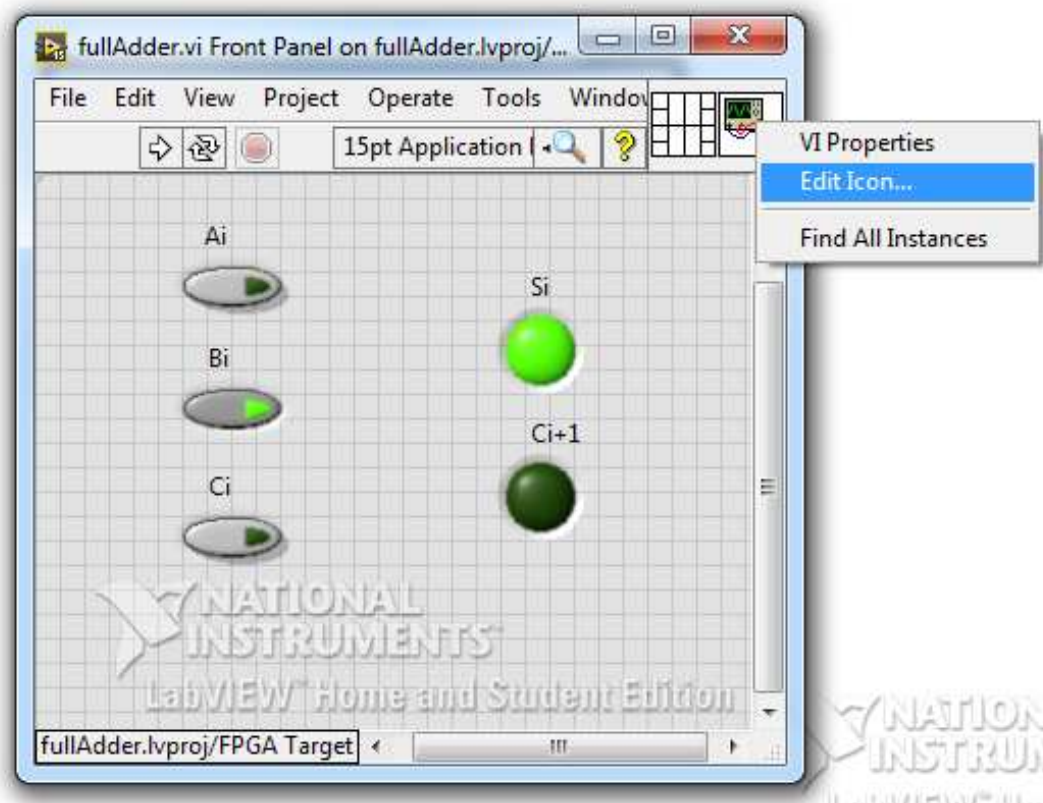
C. Latihan 5-3 Membuat Sub-VI Full Adder

Pada latihan ini akan dibuat sub VI full adder yang nantinya dapat digunakan untuk membuat full adder 4 bit. Berikut adalah langkah-langkahnya:

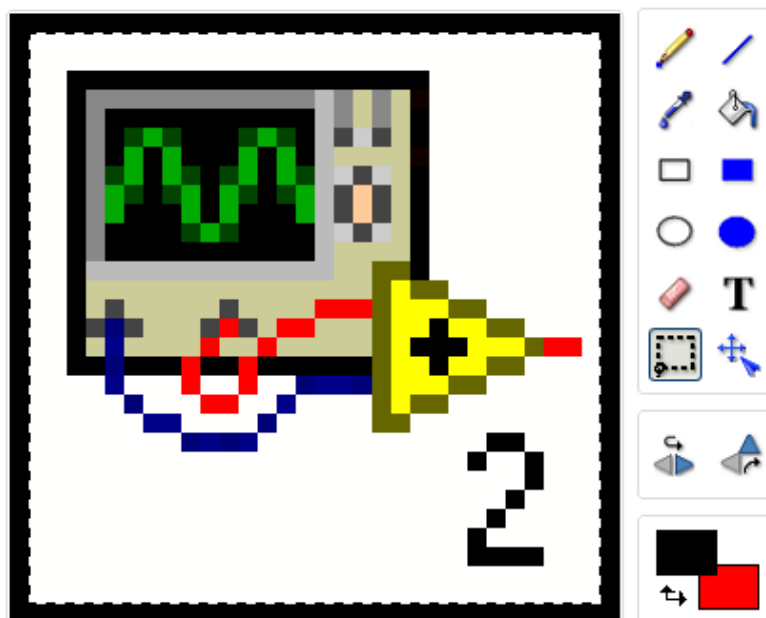
1. Buka full adder.VI seperti pada Latihan 5-2, kemudian modifikasi block diagramnya menjadi seperti berikut:



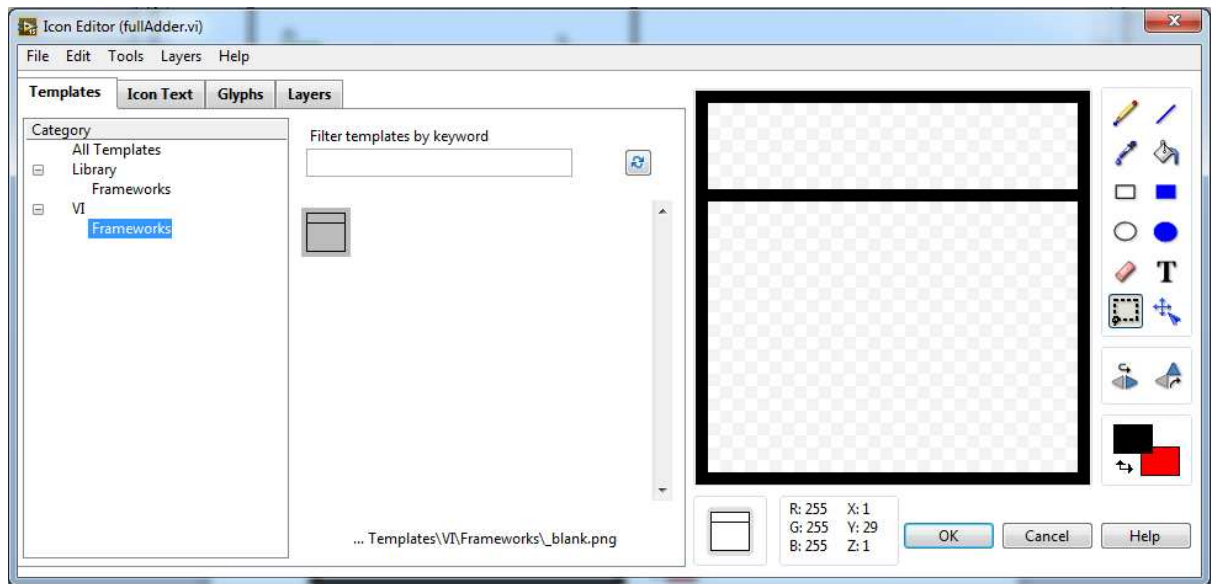
2. Pada front panel, klik kanan icon VI kemudian pilih Edit Icon.



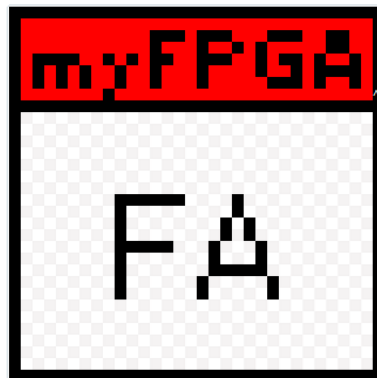
3. Klik Select kemudian pilih area seperti dibawah kemudian tekan delete.



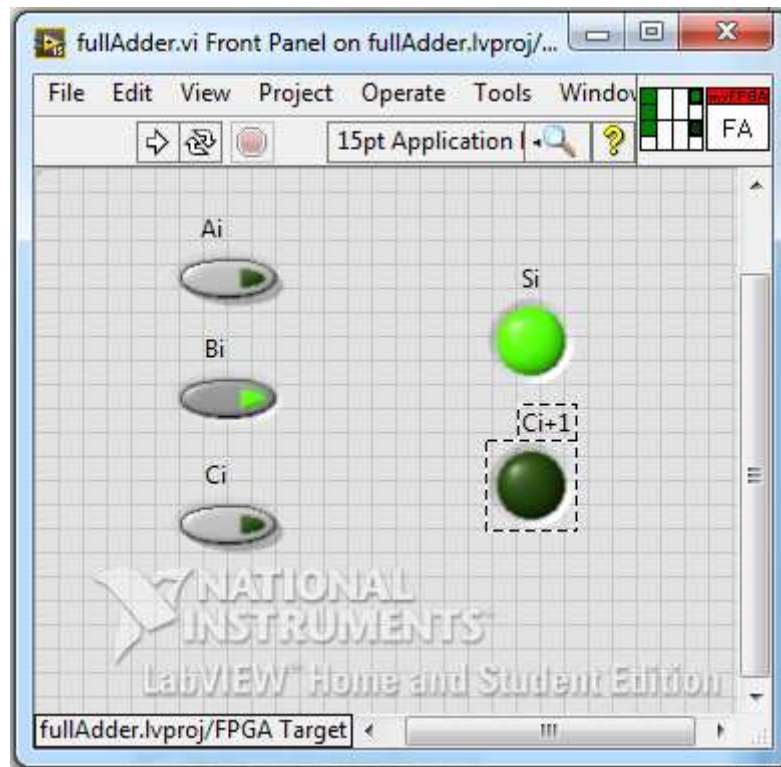
4. Pilih tab Templates, kemudian pada VI pilih Framework



5. Buatlah icon menjadi seperti berikut:



6. Pada front panel, tentukan terminal input output VI.

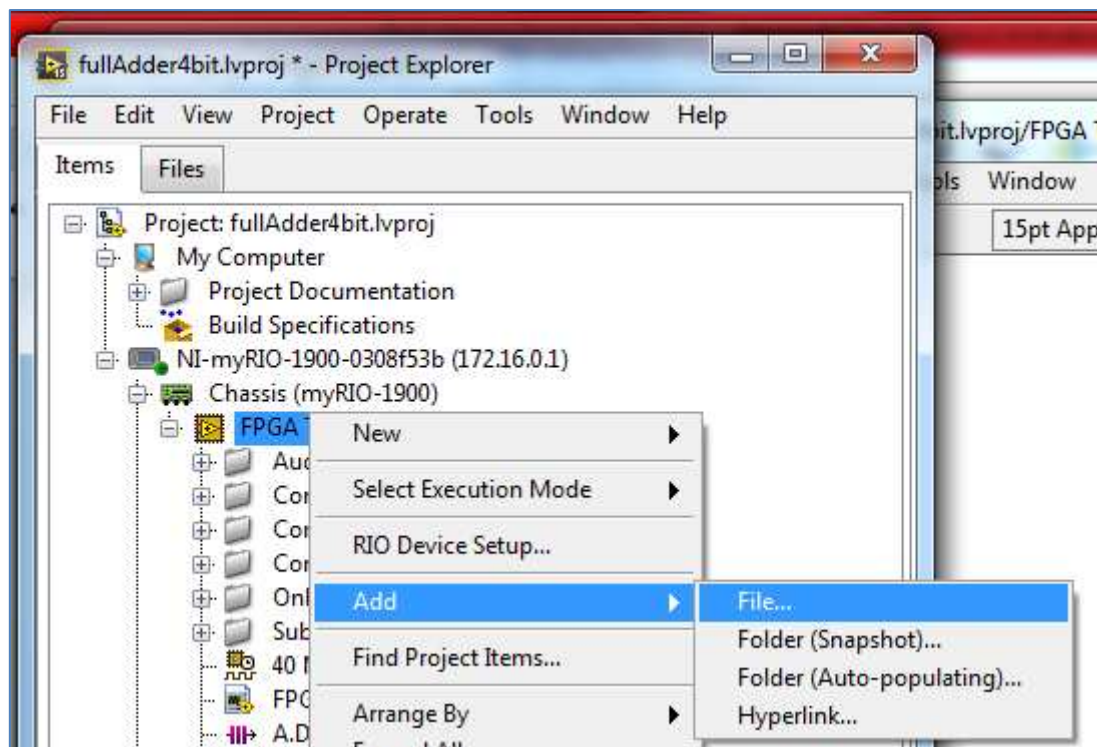


7. Simpan VI jika sudah selesai membuat modifikasi.

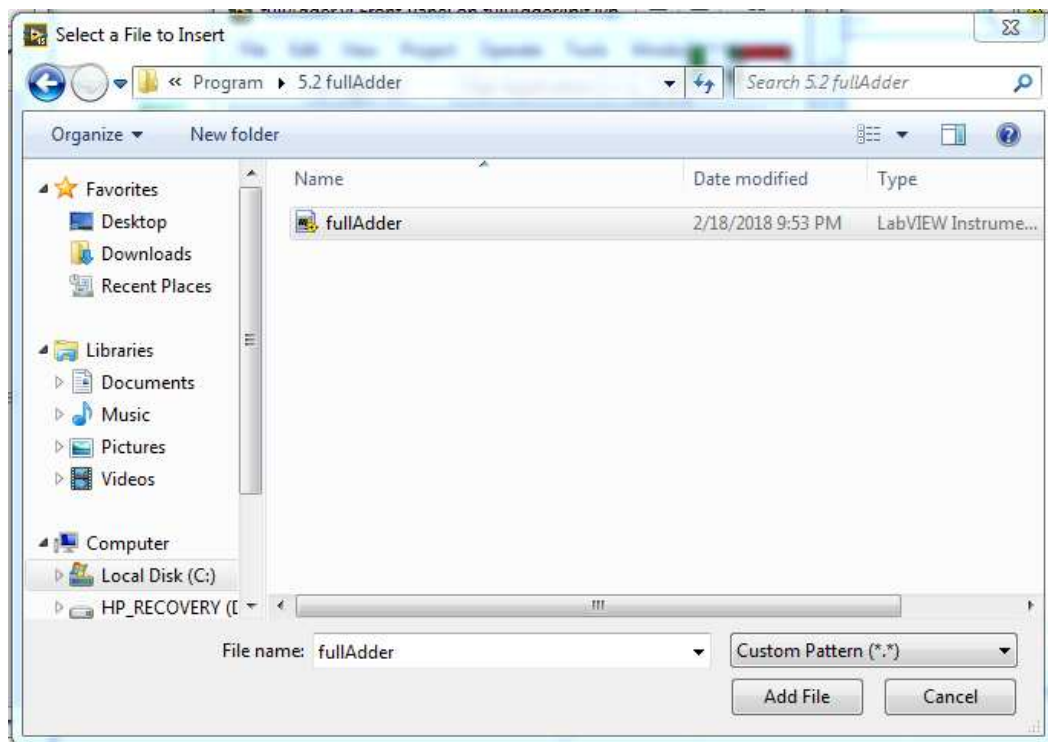
D. Latihan 5-4 Full Adder 4 Bit

Pada latihan ini akan dibuat rangkaian full adder 4 bit dengan tahapan sebagai berikut:

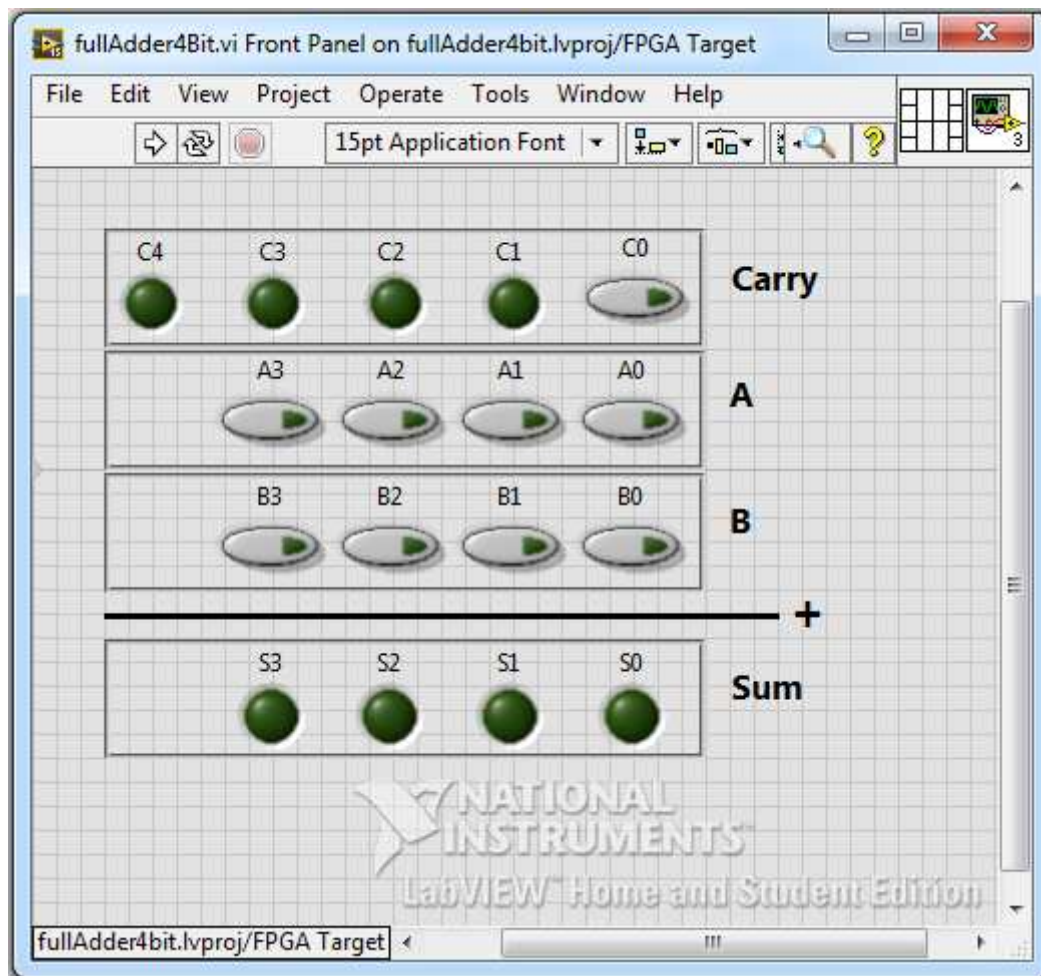
1. Pada latihan ini akan dibuat rangkaian full adder 4 bit dengan tahapan sebagai berikut:
2. Klik kanan pada FPGA Target, kemudian Add, File...



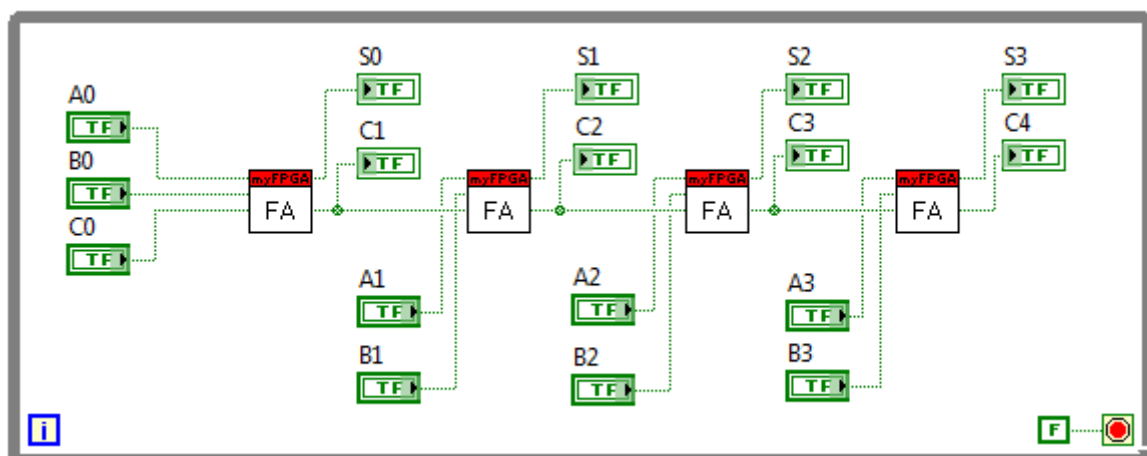
3. Tambahkan fullAdder.VI yang pada Latihan 5-3 sudah dimodifikasi icon-nya.



4. Pada front panel, buatlah seperti berikut:



5. Buatlah block diagram seperti berikut:

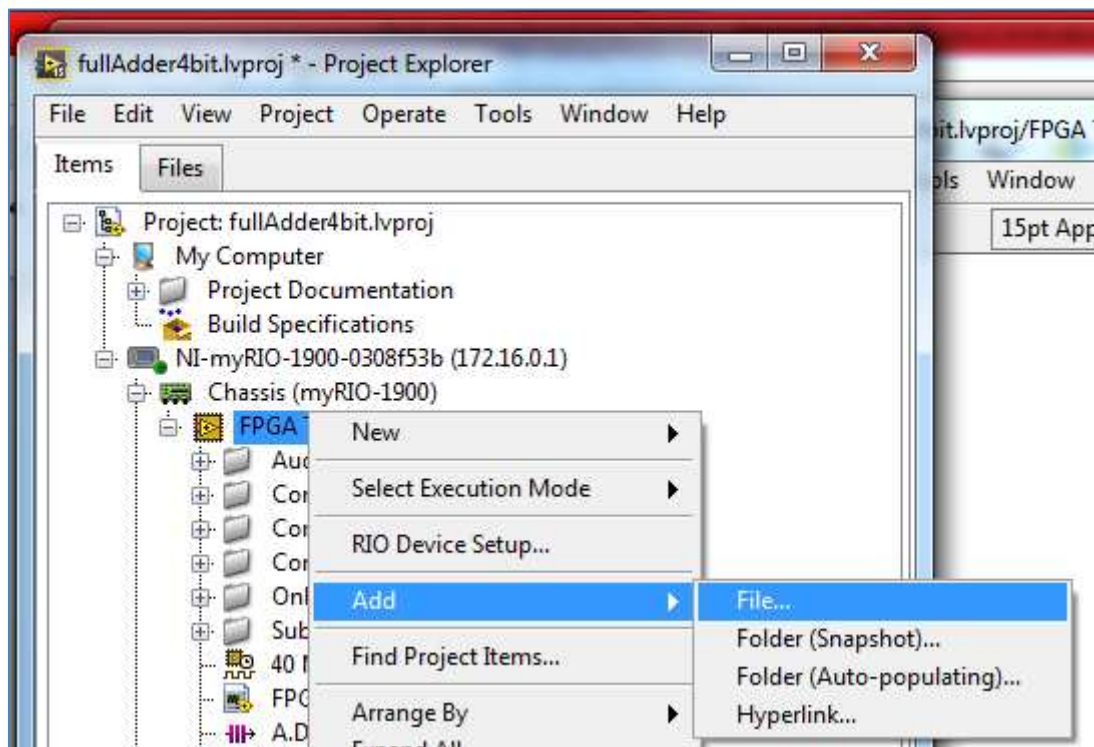


6. Jalankan VI, kemudian lakukan penjumlahan bilangan biner, perhatikan hasilnya.

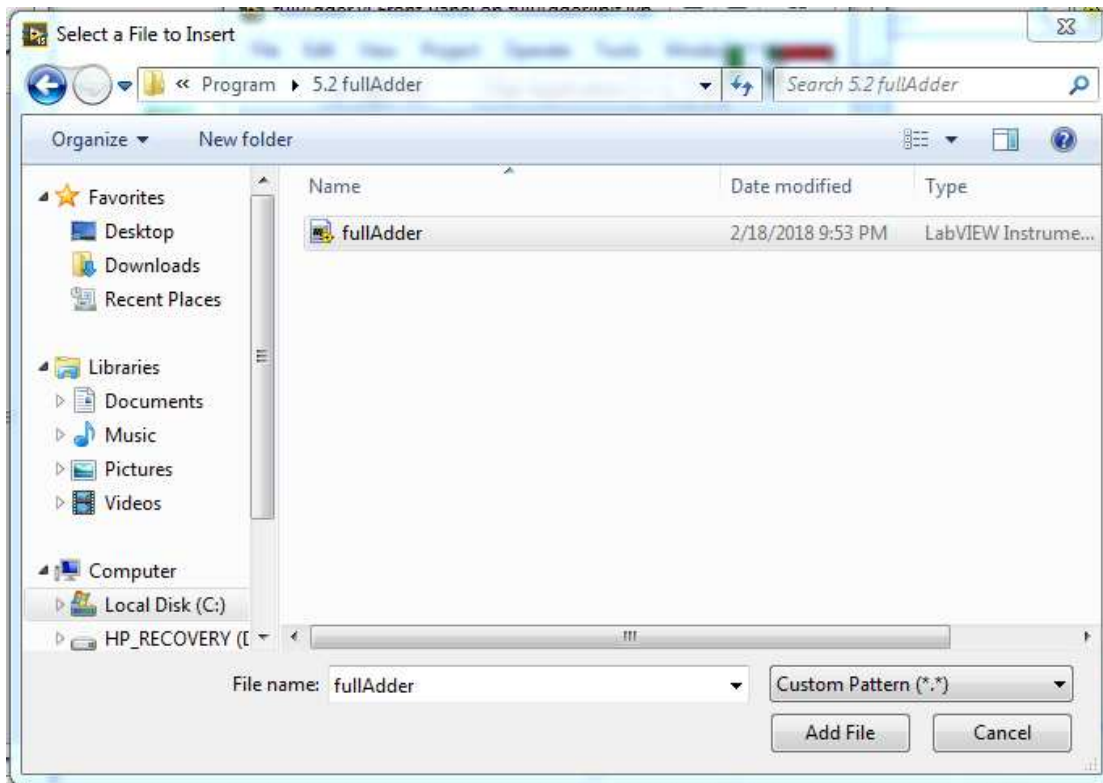
E. Latihan 5-5 Full Adder –Subtractor 4 Bit

Pada latihan ini akan dibuat rangkaian full adder-subtractor 4 bit dengan tahapan sebagai berikut:

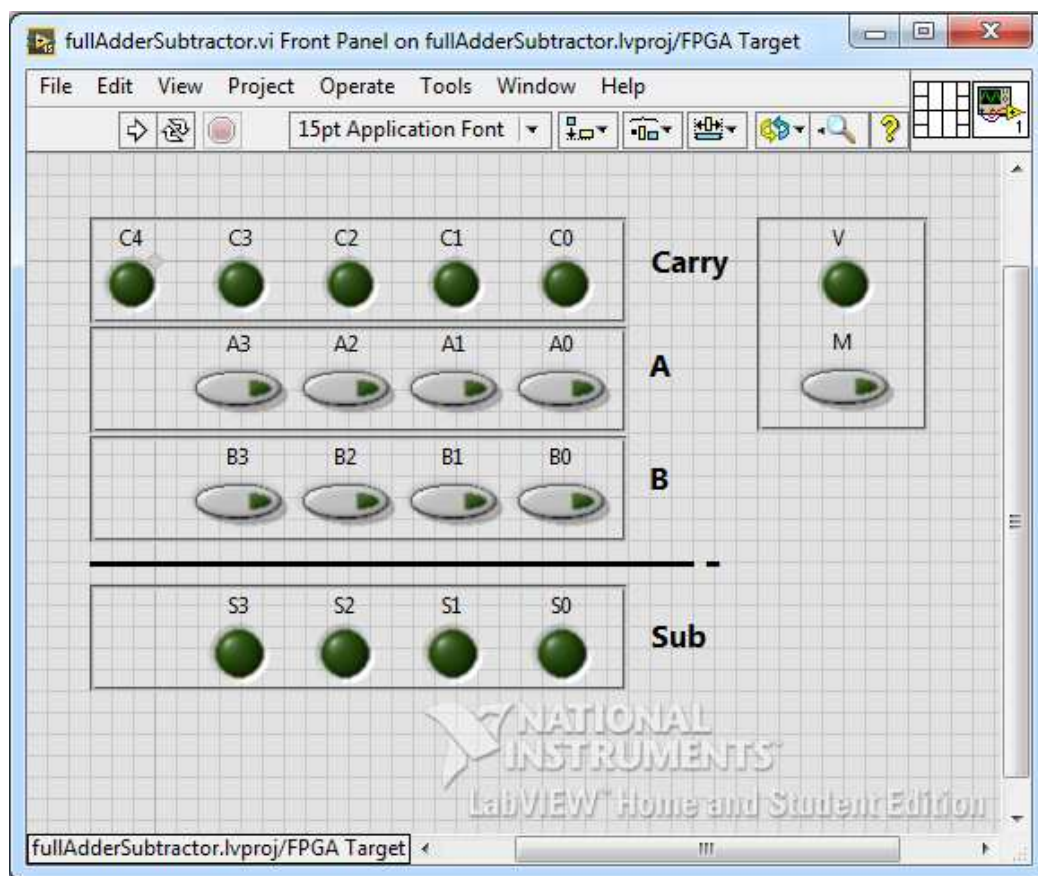
1. Buat project baru menggunakan myRIO Custom FPGA Project. Beri nama project fullAdderSubtractor4Bit.
2. Klik kanan pada FPGA Target, kemudian Add, File...



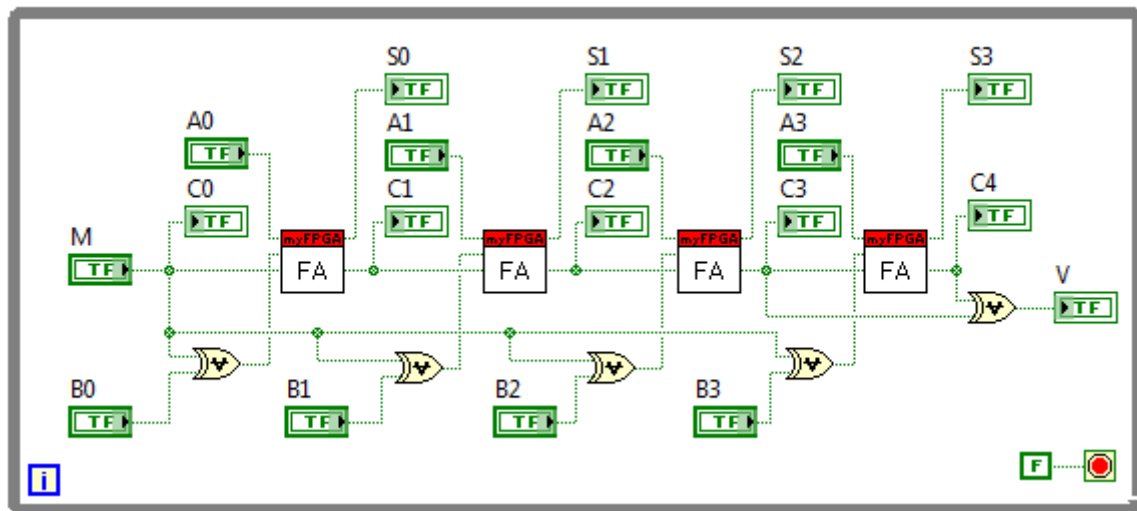
3. Tambahkan fullAdder.VI yang pada Latihan 5-3 sudah dimodifikasi icon-nya.



4. Pada front panel, buatlah seperti berikut:



5. Buatlah block diagram seperti berikut:



6. Jalankan VI, pastikan tombol M dalam keadaan ON (TRUE), kemudian lakukan pengurangan bilangan biner misalnya 0011 - 0001, perhatikan hasilnya.

F. Tugas

Desainlah rangkaian full adder incremener 4 bit yaitu rangkaian yang dapat menambah 1 angka biner 4 bit !

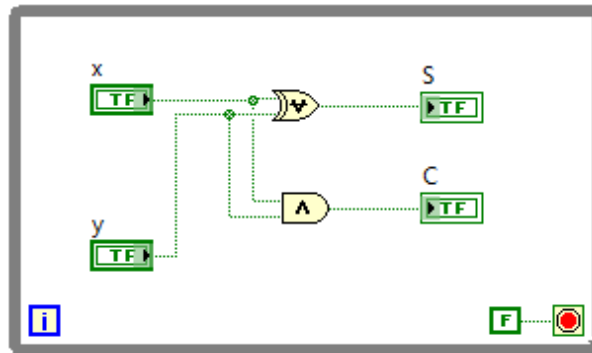
Penyelesaian.

Rangkaian full adder incremener 4 bit adalah rangkaian yang hampir sama dengan rangkaian full adder, hanya saja disini bedanya terdapat increment nilai dari biner 4 bit. Sehingga pada rangkaian full adder incremener 4 bit akan selalu menaikkan atau menambah 1 pada output nya secara otomatis dengan timing tertentu.

Pada tampilannya nanti indikator lampu digunakan sebagai penentu angka biner yang terbentuk. Berikut adalah penjelasan rincinya.

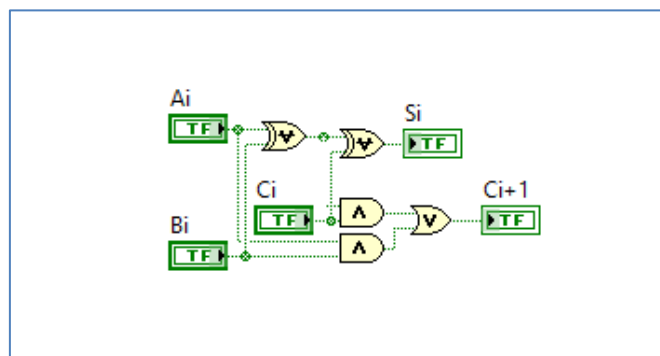
1. Pembuatan Rangkaian Full Adder

Pada tahapan awal untuk membuat rangkaian full adder incrementer, pada praktikum kali ini rangkaian terbentuk dari 2 rangkaian half adder (tanpa penggunaan looping infinity). Terdiri dari 2 gerbang yaitu EXOR dan gerbang AND.



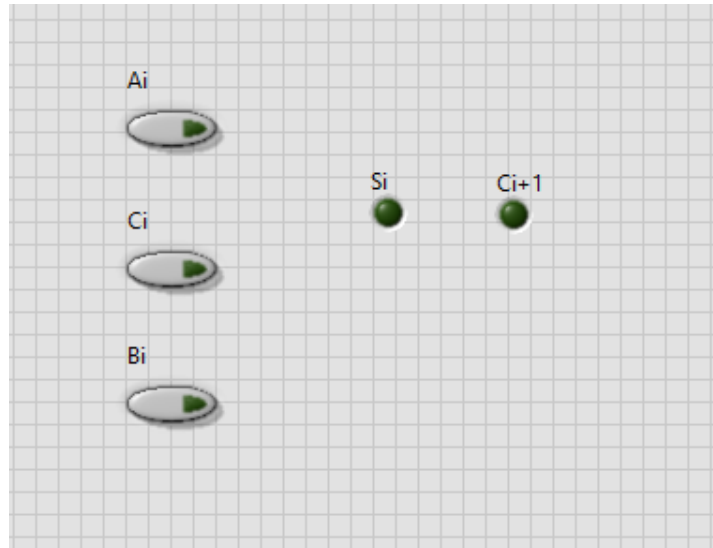
Gambar Rangkaian Half Adder

Langkah selanjutnya penulis merangkai blok diagram untuk rangkaian full adder, menjadi seperti gambar dibawah ini.



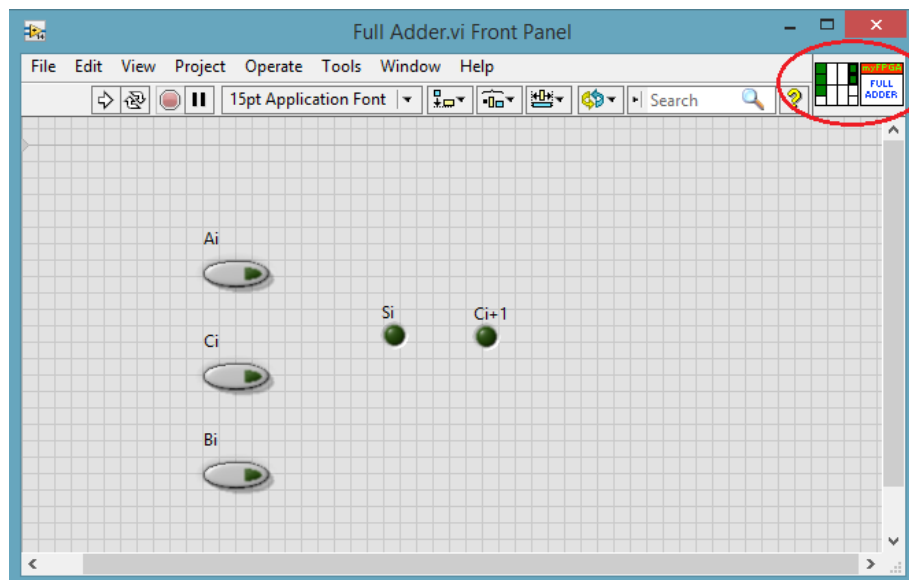
Gambar Rangkaian Full Adder

Gambar diatas adalah rangkaian blok diagram full adder yang terdiri dari 2 gerbang EXOR, 2 gerbang AND, 1 gerbang OR, 3 buah input, dan 2 ouput. Setelah membuat block diagramnya selanjutnya membuat lagi untuk tampilan front panelnya seperti gambar dibawah ini.

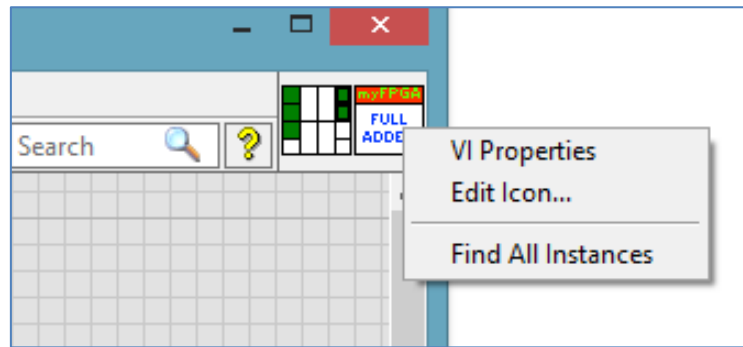


Gambar Full Adder pada front panel.

Setelah selesai membuat front panel seperti diatas, langkah selanjutnya adalah menghubungkan terminal pada pojok kanan atas pada front panel, caranya dengan mengklik pada kotak patternnya, kemudian klik objek pada front panel yang akan di koneksikan pada terminal. Pada kotak pojok kiri penulis mengambil ketentuan bahwa bagian kiri untuk semua inputan sedangkan bagian kanan sebagai output.



Setelah menghubungkan semua objek yang ada pada terminal, kemudian membuat custom pada VI dengan cara klik kanan pada kotak disebelah pattern, kemudian klik edit , dan edit sesuai desain yang diinginkan.

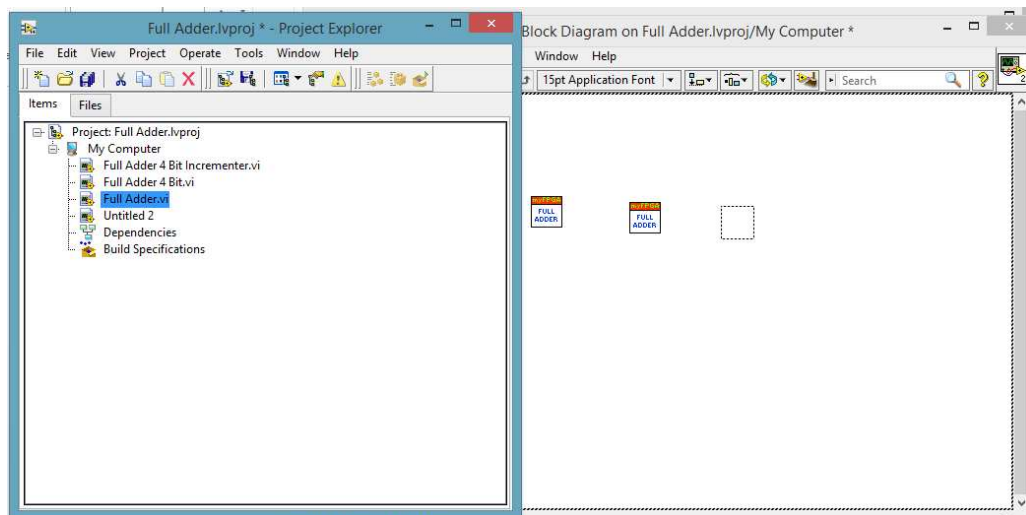


Gambar Edit VI

Setelah selesai mengedit VI pada rangkaian full adder. Kemudian save VI tersebut, kemudian membuat kembali VI baru untuk tahap selanjutnya.

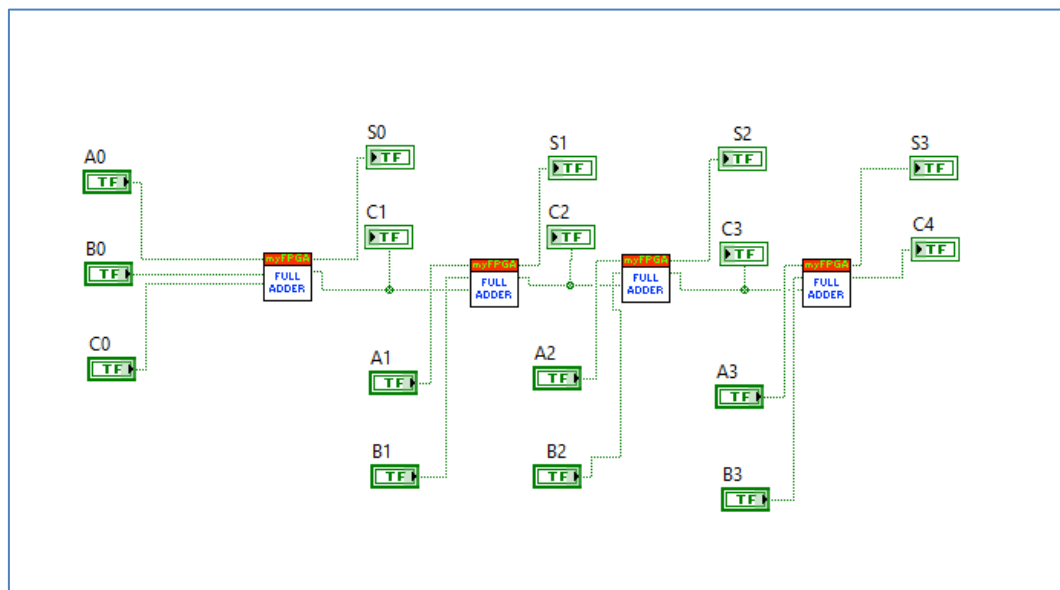
2. Pembuatan Rangkaian Full Adder 4 Bit

Setelah selesai membuat rangkaian full adder, langkah selanjutnya adalah membuat VI baru untuk rangkaian full adder 4 bit, yang bertujuan untuk menambahkan bilangan biner dengan panjang data 4 bit. Full adder 4 bit ini terdiri dari rangkaian VI sebelumnya yang telah di edit sesuai keinginan. Cara menempatkan VI full adder ke dalam VI baru dengan cara men-drag VI tersebut kedalam tab baru yang telah dibuat.



Gambar tab VI baru untuk membuat full adder 4 bit

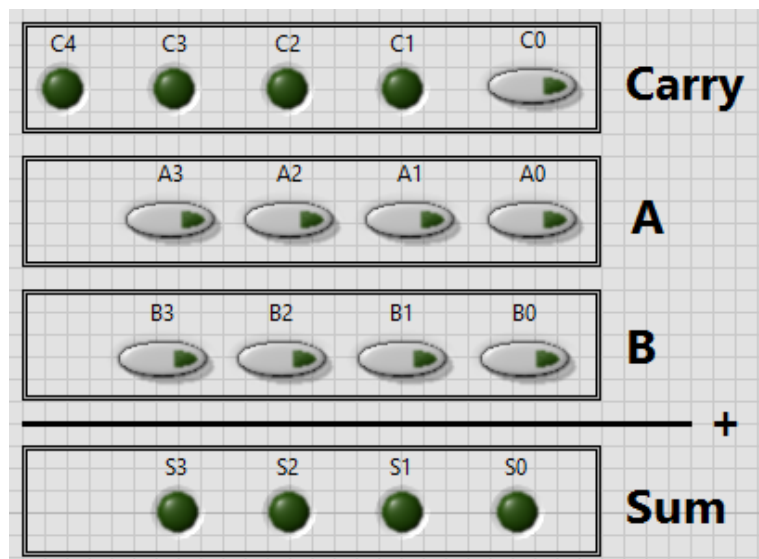
Langkah berikutnya waktunya merangkai blok diagram untuk rangkaian full adder 4 bit dengan menghubungkan rangkaian full adder sebelumnya seperti gambar di bawah ini.



Gambar blok diagram full adder 4 bit

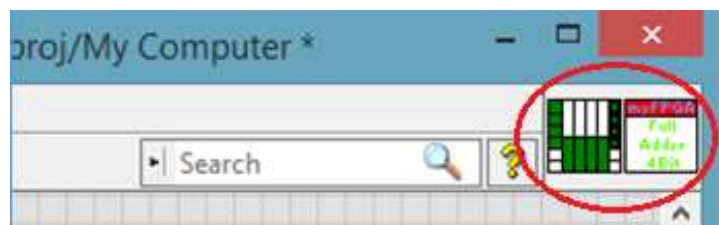
Setelah selesai membuat blok diagram, selanjutnya mendesain lagi untuk front panelnya menjadi seperti gambar dibawah ini. Terdapat 8 lampu indikator dan 9 tombol

pada front panel ini. Fungsi rangkaian untuk menambahkan panjang data 4 bit dengan biner maksimal adalah 15.



Gambar front panel untuk penjumlahan data 4 bit

Pada gambar front panel terdapat carry(Bilangan sisa) dari penambahan biner yang dilakukan, dan juga ada label A dan B untuk penjumlahan, terdapat indikator sebagai pemberitahu hasil dari operasi penjumlahan. Kemudian hubungkan lagi input A dan B, output S0 ~ S3 pada terminal. Gunakan pattern yang jumlahnya sesuai dengan input output yang dipakai. Button A hubungkan pada bagian kiri, button B pada bagian bawah, dan indikator pada bagian kanan. Setelah itu buat lagi icon baru untuk rangkaian full adder 4 bit dengan sesuai desain yang diinginkan.

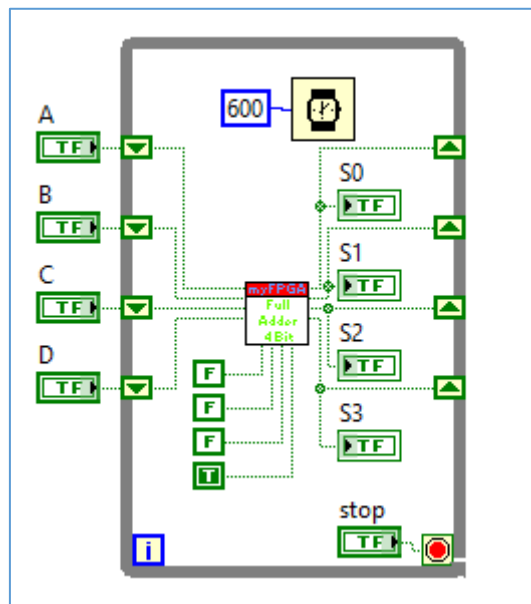


Gambar icon baru untuk rangkaian full adder 4 bit

selanjutnya adalah langkah terakhir untuk pembuatan rangkaian full adder incremener 4 bit.

3. Pembuatan Rangkaian Full Adder Incremener 4 Bit

Kemudian satukan rangkaian full adder kedalam rangkaian full adder 4 bit seperti gambar di bawah, kemudian masukkan VI full adder 4 bit kedalam VI baru menjadi rangkaian full adder incremener 4 bit seperti gambar di bawah ini.

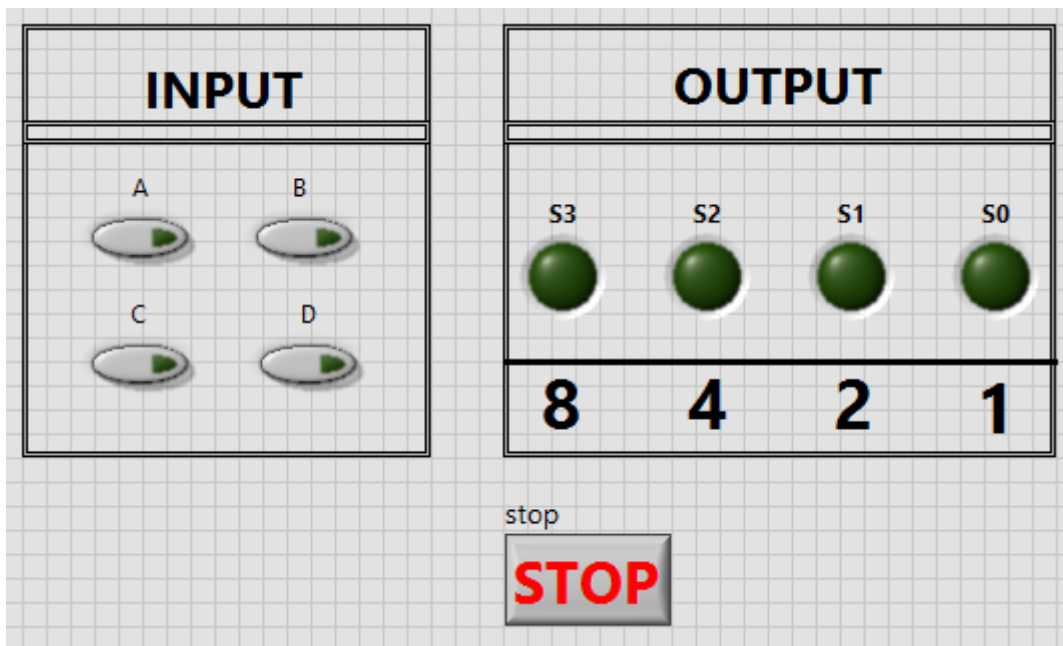


Gambar full adder incremener 4 bit

Gambar diatas merupakan desain rangkaian full adder incremener 4 bit. Pada desain diatas ditambahkan input A,B,C,D. disebelah bawah diberi nilai biner 0001 dengan menghubungkan false dan true ke bagian input full adder pada bagian bawah. Kemudian output indikator lampu. Output pada setiap biner yang ditambahkan 1 akan disimpan oleh memori shift register (S0,S1,S2,S3) yang mana memorinya digunakan untuk input

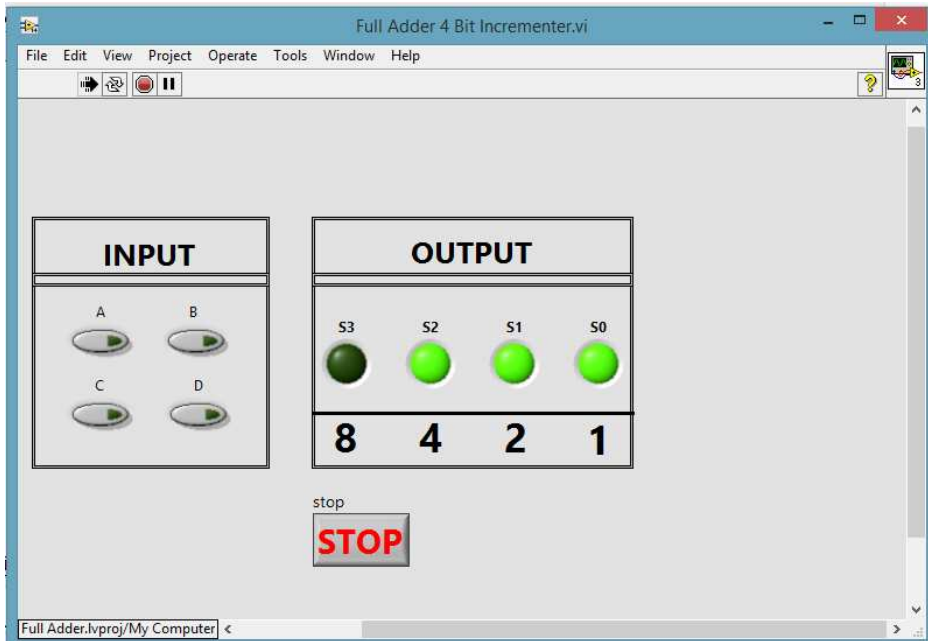
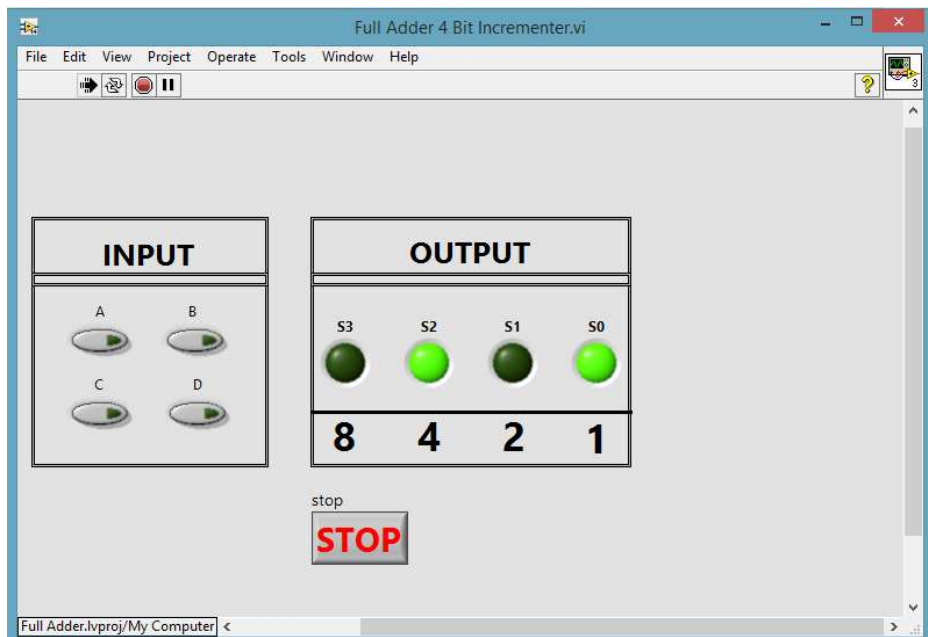
selanjutnya, sehingga terjadi incremener nilai biner 4 bit. Pada rangkaian tersebut terdapat looping infinity (false) dari while loop. Kemudian didalam while loop diberikan waktu jeda (600ms) untuk mengatur cepat atau lambatnya pergantian output biner.

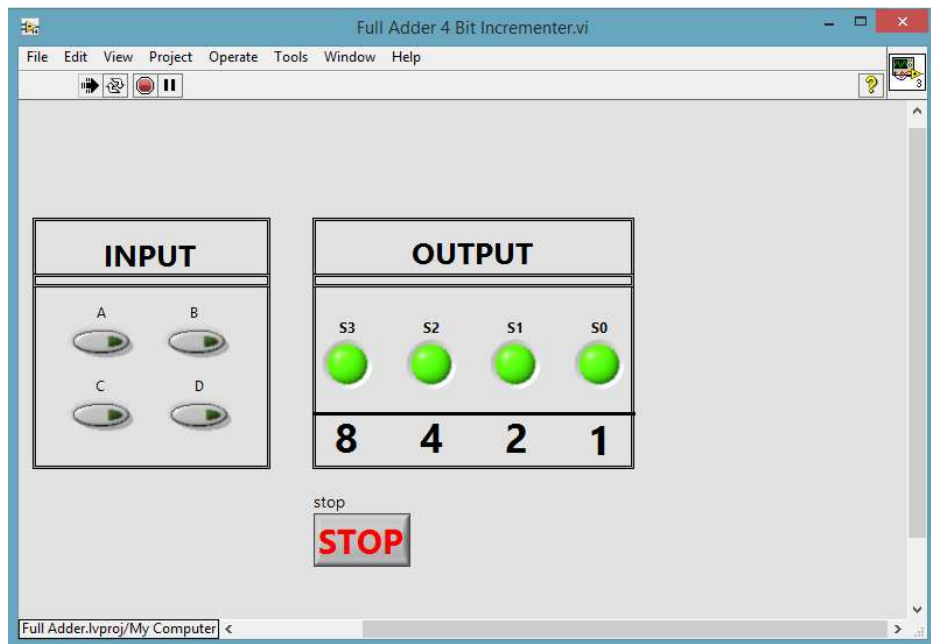
Kemudian buatlah tampilan front panel agar dapat dilihat nilai incremener dari biner tersebut seperti gambar di bawah ini.



Gambar front panel incremener 4 bit

Dari gambar di atas dapat diketahui bahwa ada 4 tombol input, 4 output indikator, 1 tombol STOP untuk menghentikan simulasi. Setelah selesai seperti diatas, jalankan rangkaian tersebut. Sehingga terjadilah incremener nilai biner yang selalu ditambah 1. Berikut beberapa hasil dari operasi incrementernya.





KESIMPULAN

Setelah melakukan praktikum diatas, penulis dapat menarik beberapa kesimpulan, yaitu :

- Pada suatu objek rangkaian dapat menggunakan beberapa VI apabila rangkaian terlalu panjang.
- Penyederhanaan rangkaian yang dimasukkan ke dalam satu VI baru.
- Rangkaian full adder incremener 4 bit didalamnya terdiri dari rangkaian full adder dan full adder 4 bit
- Untuk menghubungkan antara VI di dalam satu Rangkaian, haruslah memasukkan Input/Output nya kedalam terminal pattern.
- Mengetahui nilai carry dalam suatu proses operasi.
- Mengetahui cara kerja Full Adder Incremener 4 Bit