

座位号:

杭州电子科技大学学生考试卷（A）卷

考试课程	计算机组成原理		考试日期	2022 年 06 月 日		成 绩	
课程号	A0505650	教师号		任课教师姓名	章复嘉、冯建文		
考生姓名		学号（8 位）		年 级		专 业	计算机科学与技术 （计算机科学英才班）、智能计算与数据科学（计算机科学与技术）

题号	一	二	三	四	五	六
分数	15	23	20	20	5	17
得分						

请把答案写在答题纸规定的地方，其它地方一律无效。

答题纸

一、分析计算题（15分）：

1. (本题 4 分)

2. (本题 4 分)

CF=_____ OF=_____ ZF=_____ SF=_____

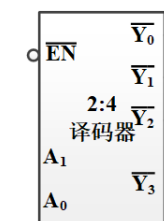
3. (本题 7 分)

(1) (2 分)

(2) (5 分)

二、存储器设计题（23 分）

1. (本题 14 分)



座位号：

2. (本题 9 分)

(1) (6 分) 请写出对主存地址字段的划分 (包括各字段的名称及位数);

(2) (3 分) 当 CPU 访问主存地址 104184H 时, 请说明该主存地址映射到 Cache 的哪一组, 并写出计算过程。

三、指令系统设计 (20 分):

1. (本题 12 分)

① (1)_____H (2)_____H

②

(3)	(4)	(5)	(6)	(7)
(8)	(9)	(10)	(11)	(12)

2. (本题 8 分)

四、控制器设计 (20 分)

1. (本题 6 分)

2. (本题 8 分)

- ① PC→MAR, PC+1: _____
- ② MEM→LA: _____
- ③ LA⊕LB→DR: _____

座位号:

3. (本题 6 分)

4) (6 分)

五、IO 系统（5 分）

1、(1分) 填空题: _____

2、(4分) 填空题: (1) _____、(2) _____、
(3) _____、(4) _____

5) (3 分)

6) (4分)

六、模型机设计（17分）：请选择以下2题中的一题做答，多做不加分。

1、ARM 模型机（17 分）

1) (2 分) 这条指令的功能是_____。

2) (1 分) 该指令的操作数采用的寻址方式是_____。

3) (1 分) 这是一条_____。

座位号：

2、RISC-V 模型机（17 分）

(1)（4 分） 指令的助记符： _____

功能： _____

(2)（3 分） sub 指令的执行阶段的操作：

M0: IMem[PC]→IR, PC→PC0, PC+4→PC

M1: _____

M2: _____

M3: _____

(3)（6 分） ① _____ ② _____

③ _____

(4)（4 分） 选择题： _____

座位号：

试题

一、计算分析题（本大题共 3 小题，本大题共 15 分）

某 32 位模型计算机上，有一个 C 语言编写的程序片段如下：

```
int i,a[10],b[10];
for (i=0;i<=10;i++)
    if (b[i]<a[i])    b[i]=a[i]+20;
```

假设初始 a[5]= 0x7FFF FFFF， b[5]= 0xFFFF FFFF，则：

- 1.（本题 4 分）执行完上述 for 循环语句后，b[5]的结果是多少？请以 16 进制表示，写出推导或计算过程。
- 2.（本题 4 分）if (b[i]<a[i])这条判断语句，在计算机中是通过 b[i]-a[i]来实现的；那么执行 b[5]-a[5]后，标志位 CF、OF、ZF、SF 的值是多少？
- 3.（本题 7 分）假设数组 a 和 b 的数据类型是一种 16 位长的自定义浮点数（高 6 位是含阶符在内的阶码，低 10 位是含数符在内的尾数，尾数和阶码都由补码表示），若 a[0]=-15.25，b[0]= 5/32。

- （1）（2 分）请写出 a[0]和 b[0]在内存中的规格化浮点数编码（以 16 进制表示）；
- （2）（5 分）计算 a[0]+b[0]的浮点数[a[0]+b[0]]_浮（采用 0 舍 1 入法，结果以 16 进制表示，列出计算步骤）。

二、存储器设计题（本大题共 3 小题，本大题共 23 分）

假设某 8 位模型计算机的地址总线为 24 位，存储器按字节编址，CPU 有存储器/IO 访问信号 M/ \overline{IO} （=0 访问 I/O 设备，=1 访问主存）、读/写信号 R/ \overline{W} （=0 写操作，=1 读操作）信号，则作答以下试题：

- 1.（本题 14 分）从地址 100000H 开始，设计一个 2M 空间的主存储器，可以使用的芯片是：若干 1M×4 位的 SRAM 存储器芯片、一个 2:4 译码器芯片（带低电平使能端 \overline{EN} 、译码输出为低电平）、与非门和或非门，请分析所需芯片个数、2M 空间的地址范围，画出与 CPU 的连接图。
- 2.（本题 9 分）假设为该 8 位模型计算机配备了一个 4KB 的 8 路组相联的指令 Cache，每行 16 个字。
 - （1）（6 分）请写出对主存地址字段的划分（包括各字段的名称及位数）；
 - （2）（3 分）当 CPU 访问主存地址 104184H 时，请说明该主存地址映射到 Cache 的哪一组，并写出计算过程。

三、指令系统设计（20 分）：

- 1、（本题 12 分）设某 8 位模型计算机指令格式如下：

OP（4 位）	MOD(2 位)	RD（2 位）
ADDR/ DATA / DISP		

其中，RD 为源/目的寄存器号，MOD 为寻址方式码字段，指令第二字为地址、数据或偏移量；源操作数由 MOD 字段和指令第二字共同确定。除了 HALT 指令为单字指令外，其他指令均为双字指令；操作码字段解释见表 1-1，MOD 字段解释见表 1-2，RD 字段解释见表 1-3，变址寄存器隐含为 R2。

表 1-1

指令助记符	操作码	指令助记符	操作码
MOV	0000	SBB	0100
ADD	0001	JMP	1000
SUB	0010
AND	0011	HALT	1111

表 1-2

MOD	寻址方式
00	立即寻址
01	直接寻址
10	变址寻址(SI)
11	间接寻址

表 1-3

RD	寄存器
00	R0
01	R1
10	R2(SI)
11	R3

- ① 指令 SUB R3, ((80H)) 的功能：R3 = ((80H))-R3；指令使用间接寻址，则该指令机器码第一字节为__ (1) __H，第二字节为__ (2) __H。
- ② 内存地址的部分单元内容如表 2，若（PC）=34H，变址寄存器（SI）=20H，则此时启动程序执行，则程序执行的前三条指令如表 3，请填写完整（填写到表 3 中(3)—(12)处）。

表 2

单元地址	内容	单元地址	内容	单元地址	内容
30H	80H	34H	00H	38H	34H
31H	90H	35H	1FH	39H	32H
32H	25H	36H	19H	3AH	F0H
33H	31H	37H	10H	3BH	20H

座位号：

表 3

指令序号	助记符	源操作数寻址方式	源操作数	执行结果
1	(3)	(4)	(5)	——
2	(6)	(7)	(8)	——
3	(9)	(10)	(11)	(12)

2. (本题 8 分) 若某机器指令长 16 位，指令中基本操作码 4 位，每个操作数地址码长 4 位，采用扩展码技术：设计一个指令系统，三地址指令 14 条，两地址指令 30 条，单地址指令 20 条，零地址指令 15 条；请给出指令编码示意图。

四、控制器设计 (20 分)：

某 8 位模型机系统结构如图 1 所示。

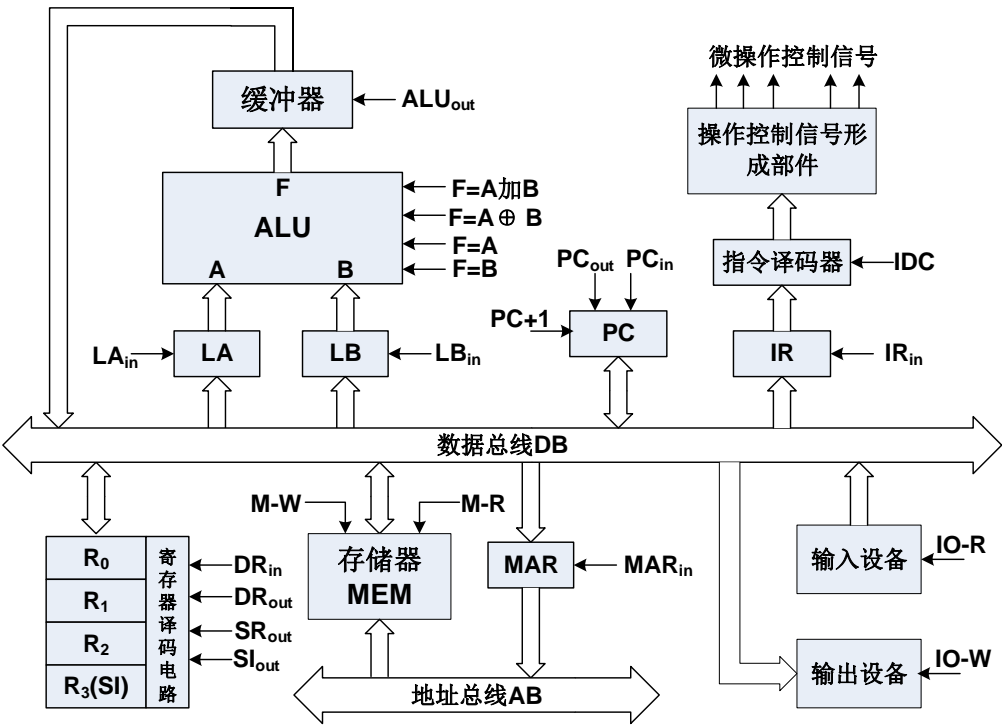


图 1 模型机结构框图

图中所有控制信号均为高电平有效，例如 DR_{in} 为 1 表示允许数据从 DB 打入目的寄存器 DR，SR_{out} 为 1 表示允许源寄存器 SR 的数据送上数据总线 DB，IDC 控制指令译码器工作。MAR 中的地址直接送地址总线 AB，变址寄存器 SI 隐含规定为 R₃。

1. (本题 6 分) 模型机的某条指令的指令执行流程图如图 2 所示，写出该条指令的功能和操作数的寻址方式。
2. (本题 8 分) 写出图 2 中标注①、②、③的 3 条微指令必须发送的微操作控制信号。
3. (本题 6 分) 如果模型机采用微程序控制器，控存容量为 256×32 位，微程序在整个控制器中实现转移，控制字段对应的控制信号共有 21 个，判别测试字段对应的可以控制微程序的条件共 5 个，判别测试字段采用编译法。微指令采用水平型格式，后继微指令地址采用下址字段法，请为该模型机设计微指令格式。

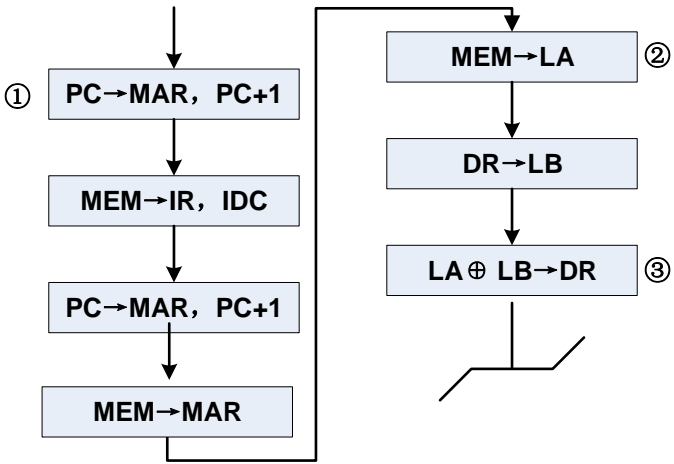


图 2 指令执行流程图

五、IO 系统 (5 分)：

- 1、(1 分) 填空题：在主机与外设交换信息的方式中，DMA 的中文名称是 (1)。
- 2、(4 分) 填空题：请写出中断过程的四个阶段：(1)、(2)、(3)、(4)。

座位号:

六、模型机设计 (17 分): 请选择以下 2 题中的一题作答, 多做不加分。

1、(17 分) 某 ARM 指令在图 4 所示的 ARM 模型机上执行过程见图 3:

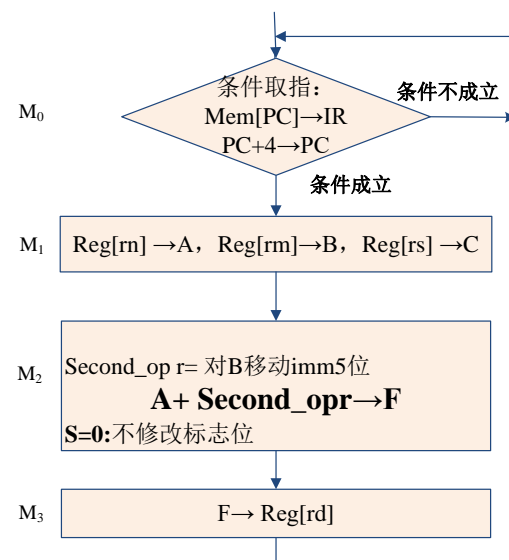


图3 某AMR指令执行过程

请问：

- 1) (2分) 这条指令的功能是_____。
- 2) (1分) 该指令的操作数采用的寻址方式是_____。
- 3) (1分) 这是一条_____。

A. 数据处理指令 B. 分支跳转指令 C. 单数据访存指令 D. 块数据访存指令

- 5) (3分) 参考图3所示指令执行过程, 结合图4, 画出 BX r0 指令流程图

指令码位数 汇编格式	31:28	27:24	23:20	19:16	15:12	11:8	7:4	3:0	功能描述
BX<c> <rm>	cond	0001	0010	1111	1111	1111	0001	rm	rm→PC

- 6) (4 分) 图 5 是 MIPS CPU 的取指令部件结构图, MIPS 采用无条件取指令策略, 而 ARM CPU 采用条件取指令策略, 请对比图 4 和图 5 简要叙述 ARM CPU 按条件取指令的过程。

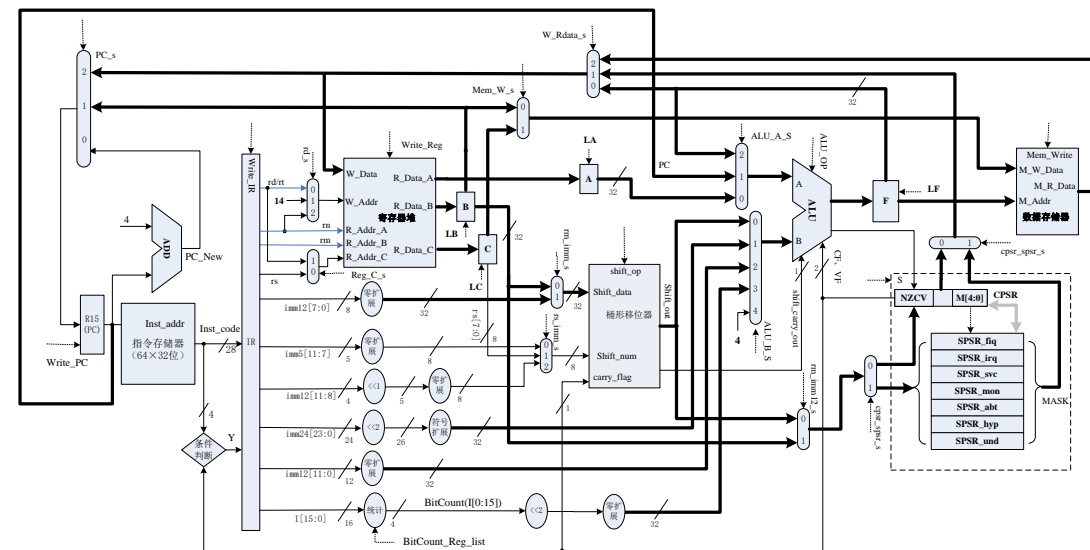


图 4 ARM 模型机 CPU 结构图

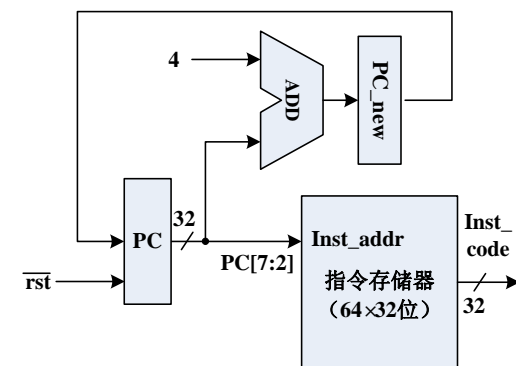


图 5 MIPS CPU 取指令部件结构图

座位号:

2、(17 分) 一个能实现 RV32I 指令子集的多周期 RISC-V 模型机, 结构如图 4 所示。

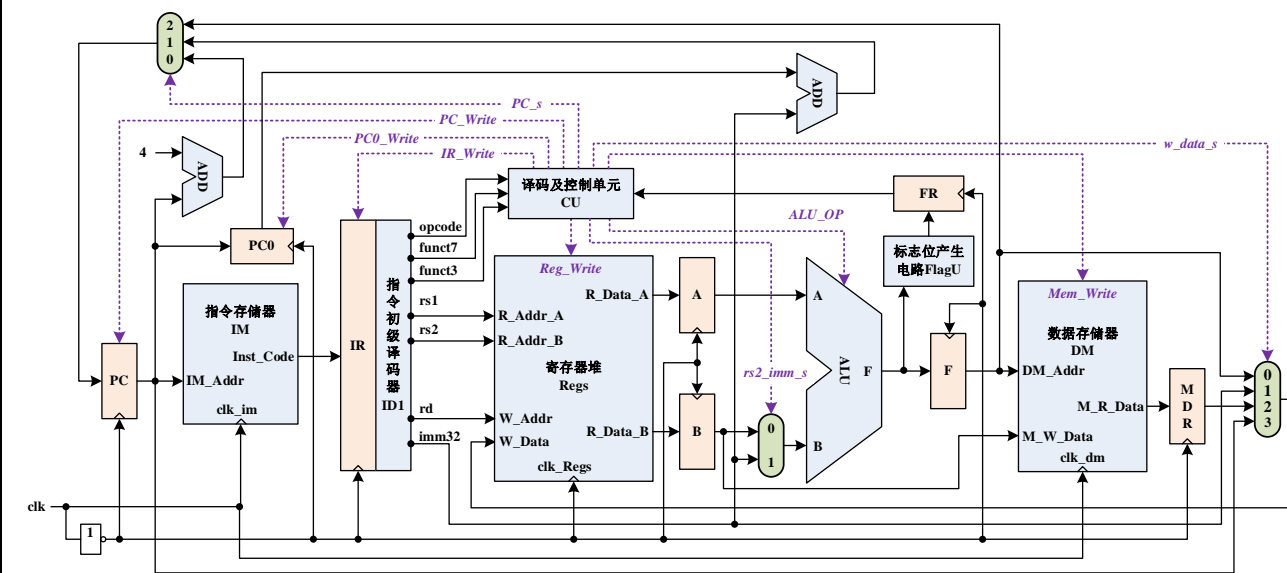


图 4 RISC-V 模型机结构图

(1) (4 分) 一条指令的执行过程如下, 请写出该指令的助记符和功能。

M0: IMem[PC]→IR, PC→PC0, PC+4→PC

M1: Reg[rs1]→A, Reg[rs2]→B

M2: A+imm32→F

M3: B→DMem[F]

(2) (3 分) 仿照题 (1), 请写出指令 sub rd,rs1,rs2 指令的执行阶段的操作。

(3) (6 分) 下面是一段 C 语言程序, 宿主机是 32 位:

```
int i, a[];
for(i=0;i<10;i++){
    if(a[i]<60) return i;
}
```

return -1;

对应的汇编程序如下, 假设返回值存于 a0 寄存器, 请完成下面的填空:

lui t0, 0x100 #t0 保存数组 a 在主存的首地址

addi t1, x0, 10 #t1=10

add t2, x0, x0 #t2 相当于变量 i

addi a0, x0, -1 #返回值 a0=-1

L: slli t3, t2, 2 #i*4

add t4, t0, t3 #计算 a[i]的地址

lw t5, 0(t4) #取 a[i]

slti t6, t5, 60 #比较, <60 则置数

①

②

bne t2, t1 L

③

exit:.....

(4) (4 分) 如果 rs2_imm_s 信号发生了恒 0 故障, 下面哪些指令能正常执行:

A. sub B. addi C. lw D. sw E. beq F. jal G. lui