

4-12-2023

PROYECTO FINAL

SECCION: D11

ING. INFORMÁTICA, ROBÓTICA, COMPUTACIÓN

NATALIA ISABEL MARISCAL NAPOLES

MARÍN GONZÁLEZ ANDRÉ JOSUÉ

JUAN SILVERO VALENCIA

ERICK JARED GUTIERREZ CORREA

ARQUITECTURA DE COMPUTADORAS

MAESTRO: J. ERNESTO LÓPEZ ARCE DELGADO



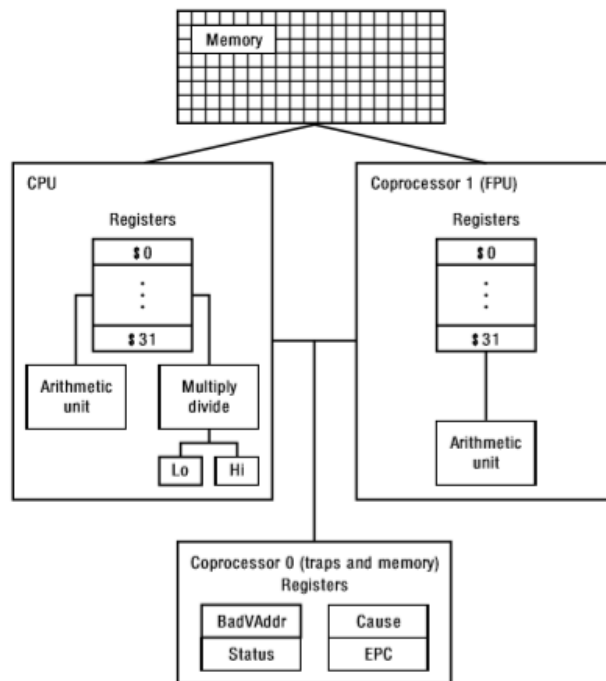
Índice

Contenido

INTRODUCCIÓN.....	3
Investigación	7
Ljubisa Bajic.....	7
Jim Keller	7
Raja Koduri	8
Desarrollo	9
Código de Ensamblador en Phyton	9
Módulos de verilog.....	23
26_Shift_Left_2.v	23
ADD.v.....	23
IFID.v.....	24
IDEX.v	25
EXMEM.v	27
MEMWB.v	29
TB_3.v.....	30
ADD_Clk.v.....	31
ALU.v	31
ALU_C.v	33
BR.v.....	35
UC.v	36
Datapath.v.....	40
DatapathMx.v.....	43
Datapath5.v.....	44
Inst_mem.v.....	45
DATA_Mem.v	46
Clk.v	47
Shift_Left_2.v	48
Sign_extend.v	48
Referencias.....	49

INTRODUCCIÓN.

Con el nombre de MIPS (siglas de Microprocessor without Interlocked Pipeline Stages o dicho en castellano microprocesador sin bloqueos en las etapas de segmentación) se conoce a toda una familia de microprocesadores de arquitectura RISC desarrollados por MIPS Technologies.



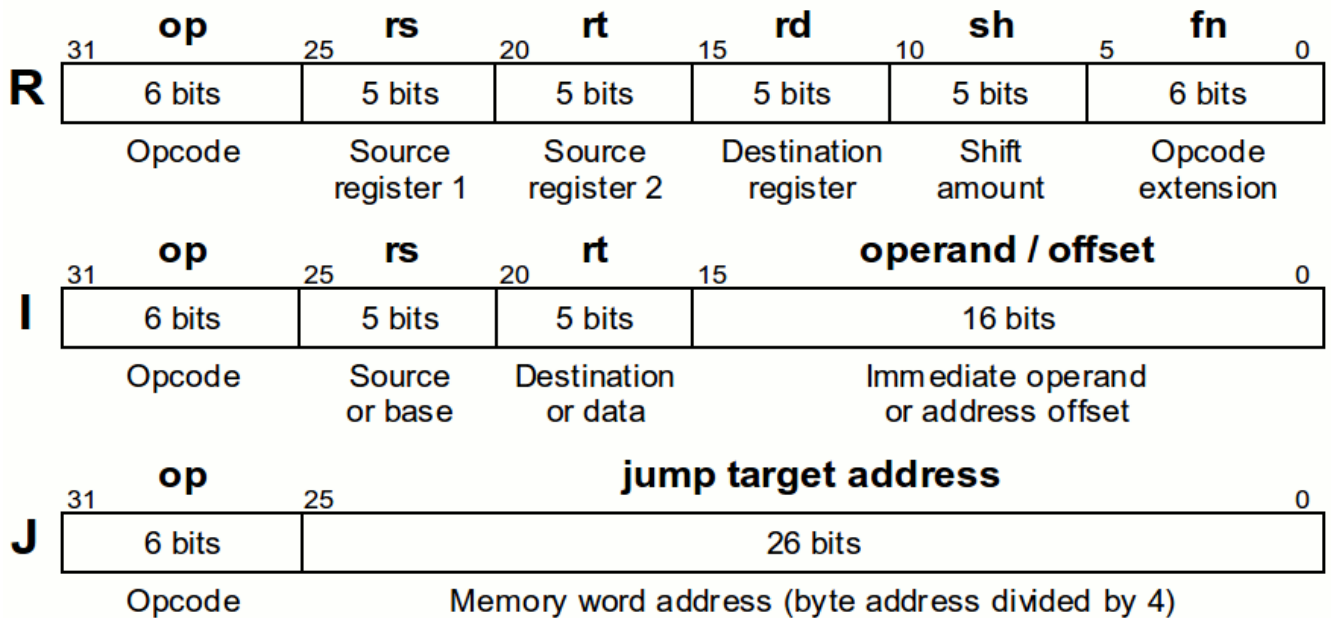
Nos podemos encontrar arquitecturas MIPS en muchos sistemas embebidos, en dispositivos para Windows CE, routers Cisco y consolas como la Nintendo 64 o las PlayStation, PlayStation 2 y PSP.

CARACTERÍSTICAS DE LA ARQUITECTURA DEL MIPS

- La longitud de todas las instrucciones es fija y son de 32 bits.
- El tamaño de las palabras es siempre de 4 bytes ($4 \times 8 = 32\text{bits}$)
- Los operandos de las operaciones aritméticas son siempre registros. MIPS es, por tanto, una arquitectura de carga/almacenamiento (registro-registro).
- El acceso a memoria se hace a través de operaciones de carga/almacenamiento (transferencia de datos).

- La mayor parte de las instrucciones que acceden a memoria lo hacen de forma alineada, por lo que la dirección a la que se accede debe ser múltiplo de 4.

LAS INSTRUCCIONES EN MIPS LAS PODEMOS ENCONTRAR EN 3 FORMATOS



Instrucciones Tipo J: utilizado por las instrucciones de bifurcación

Inst.	Definición	Formato
j	Modifica el valor del PC para ejecutar la instrucción siguiente a la etiqueta	j etiqueta
jal	Modifica el valor del PC por aquel al que apunta la etiqueta y almacena la dirección actual del PC en \$ra	jal etiqueta

Instrucciones Tipo I: utilizado por las instrucciones de transferencia, las de salto condicional y las instrucciones con operandos inmediatos.

Inst.	Definición	Formato
addi	Se almacena en el registro \$1 la suma del registro \$2 y el valor de la constante	addi \$1, \$2, constante
andi	El registro \$1 tiene el resultado de una operación AND entre \$2 y la constante	andi \$1, \$2, constante
ori	El registro \$1 tiene el resultado de una operación OR entre \$2 y la constante	ori \$1, \$2, constante
slti	Almacena en \$1 un 1 si el valor registro \$2 es menor que el de la constante. En caso contrario almacena un 0	slti \$1, \$1, constante
lui	Carga constante en los 16 bits superiores del registro \$1	lui \$1, direcConst
lw	Carga en el registro \$1 la palabra almacenada en la dirección de memoria que contiene el registro \$2 más el desplazamiento. La nueva dirección calculada debe ser múltiplo de cuatro	lw \$1, desplazamiento(\$2)
lb	Carga en el registro \$1 el byte de memoria apuntado por la dirección almacenada en el registro \$2 más el desplazamiento	lb \$1, desplazamiento(\$2)
sw	Almacena en memoria en la posición obtenida de sumarle el desplazamiento a la dirección del registro \$2, la palabra del registro \$1. La dirección debe ser múltiplo de 4	sw \$1, desplazamiento(\$1)
sb	Almacena en la posición de memoria correspondiente al valor de \$2 más el desplazamiento, el primer byte de la palabra almacenada en \$1	sb \$1, desplazamiento(\$2)
beq	Si el valor de \$1 y \$2 es igual se modifica el valor del PC para pasar a ejecutar el trozo de código apuntado por la etiqueta	beq \$1, \$1, etiqueta
bne	Si el valor de \$1 y \$2 no es igual se modifica el valor del PC para pasar a ejecutar el trozo de código apuntado por la etiqueta	bne \$1, \$1, etiqueta

Instrucciones tipo R: utilizado por las instrucciones aritméticas y lógicas.

Inst.	Definición	Formato
add	Almacena en el registro \$1 el valor de la suma de los otros dos	add \$1, \$2, \$3
sub	Almacena en el \$1 el valor de la resta de \$2 (minuendo), menos el \$3 (sustraendo)	sub \$1, \$2, \$3
and	Almacena en el \$1 el resultado de hacer una operación AND entre los otros dos registros	and \$1, \$2, \$3
or	Almacena en el \$1 el resultado de hacer una operación OR entre los registros \$2 y \$3	or \$1, \$2, \$3
slt	Coloca un 1 en el registro \$1 si el valor almacenado en \$2 es menor que el de \$3. Si no lo es se almacena un 0 en \$1.	slt \$1, \$2, \$3
jr	Modifica la dirección del PC por aquel valor almacenado en el registro \$1	jr \$1
sll	Almacena en el registro \$1 el valor del registro \$2 desplazado n bits a la izquierda	sll \$1, \$2, n
srl	Almacena en el registro \$1 el valor del registro \$2 desplazado n bits a la derecha	srl \$1, \$2, n
sra	Almacena en el registro \$1 el valor del registro \$2 después de hacer un desplazamiento aritmético de n bits a la derecha	sra \$1, \$2, n

Objetivo

Diseñar un “datapath” con arquitectura tipo MIPS de 32 bits capaz de ejecutar las siguientes instrucciones de las siguientes tabla:

Instrucción	Tipo
Add	R
Sub	R
Or	R
And	R
Addi	I
Ori	I
Andi	I
Lw	I
Sw	I
slt	R
Slti	I
beq	I

j	J
nop	R

Debe de elegir un algoritmo previamente aprobado por su profesor, y que sea posible implementar con el set reducido de instrucciones de la tabla 1 y 2. Este programa previamente definido en ensamblador debe ser codificado a código binario y precargado en la memoria de instrucciones para que el datapath lo ejecute, recuerde definir cada uno de los aspectos de dicho programa, secciones de los registros en el banco de registros para base pointers, resultados, resultado de comparaciones, etc. Asi como los datos pre-cargados en su memoria de datos.

Investigación

Ljubisa Bajic

Es un ingeniero eléctrico serbio-canadiense que es el fundador y ex CEO de la empresa de chips de inteligencia artificial Tenstorrent. Tiene una amplia experiencia en el diseño de microarquitecturas de chips, habiendo trabajado en empresas como AMD, NVIDIA y Google.

Sus principales aportaciones en microarquitectura incluyen:

- El desarrollo de la microarquitectura Zen de AMD, que se utiliza en los procesadores Ryzen y Threadripper.
- El desarrollo de la microarquitectura Volta de NVIDIA, que se utiliza en las tarjetas

gráficas de la serie RTX.

- El desarrollo de la microarquitectura TPU de Google, que se utiliza en los servicios

de inteligencia artificial de la empresa, como Google Cloud AutoML.

Jim Keller

Es un ingeniero eléctrico estadounidense que es conocido como uno de los principales diseñadores de chips de la industria. Ha trabajado en empresas como AMD, Apple, Intel y Tesla.

Sus principales aportaciones en microarquitectura incluyen:

- El desarrollo de la microarquitectura Athlon de AMD, que fue el primer procesador de la empresa en competir con éxito con los procesadores de Intel.
- El desarrollo de la microarquitectura PowerPC G5 de Apple, que se utilizó en los ordenadores iMac, PowerBook y Power Mac G5.
- El desarrollo de la microarquitectura Core de Intel, que se utiliza en los procesadores Core i3, Core i5, Core i7 y Core i9.
- El desarrollo de la microarquitectura Autopilot de Tesla, que se utiliza en los sistemas de conducción autónoma de los coches Tesla.

Raja Koduri

Es un destacado profesional en el mundo de la tecnología, ha dejado una huella significativa en el ámbito de la microarquitectura. Permíteme compartir algunas de sus contribuciones clave:

Desarrollo de Arquitectura GPU en Intel:

- Raja Koduri se unió a Intel en 2017 como arquitecto jefe de GPU discretas y otros campos relacionados.
- Durante su tiempo en la compañía, ocupó el cargo de vicepresidente y arquitecto en jefe, centrándose en el desarrollo de soluciones gráficas y tecnológicas avanzadas para Intel.

Objetivos Clave en Intel:

- Su misión era desarrollar una arquitectura GPU que pudiera competir con NVIDIA y AMD tanto en el sector profesional como en el mercado de consumo general.
- Estos objetivos incluían:
 - Rendimiento elevado: A la altura de las últimas generaciones de NVIDIA y AMD.
 - Escalabilidad: Diseñar GPUs más o menos potentes según las necesidades del momento.

- Eficiencia y optimización: Relación rendimiento por vatio consumido y soporte adecuado a nivel de software y drivers.
- Compatibilidad con tecnologías avanzadas: Equipada con hardware especializado en trazado de rayos e inteligencia artificial.

Arc Alchemist: Objetivo Cumplido, Pero a Medias:

- Raja Koduri lideró el desarrollo de la arquitectura Arc Alchemist, que representa un paso importante en la estrategia gráfica de Intel.
- Aunque se lograron avances significativos, aún queda camino por recorrer para competir plenamente con los líderes del mercado gráfico.

Desarrollo

Código de Ensamblador en Phyton

Código de Ensamblador en Phyton

```
from tkinter import *  
from tkinter import filedialog  
import io
```

1. from tkinter import :

- Importa todos los elementos (clases, funciones, etc.) de la biblioteca tkinter. Esto incluye todo lo necesario para crear y gestionar ventanas, widgets (como botones y cuadros de texto), y otros elementos de una interfaz gráfica.

2. from tkinter import filedialog:

- Importa el módulo filedialog de tkinter, que proporciona funciones para mostrar cuadros de diálogo de apertura y guardado de archivos. Estos cuadros de diálogo permiten a los usuarios seleccionar archivos y carpetas.

3. import io:

- Importa el módulo io de la biblioteca estándar de Python. io proporciona herramientas para trabajar con corrientes de entrada/salida (streams), como leer o escribir en búferes de memoria (BytesIO y StringIO).

```

def vistaPrevia():
    archivo=open(ruta.cget("text"), "r")
    vistaArchivo.config(state=NORMAL)
    vistaArchivo.delete('1.0', END)
    for linea in archivo:
        datos=""
        if(("lw" in linea) or ("sw" in linea)):
            linea=linea.replace(' ', '')
            linea=linea.replace('#', ',')
            linea=linea.replace('$', ',')
            linea=linea.replace('(', ')')
            linea=linea.replace(')', ')')
            numeros=linea.split(',')
            numeros.pop(0)
        else:
            linea=linea.replace(', ', '')
            linea=linea.replace('#', ',')
            linea=linea.replace('$', ',')
            numeros=linea.split(',')
            numeros.pop(0)
        #addi
        if("addi" in linea):
            linea=linea.replace('addi', '')
            datos+="001000"
            datos+=convertirBinarioR(int(numeros[0]))
            datos+=convertirBinarioR(int(numeros[1]))
            datos+=convertirBinarioI(int(numeros[2]))
            datos+="\n"
            vistaArchivo.insert(INSERT, datos)
        #add
        if("add" in linea):
            linea=linea.replace('add', '')
            datos+="000000"
            datos+=convertirBinarioR(int(numeros[1]))
            datos+=convertirBinarioR(int(numeros[2]))
            datos+=convertirBinarioR(int(numeros[0]))
            datos+="xxxxx100000\n"
            vistaArchivo.insert(INSERT, datos)

```

Esta función se encarga de realizar una vista previa de un archivo, interpretar las líneas y convertirlas en instrucciones MIPS. La entrada es el contenido de un archivo de texto, y la salida se inserta en un widget de texto (vistaArchivo).

El código procesa cada línea del archivo, identifica el tipo de instrucción MIPS y genera el código binario correspondiente.

La función utiliza la variable ruta para obtener la ruta del archivo seleccionado mediante un cuadro de diálogo proporcionado por filedialog. Es probable que exista código adicional que llame a este fragmento de código cuando se selecciona un archivo.

```

def devolverRuta():
    direccion=filedialog.askopenfilename(initialdir="",
                                         title="Selecciona un archivo asm",
                                         filetypes=(("Texto", "*.txt"),
                                                      ("Todos", "*.*")))

    if(direccion==" " and ruta.cget("text")=="Ruta del archivo"):
        ruta.config(text="Ruta del archivo")
    elif(direccion!=" "):
        ruta.config(text=direccion)
        vistaPrevia()

def convertirArchivo():
    archivoBinario=open("instruccionesBinarias.txt", "w")
    texto=vistaArchivo.get('1.0', END).splitlines()
    contador=0
    for line in texto:
        entero=0
        for i in line:
            if(contador==8):
                contador=0
                archivoBinario.write("\n")
                contador+=1
                archivoBinario.write(line[entero])
                entero+=1
    vistaArchivo.config(state=NORMAL)
    vistaArchivo.delete('1.0', END)
    vistaArchivo.insert(INSERT, 'Tu archivo se creo con exito\n')
    vistaArchivo.config(state=DISABLED)
    archivoBinario.close()

```

1. devolverRuta:

- Esta función esta diseñada para obtener la ruta de un archivo mediante un cuadro de diálogo proporcionado por `filedialog.askopenfilename`.
- Se establece un directorio inicial (`initialdir`) como vacío, el título del cuadro de diálogo es "Selecciona un archivo asm", y se especifica que se deben mostrar archivos de texto (*.txt) o todos los archivos (*.*)).
- Si el usuario selecciona un archivo (`direccion != " "`), se actualiza el texto del widget llamado `ruta` con la ruta seleccionada y luego se llama a la función `vistaPrevia`.

2. convertirArchivo:

- Esta función esta diseñada para convertir el contenido del widget `vistaArchivo` a un archivo binario llamado "instruccionesBinarias.txt".
- Se abre el archivo en modo de escritura ("w").
- Luego, se obtiene el contenido de `vistaArchivo` línea por línea y se itera a través de cada carácter.
- Se escribe cada carácter en el archivo binario, y cuando se alcanza un contador de 8 caracteres, se inserta un salto de línea.
- Después de escribir el contenido, se limpia el contenido de `vistaArchivo` y se le inserta un mensaje indicando que el archivo binario se creó con éxito.

```

def convertirBinarioR(num):
    if(num>31):
        print("Tu numero excede el limite\n")
        return '11111'
    elif(num==0):
        return '00000'
    binario=''
    while num-1 != 0:
        if(num%2 ==0):
            binario+='0'
            num=num/2
        else:
            binario+='1'
            num=int(num/2)
    binario+='1'
    while(len(binario)<5):
        binario+='0'
    return binario[::-1]

def convertirBinarioI(num):
    if(num>65535):
        print("Tu numero excede el limite\n")
        return '1111111111111111'
    elif(num==0):
        return '0000000000000000'
    binario=''
    while num-1 != 0:
        if(num%2 ==0):
            binario+='0'
            num=num/2
        else:
            binario+='1'
            num=int(num/2)
    binario+='1'
    while(len(binario)<16):
        binario+='0'
    return binario[::-1]

```

1. convertirBinarioR(num):

- Esta función convierte un número entero num en una representación binaria de 5 bits, que es comúnmente utilizada para los registros en el conjunto de instrucciones MIPS.

- Si num excede el límite de 31, imprime un mensaje de advertencia y devuelve '11111'.
- Si num es igual a 0, devuelve '00000'.
- En caso contrario, realiza la conversión binaria del número num.
 - Utiliza un bucle para obtener los bits de la representación binaria y construir la cadena binario.
 - Asegura que la cadena binaria tenga una longitud de 5 bits, agregando ceros a la izquierda si es necesario.
 - Devuelve la representación binaria invertida, ya que se está construyendo desde los bits menos significativos.

2. **convertirBinarioI(num):**

- Similar a convertirBinarioR, esta función convierte un número entero num en una representación binaria de 16 bits, que es comúnmente utilizada para las instrucciones de tipo I en MIPS.
- Si num excede el límite de 65535, imprime un mensaje de advertencia y devuelve '1111111111111111'.
- Si num es igual a 0, devuelve '0000000000000000'.
- Realiza la conversión binaria de num utilizando un bucle similar al de convertirBinarioR.
- Asegura que la cadena binaria tenga una longitud de 16 bits, agregando ceros a la izquierda si es necesario.
- Devuelve la representación binaria invertida.

```
def convertirBinarioJ(num):
    if(num==0):
        return '0000000000000000000000000000'
    binario=''
    while num-1 != 0:
        if(num%2 ==0):
            binario+='0'
            num=num/2
        else:
            binario+='1'
            num=int(num/2)
    binario+='1'
    while(len(binario)<26):
        binario+='0'
    return binario[::-1]
```

```
ventana=Tk()
ventana.title("Decodificador")
ventana.resizable(False, False)
```

3. convertirBinarioJ(num):

- Esta función convierte un número entero num en una representación binaria de 26 bits, que es comúnmente utilizada para las instrucciones de tipo J en el conjunto de instrucciones MIPS.
- Si num es igual a 0, devuelve '00000000000000000000000000'.
- Realiza la conversión binaria de num utilizando un bucle similar al de las funciones anteriores.
- Asegura que la cadena binaria tenga una longitud de 26 bits, agregando ceros a la izquierda si es necesario.
- Devuelve la representación binaria invertida.

La función utiliza un enfoque de división sucesiva para convertir el número en binario y asegura que la cadena binaria resultante tenga la longitud deseada.

```
ventana=Tk()
ventana.title("Decodificador")
ventana.resizable(False, False)

frame=Frame(ventana)
frame.pack()

titulo=Label(frame, text="Busca el archivo para convertir", width="45")
titulo.grid(row=0, column=0, columnspan=3)
titulo.config(fg="blue", font="12")
titulo.config(padx=10, pady=10)

selector=Button(frame, text="Buscar archivo", command=devolverRuta, width="15")
selector.grid(row=1, column=0, sticky="ne")
selector.config(activeforeground="blue", bd="5")

ruta=Label(frame, text="Ruta del archivo", width="37")
ruta.grid(row=1, column=1, columnspan=2, sticky="w")
ruta.config(bg="lightgrey", fg="blue")

aplicar=Button(frame, text="Exportar", command=convertirArchivo, width="15")
aplicar.grid(row=2, column=0, sticky="ne")
aplicar.config(activeforeground="red", bd="5")

vistaArchivo=Text(frame, width="35", height="10")
vistaArchivo.grid(row=2, column=1)
vistaArchivo.config(bg="lightgrey")

scroll=Scrollbar(frame, command=vistaArchivo.yview)
scroll.grid(row=2, column=2, sticky="nsew")

vistaArchivo.config(yscrollcommand=scroll.set)

ventana.mainloop()
```

Creación de la Ventana (Tk()):

- Se crea una instancia de la clase Tk, que representa la ventana principal de la interfaz gráfica.

- Se establece el título de la ventana como "Decodificador".
- Se hace que la ventana no sea redimensionable tanto horizontal como verticalmente.

Creación de un Marco (**Frame**) y Empaquetado:

- objeto Frame que actuará como un contenedor para otros widgets.
- El marco se empaqueta en la ventana principal.

Creación de Etiquetas y Botones:

```
python
titulo=Label(frame, text="Busca el archivo para convertir", width="45")
titulo.grid(row=0, column=0, columnspan=3)
titulo.config(fg="blue", font="12")
titulo.config(padx=10, pady=10)
```

- Se crea una etiqueta (Label) con el texto "Busca el archivo para convertir" y otras configuraciones.
- Se coloca la etiqueta en la primera fila (row=0) y ocupa tres columnas (column=0, columnspan=3).

```
selector=Button(frame, text="Buscar archivo", command=devolverRuta,
width="15")
selector.grid(row=1, column=0, sticky="ne")
selector.config(activeforeground="blue", bd="5")
```

- Se crea un botón (Button) con el texto "Buscar archivo" y se asocia con la función devolverRuta cuando se hace clic.
- Se coloca el botón en la segunda fila (row=1) y primera columna (column=0) con opciones de alineación y configuraciones adicionales.

```
ruta=Label(frame, text="Ruta del archivo", width="37")
ruta.grid(row=1, column=1, columnspan=2, sticky="w")
ruta.config(bg="lightgrey", fg="blue")
```

- Se crea otra etiqueta (Label) con el texto "Ruta del archivo" y otras configuraciones.
- Se coloca la etiqueta en la segunda fila (row=1) y ocupa dos columnas (column=1, columnspan=2) con alineación a la izquierda.

```
aplicar=Button(frame, text="Exportar", command=convertirArchivo,
width="15")
aplicar.grid(row=2, column=0, sticky="ne")
aplicar.config(activeforeground="red", bd="5")
```

- Se crea otro botón (Button) con el texto "Exportar" y se asocia con la función convertirArchivo cuando se hace clic.

- Se coloca el botón en la tercera fila (row=2) y primera columna (column=0) con opciones de alineación y configuraciones adicionales.

Creación de un Área de Texto (Text) y Barra de Desplazamiento:

```
vistaArchivo=Text(frame, width="35", height="10")
vistaArchivo.grid(row=2, column=1)
vistaArchivo.config(bg="lightgrey")
```

- Se crea un widget de texto (Text) con un ancho de 35 caracteres y una altura de 10 líneas.
- Se coloca el widget de texto en la tercera fila (row=2) y segunda columna (column=1).

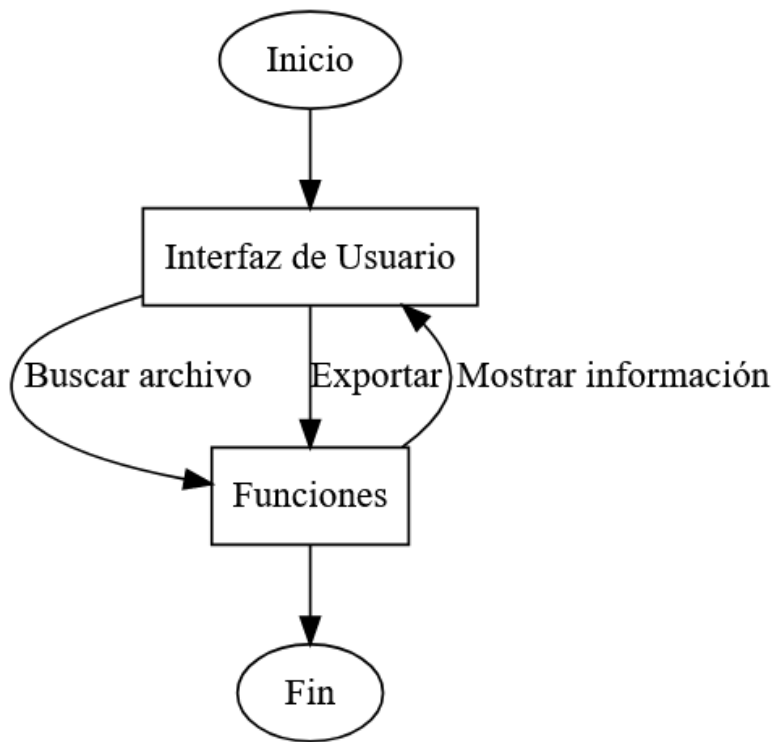
```
scroll=Scrollbar(frame, command=vistaArchivo.yview)
scroll.grid(row=2, column=2, sticky="nsew")
```

- Se crea una barra de desplazamiento (Scrollbar) y se asocia con el método yview del widget de texto.
- Se coloca la barra de desplazamiento en la tercera fila (row=2) y tercera columna (column=2) con opciones de alineación.

```
vistaArchivo.config(yscrollcommand=scroll.set)
```

- Se configura el widget de texto para usar la barra de desplazamiento vertical.

DIAGRAMA DE FLUJO



Comienzo: Creamos una ventana para la aplicación.

Interfaz de Usuario:

- Agregamos un título y botones para buscar y exportar archivos.
- Mostramos información como la ruta del archivo seleccionado.

Funciones:

- Creamos funciones para realizar acciones específicas, como abrir y procesar archivos.
- Mostramos información en la interfaz de usuario.

Fin:

- La aplicación termina.

Flujo:

1. Comenzamos la aplicación.
2. La interfaz de usuario incluye un título y botones para buscar y exportar archivos.
3. El usuario busca un archivo, y la interfaz muestra la ruta seleccionada.
4. El usuario hace clic en "Exportar", lo que activa funciones para procesar el archivo y mostrar información en la interfaz.
5. El flujo vuelve a la interfaz de usuario, donde se muestra información relevante.
6. La aplicación termina.



test: Bloc de notas

Archivo Edición Formato

```
add $1, $2, $3
add $2, $3, $5
sub $1, $2, $3
sub $2, $3, $5
slt $1, $2, $3
slt $2, $3, $5
and $1, $2, $3
and $1, $2, $3
j, #40
```

Instrucciones de Tipo R

1. **add \$1, \$2, \$3**
 - Suma el contenido de los registros \$2 y \$3 y almacena el resultado en el registro \$1.
2. **add \$2, \$3, \$5**
 - Suma el contenido de los registros \$3 y \$5 y almacena el resultado en el registro \$2.
3. **sub \$1, \$2, \$3**
 - Resta el contenido de los registros \$2 y \$3 y almacena el resultado en el registro \$1.
4. **sub \$2, \$3, \$5**
 - Resta el contenido de los registros \$3 y \$5 y almacena el resultado en el registro \$2.
5. **slt \$1, \$2, \$3**
 - Establece el registro \$1 en 1 si el contenido de \$2 es menor que el contenido de \$3; de lo contrario, establece \$1 en 0.
6. **slt \$2, \$3, \$5**
 - Establece el registro \$2 en 1 si el contenido de \$3 es menor que el contenido de \$5; de lo contrario, establece \$2 en 0.
7. **and \$1, \$2, \$3**
 - Realiza una operación lógica AND entre los contenidos de los registros \$2 y \$3 y almacena el resultado en el registro \$1.
8. **and \$1, \$2, \$3**
 - Nota: Esta instrucción es idéntica a la anterior; podría ser un error tipográfico o duplicación.
9. **j, #40**
 - Salta a la dirección de memoria especificada, en este caso, a la dirección de memoria 40.



instruccionesBinarias: Bloc de notas

Archivo Edición Formato Ver Ayuda

00000000

01000011

00001xxx

xx100000

00000000

01100101

00010xxx

xx100000

00000000


01000011

00001xxx

xx100010

○

Instrucciones Tipo J

 Instrucciones tipoj: Bloc de notas

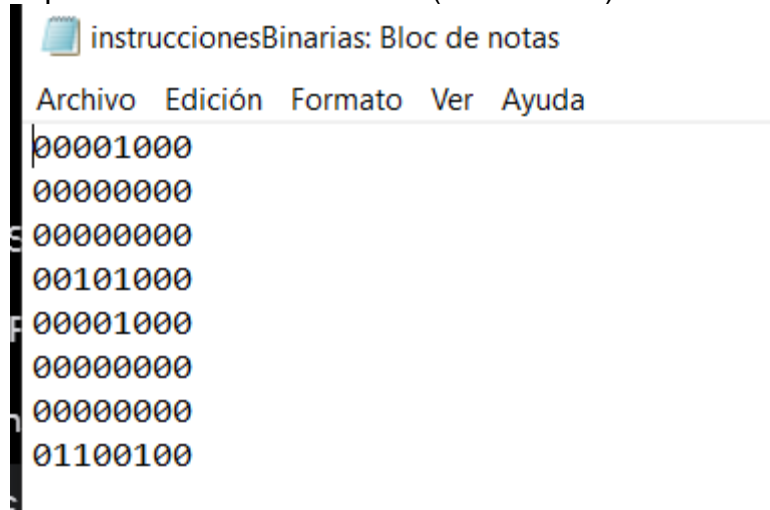
Archivo Edición Formato Ver Ayuda

```
j, #40
jal, #100
jr, $ra
jalr, $t0, $t1
bgez, $t2, #150
bltz, $t3, #-20
j, #10
jal, #200
j, #50
j, #0xABCDEF
```

1. **j, #40**
 - Significado: Salta incondicionalmente a la dirección de memoria especificada, que en este caso sería 40. La instrucción j es una instrucción de salto incondicional.
2. **jal, #100**
 - Significado: Salto incondicional a la dirección de memoria especificada (100) y guarda la dirección de retorno en el registro \$ra (registro de retorno de enlace). La instrucción jal es un salto incondicional con enlace, usado para llamadas a funciones.
3. **jr, \$ra**
 - Significado: Salto a la dirección almacenada en el registro de retorno de enlace (\$ra). Esta instrucción se utiliza comúnmente para regresar de una llamada a función.
4. **jalr, \$t0, \$t1**
 - Significado: Salto a la dirección almacenada en el registro \$t0 y guarda la dirección de retorno en el registro \$t1. La instrucción jalr es similar a jal, pero toma la dirección de destino de un registro.
5. **bgez, \$t2, #150**
 - Significado: Salto a la dirección de memoria especificada (150) si el contenido del registro \$t2 es mayor o igual a cero.
6. **bltz, \$t3, #-20**
 - Significado: Salto a la dirección de memoria especificada (menos 20) si el contenido del registro \$t3 es menor que cero.
7. **j, #10**
 - Significado: Salto incondicional a la dirección de memoria especificada (10).
8. **jal, #200**
 - Significado: Salto incondicional a la dirección de memoria especificada (200) y guarda la dirección de retorno en \$ra.
9. **j, #50**
 - Significado: Salto incondicional a la dirección de memoria especificada (50).

10.j, #0xABCDEF

- Significado: Salto incondicional a la dirección de memoria especificada en hexadecimal (0xABCDEF).



```
00001000
00000000
00000000
00101000
00001000
00000000
00000000
01100100
```

INSTRUCCIONES DE TIPO I



Instrucciones tipoI: Bloc de notas

Archivo Edición Formato Ver Ayuda

```
addi $1, $2, #1
addi $3, $4, #2
andi $5, $6, #3
ori $7, $8, #4
slti $9, $10, #5
mul $11, $12, #6
div $13, $14, #7
sw $15, 8($16)
lw $17, 9($18)
```

1. **addi \$1, \$2, #1**
 - Significado: Suma el contenido del registro \$2 con el valor inmediato 1 y almacena el resultado en el registro \$1.
2. **addi \$3, \$4, #2**
 - Significado: Similar al anterior, pero suma el contenido del registro \$4 con el valor inmediato 2 y almacena el resultado en el registro \$3.
3. **andi \$5, \$6, #3**
 - Significado: Realiza una operación AND bit a bit entre el contenido del registro \$6 y el valor inmediato 3, almacenando el resultado en el registro \$5.
4. **ori \$7, \$8, #4**
 - Significado: Realiza una operación OR bit a bit entre el contenido del registro \$8 y el valor inmediato 4, almacenando el resultado en el registro \$7.
5. **slti \$9, \$10, #5**
 - Significado: Establece el registro \$9 en 1 si el contenido del registro \$10 es menor que el valor inmediato 5; de lo contrario, lo establece en 0.
6. **mul \$11, \$12, #6**
 - Significado: Multiplica el contenido del registro \$12 por el valor inmediato 6 y almacena el resultado en el registro \$11.
7. **div \$13, \$14, #7**
 - Significado: Divide el contenido del registro \$14 por el valor inmediato 7 y almacena el cociente en el registro \$13.
8. **sw \$15, 8(\$16)**
 - Significado: Almacena el contenido del registro \$15 en la memoria en la dirección calculada sumando el valor inmediato 8 al contenido del registro \$16.
9. **lw \$17, 9(\$18)**
 - Significado: Carga en el registro \$17 el valor almacenado en la memoria en la dirección calculada sumando el valor inmediato 9 al contenido del registro \$18.

Módulos de verilog

26_Shift_Left_2.v

```
module Shift_Left_2_2(  
input [25:0]SL_in,  
output reg[27:0]SL_out  
);  
  
always @*  
begin  
    SL_out = SL_in << 2;  
end  
endmodule
```

Parámetros del módulo:

- input [25:0] SL_in: Es una entrada de 26 bits (SL_in), donde los bits están indexados desde 25 hasta 0. Este rango especifica que SL_in es un bus de 26 bits.
- output reg [27:0] SL_out: Es una salida de 28 bits (SL_out), donde los bits están indexados desde 27 hasta 0. Este rango especifica que SL_out es un registro (indica reg) de 28 bits.

Bloque de código dentro de always @*:

- SL_out = SL_in << 2;; Esta línea realiza una operación de desplazamiento a la izquierda (<<) en la entrada SL_in de 2 bits. En términos simples, esto significa que todos los bits en SL_in se desplazarán dos posiciones hacia la izquierda, y los bits vacíos a la derecha se llenarán con ceros. El resultado se asigna a la salida SL_out.

Este módulo toma una entrada de 26 bits (SL_in), realiza un desplazamiento a la izquierda en 2 bits y asigna el resultado a una salida de 28 bits (SL_out). Este tipo de operación de desplazamiento a menudo se utiliza en arquitecturas como MIPS para realizar operaciones de multiplicación o desplazamientos en instrucciones de máquina.

ADD.v

```
module ADDER(  
input [31:0] O1,  
input [31:0] O2,  
output reg [31:0] Res);  
  
always@*  
begin  
    Res = O1 + O2;  
end
```

```
end
```

```
endmodule
```

Parámetros del módulo:

- input [31:0] O1: Es una entrada de 32 bits (O1), donde los bits están indexados desde 31 hasta 0. Este rango especifica que O1 es un bus de 32 bits.
- input [31:0] O2: Es otra entrada de 32 bits (O2), con la misma configuración que O1.
- output reg [31:0] Res: Es una salida de 32 bits (Res), donde los bits están indexados desde 31 hasta 0. Este rango especifica que Res es un registro (indica reg) de 32 bits.

Bloque de código dentro de always @*:

- Res = O1 + O2;; Esta línea realiza una operación de suma (+) entre las entradas O1 y O2. El resultado se asigna a la salida Res.

Este módulo toma dos entradas de 32 bits (O1 y O2), realiza una operación de suma y asigna el resultado a una salida de 32 bits (Res).

IFID.v

```
//BUFFER 1: IF/ID
module IFID(
input clk,
input [31:0]Next_address,
input [31:0]Instruction,
output reg [31:0]O_Next_address,
output reg [31:0]O_Instruction);

always @(posedge clk)
begin
    O_Next_address = Next_address;
    O_Instruction = Instruction;
end

endmodule
```

Parámetros del módulo:

- input clk: Es una entrada que representa la señal de reloj.
- input [31:0] Next_address: Es una entrada de 32 bits que representa la dirección de la siguiente instrucción en el pipeline.
- input [31:0] Instruction: Es otra entrada de 32 bits que representa la instrucción actual en el pipeline.

- output reg [31:0] O_Next_address: Es una salida de 32 bits que retiene la dirección de la siguiente instrucción.
- output reg [31:0] O_Instruction: Es otra salida de 32 bits que retiene la instrucción actual.

Bloque de código dentro de always @(posedge clk):

- O_Next_address = Next_address;; En cada flanco de subida del reloj, la salida O_Next_address se actualiza con el valor presente en la entrada Next_address.
- O_Instruction = Instruction;; De manera similar, la salida O_Instruction se actualiza con el valor presente en la entrada Instruction en cada flanco de subida del reloj.

Este módulo actúa como un registro que retiene la dirección de la siguiente instrucción (O_Next_address) y la instrucción actual (O_Instruction) en el pipeline, actualizándolas en cada ciclo de reloj. Este tipo de registros son típicos en el diseño de procesadores para mantener el estado de las etapas del pipeline.

IDEX.v

```
//BUFFER 2: ID/EX
module IDEX(
input clk,
input [1:0]I_WB,
input [2:0]I_M,
input [4:0]I_EX,
input [31:0]I_Next_address,
input [31:0]I_O1,
input [31:0]I_O2,
input [31:0]I_Ext_Inmed,
input [4:0]I_RT,
input [4:0]I_RD,
output reg [1:0]O_WB,
output reg [2:0]O_M,
output reg O_EX_RegDst,
output reg [2:0]O_EX_ALUOp,
output reg O_EX_ALUSrc,
output reg [31:0]O_Next_address,
output reg [31:0]O_O1,
output reg [31:0]O_O2,
output reg [31:0]O_Ext_Inmed,
output reg [4:0]O_RT,
output reg [4:0]O_RD);

always @(posedge clk)
```

```

begin
    O_WB=I_WB;
    O_M=I_M;
    O_EX_RegDst=I_EX[0];
    O_EX_ALUOp=I_EX[3:1];
    O_EX_ALUSrc=I_EX[4];
    O_Next_address=I_Next_address;
    O_O1=I_O1;
    O_O2=I_O2;
    O_Ext_Inmed=I_Ext_Inmed;
    O_RT=I_RT;
    O_RD=I_RD;
end

endmodule

```

Parámetros del módulo:

- input clk: Es una entrada que representa la señal de reloj.
- input [1:0] I_WB: Es una entrada de 2 bits que parece estar relacionada con la escritura de datos de vuelta (write back).
- input [2:0] I_M: Es una entrada de 3 bits, posiblemente relacionada con el manejo de memoria.
- input [4:0] I_EX: Es una entrada de 5 bits que parece estar relacionada con la etapa de ejecución.
- input [31:0] I_Next_address: Es una entrada de 32 bits que representa la dirección de la siguiente instrucción en el pipeline.
- input [31:0] I_O1: Es una entrada de 32 bits.
- input [31:0] I_O2: Es otra entrada de 32 bits.
- input [31:0] I_Ext_Inmed: Es otra entrada de 32 bits, posiblemente una extensión inmediata.
- input [4:0] I_RT: Es una entrada de 5 bits.
- input [4:0] I_RD: Es otra entrada de 5 bits.
- output reg [1:0] O_WB: Es una salida de 2 bits.
- output reg [2:0] O_M: Es una salida de 3 bits.
- output reg O_EX_RegDst: Es una salida de 1 bit.
- output reg [2:0] O_EX_ALUOp: Es una salida de 3 bits relacionada con la operación de la ALU.
- output reg O_EX_ALUSrc: Es una salida de 1 bit relacionada con la fuente de datos de la ALU.
- output reg [31:0] O_Next_address: Es una salida de 32 bits que retiene la dirección de la siguiente instrucción.
- output reg [31:0] O_O1: Es una salida de 32 bits.
- output reg [31:0] O_O2: Es otra salida de 32 bits.
- output reg [31:0] O_Ext_Inmed: Es otra salida de 32 bits.

- output reg [4:0] O_RT: Es una salida de 5 bits.
- output reg [4:0] O_RD: Es otra salida de 5 bits.

Bloque de código dentro de always @(posedge clk):

- Este bloque asigna las entradas a las salidas en cada flanco de subida del reloj, efectivamente registrando los valores presentes en las entradas.

Este módulo IDEX retiene y registra diversos campos relacionados con la etapa de ejecución de un pipeline en un procesador. Las entradas representan información de la etapa de instrucción/decodificación, y las salidas retienen y proporcionan esta información para la etapa de ejecución siguiente.

EXMEM.v

```
//BUFFER 3: EX/MEM
module EXMEM(
input clk,
input [1:0]I_WB,
input [2:0]I_M,
input [31:0]I_ADD_Res,
input I_ZF,
input [31:0]I_ALU_Res,
input [31:0]I_DatWri_Mem,
input [4:0]I_Addr_Reg_Wri,
output reg [1:0]O_WB,
output reg O_M_Branch,
output reg O_M_MemRead,
output reg O_M_MemWrite,
output reg [31:0]O_ADD_Res,
output reg O_ZF,
output reg [31:0]O_ALU_Res,
output reg [31:0]O_DatWri_Mem,
output reg [4:0]O_Addr_Reg_Wri);

always @(posedge clk)
begin
    O_WB=I_WB;
    O_M_Branch=I_M[0];
    O_M_MemRead=I_M[1];
    O_M_MemWrite=I_M[2];
    O_ADD_Res=I_ADD_Res;
    O_ZF=I_ZF;
    O_ALU_Res=I_ALU_Res;
    O_DatWri_Mem=I_DatWri_Mem;
    O_Addr_Reg_Wri=I_Addr_Reg_Wri;
end
```

```
endmodule
```

Parámetros del módulo:

- input clk: Es una entrada que representa la señal de reloj.
- input [1:0] I_WB: Es una entrada de 2 bits que parece estar relacionada con la escritura de datos de vuelta (write back).
- input [2:0] I_M: Es una entrada de 3 bits que posiblemente esté relacionada con operaciones de memoria (memoria de lectura/escritura, operaciones de branch).
- input [31:0] I_ADD_Res: Es una entrada de 32 bits que representa el resultado de una operación de suma realizada en la etapa de ejecución.
- input I_ZF: Es una entrada de 1 bit, posiblemente relacionada con la bandera de cero (zero flag).
- input [31:0] I_ALU_Res: Es una entrada de 32 bits que representa el resultado de una operación de la Unidad Lógico-Aritmética (ALU).
- input [31:0] I_DatWri_Mem: Es una entrada de 32 bits que representa los datos que se escribirán en memoria.
- input [4:0] I_Addr_Reg_Wri: Es una entrada de 5 bits que representa la dirección del registro que se actualizará en la etapa de escritura de vuelta.
- output reg [1:0] O_WB: Es una salida de 2 bits.
- output reg O_M_Branch: Es una salida de 1 bit que indica si se realizará una operación de branch en la etapa de memoria.
- output reg O_M_MemRead: Es una salida de 1 bit que indica si se realizará una operación de lectura de memoria en la etapa de memoria.
- output reg O_M_MemWrite: Es una salida de 1 bit que indica si se realizará una operación de escritura de memoria en la etapa de memoria.
- output reg [31:0] O_ADD_Res: Es una salida de 32 bits que retiene el resultado de la operación de suma.
- output reg O_ZF: Es una salida de 1 bit que retiene el estado de la bandera de cero.
- output reg [31:0] O_ALU_Res: Es una salida de 32 bits que retiene el resultado de la operación de la ALU.
- output reg [31:0] O_DatWri_Mem: Es una salida de 32 bits que retiene los datos que se escribirán en memoria.
- output reg [4:0] O_Addr_Reg_Wri: Es una salida de 5 bits que retiene la dirección del registro que se actualizará en la etapa de escritura de vuelta.

Bloque de código dentro de always @(posedge clk):

- Este bloque asigna las entradas a las salidas en cada flanco de subida del reloj, efectivamente registrando los valores presentes en las entradas.

Este módulo EXMEM retiene y registra diversos campos relacionados con la etapa de memoria de un pipeline en un procesador. Las entradas representan

información de la etapa de ejecución, y las salidas retienen y proporcionan esta información para la etapa de escritura de vuelta.

MEMWB.v

```
//BUFFER 4: MEM/WB
module MEMWB(
input clk,
input [1:0]I_WB,
input [31:0]I_ReDat_Mem,
input [31:0]I_ALU_Res,
input [4:0]I_Addr_Reg_Wri,
output reg O_WB_RegWrite,
output reg O_WB_MemtoReg,
output reg [31:0]O_ReDat_Mem,
output reg [31:0]O_ALU_Res,
output reg [4:0]O_Addr_Reg_Wri);

always @(posedge clk)
begin
    O_WB_RegWrite=I_WB[0];
    O_WB_MemtoReg=I_WB[1];
    O_ReDat_Mem=I_ReDat_Mem;
    O_ALU_Res=I_ALU_Res;
    O_Addr_Reg_Wri=I_Addr_Reg_Wri;
end

endmodule
```

Parámetros del módulo:

- input clk: Es una entrada que representa la señal de reloj.
- input [1:0] I_WB: Es una entrada de 2 bits que parece estar relacionada con la escritura de datos de vuelta (write back).
- input [31:0] I_ReDat_Mem: Es una entrada de 32 bits que representa los datos leídos de memoria.
- input [31:0] I_ALU_Res: Es una entrada de 32 bits que representa el resultado de una operación de la Unidad Lógico-Aritmética (ALU).
- input [4:0] I_Addr_Reg_Wri: Es una entrada de 5 bits que representa la dirección del registro que se actualizará en la etapa de escritura de vuelta.
- output reg O_WB_RegWrite: Es una salida de 1 bit que indica si se realizará una operación de escritura de vuelta.
- output reg O_WB_MemtoReg: Es una salida de 1 bit que indica si se realizará una operación de escritura de memoria a registro.
- output reg [31:0] O_ReDat_Mem: Es una salida de 32 bits que retiene los datos leídos de memoria.

- output reg [31:0] O_ALU_Res: Es una salida de 32 bits que retiene el resultado de la operación de la ALU.
- output reg [4:0] O_Addr_Reg_Wri: Es una salida de 5 bits que retiene la dirección del registro que se actualizará en la etapa de escritura de vuelta.

Bloque de código dentro de always @(posedge clk):

- Este bloque asigna las entradas a las salidas en cada flanco de subida del reloj, efectivamente registrando los valores presentes en las entradas.

Este módulo MEMWB retiene y registra diversos campos relacionados con la etapa de escritura de vuelta de un pipeline en un procesador. Las entradas representan información de la etapa de memoria, y las salidas retienen y proporcionan esta información para la etapa final de escritura de vuelta.

TB_3.v

```
`timescale 1ns/1ns
module TB_3();

reg clk_tb;

Datapath Datapath(.clk(clk_tb));

always #100 clk_tb = ~clk_tb;

initial
begin
    clk_tb = 1'b0;

    #20000
    $stop;
end

endmodule
```

Parámetros del módulo:

- reg clk_tb;: Declara una señal de reloj llamada clk_tb que será utilizada para clockear el módulo MyDatapath.

Instancia del módulo MyDatapath:

- MyDatapath _Datapath(.clk(clk_tb));: Instancia el módulo MyDatapath y conecta la señal de reloj clk_tb a su entrada de reloj (clk).

Generación de la señal de reloj:

- `always #100 clk_tb = ~clk_tb;`: Genera una señal de reloj (`clk_tb`) que cambia su valor cada 100 unidades de tiempo. Esto simula un reloj con un período de 200 unidades de tiempo.

Bloque inicial:

- `initial begin ... end`: Este bloque se ejecuta al inicio de la simulación.
- `clk_tb = 1'b0;`: Inicializa la señal de reloj en 0.
- `#20000 $stop;`: La simulación se detendrá después de 20000 unidades de tiempo.

Este banco de pruebas (`Fase2_tb`) configura una simulación con un reloj (`clk_tb`) que cambia su valor cada 100 unidades de tiempo, instanciando el módulo `MyDatapath` y conectándolo a esta señal de reloj. La simulación se detendrá después de 20000 unidades de tiempo.

ADD_Clk.v

```
module ADD_Clk(
    input [31:0] operand,
    output reg [31:0] result
);

always @*
begin
    result = operand + 4;
end

endmodule
```

Parámetros del módulo:

- `input [31:0] operand`: Es una entrada de 32 bits llamada `operand`.
- `output reg [31:0] result`: Es una salida de 32 bits llamada `result` y se declara como un registro (`reg`).

Bloque de código dentro de `always @*`:

- `result = operand + 4;`: Esta línea realiza una operación de suma entre la entrada `operand` y la constante 4. El resultado se asigna a la salida `result`.

Este módulo `MyADD_4` toma un operando de 32 bits, le suma la constante 4 y devuelve el resultado en la salida `result`. Este tipo de módulos pueden ser útiles en diversas aplicaciones, como en el diseño de operaciones aritméticas específicas.

ALU.v

```
module ALU(
    input [31:0] operand1,
```

```

    input [31:0] operand2,
    input [3:0] alu_select,
    output reg zero_flag,
    output reg [31:0] result
);

always @*
begin
    case (alu_select)
        4'b0000:
            begin
                result = operand1 & operand2; // AND
            end

        4'b0001:
            begin
                result = operand1 | operand2; // OR
            end

        4'b0010:
            begin
                result = operand1 + operand2; //ADD
            end

        4'b0110:
            begin
                result = operand1 - operand2; //SUB
            end

        4'b0111:
            begin
                result = operand1 < operand2?1:0; // SLT
            end
        default:
            begin
                result=32'd0;
            end
    endcase

    zero_flag = result == 0;
end

endmodule

```

Parámetros del módulo:

- input [31:0] operand1: Es una entrada de 32 bits llamada operand1.

- input [31:0] operand2: Es otra entrada de 32 bits llamada operand2.
- input [3:0] alu_select: Es una entrada de 4 bits que selecciona la operación a realizar en la ALU.
- output reg zero_flag: Es una salida de 1 bit que representa la bandera de cero.
- output reg [31:0] result: Es una salida de 32 bits llamada result y se declara como un registro (reg).

Bloque de código dentro de always @*:

- case (alu_select): Este bloque de código selecciona la operación de la ALU según el valor de alu_select.
- Cada begin y end dentro de los case contienen la lógica para una operación específica.
- zero_flag = (result == 32'd0);: Se establece la bandera de cero en 1 si el resultado es igual a cero, de lo contrario, se establece en 0.

Este módulo MyALU implementa una ALU que realiza operaciones lógicas (AND, OR), aritméticas (ADD, SUB), y una operación de comparación (SLT). La bandera de cero (zero_flag) se establece según si el resultado de la operación es igual a cero. Este tipo de módulos son esenciales en el diseño de procesadores para realizar diversas operaciones.

ALU_C.v

```
module ALU_C(
    input [2:0] alu_operation,
    input [5:0] function_code,
    output reg [3:0] alu_select
);

always @*
begin
    case (alu_operation)
    3'b010:
    begin
        case (function_code)
        6'b100100:
            alu_select = 4'b0000; // AND
        6'b100101:
            alu_select = 4'b0001; // OR
        6'b100000:
            alu_select = 4'b0010; // ADD
        6'b100010:
            alu_select = 4'b0110; // SUBTRACT
        6'b101010:

```

```

        alu_select = 4'b0111; // SET ON LESS THAN (SLT)
        6'b000000:
            alu_select = 4'b0000; // Soporte a la operacion Nop
        endcase
    end
    3'b000:
    begin
        alu_select = 4'b0010; // ADD
    end
    3'b001:
    begin
        alu_select = 4'b0110; // SUBTRACT
    end
    3'b011:
    begin
        alu_select = 4'b0000; // AND
    end
    3'b100:
    begin
        alu_select = 4'b0001; // OR
    end
    3'b101:
    begin
        alu_select = 4'b0111; // SLT
    end

    endcase
end

endmodule

```

Parámetros del módulo:

- input [2:0] alu_operation: Es una entrada de 3 bits que representa la operación de la ALU.
- input [5:0] function_code: Es una entrada de 6 bits que representa el código de función.
- output reg [3:0] alu_select: Es una salida de 4 bits que representa la selección de operación de la ALU.

Bloque de código dentro de always @*:

- case (alu_operation): Este bloque de código selecciona la operación de la ALU basándose en el valor de alu_operation.
- Dentro de cada caso (begin y end), hay un segundo case que selecciona la operación de la ALU basándose en el valor de function_code.

- Dependiendo de los valores de `alu_operation` y `function_code`, se asigna la señal `alu_select` con la operación correspondiente.

Este módulo `MyALUControl` toma las señales de control `alu_operation` y `function_code` como entradas y genera la señal de selección de operación de la ALU (`alu_select`) de acuerdo con la operación deseada.

BR.v

```
module BR(
    input [4:0] address_reg1,
    input [4:0] address_reg2,
    input [4:0] address_write,
    input [31:0] data_write,
    input enable,
    output reg [31:0] data_read1,
    output reg [31:0] data_read2,
    input clk
);

reg [31:0] memory[0:31];

always @*
begin
    data_read1 = memory[address_reg1];
    data_read2 = memory[address_reg2];
end

always @(posedge clk)
begin
    if (enable && data_write != 32'bx)
    begin
        memory[address_write] = data_write;
    end
end

endmodule
```

Parámetros del módulo:

- `input [4:0] address_reg1`: Es una entrada de 5 bits que representa la dirección de memoria desde la cual leer `data_read1`.
- `input [4:0] address_reg2`: Es otra entrada de 5 bits que representa la dirección de memoria desde la cual leer `data_read2`.
- `input [4:0] address_write`: Es una entrada de 5 bits que representa la dirección de memoria en la cual escribir `data_write`.

- input [31:0] data_write: Es una entrada de 32 bits que representa los datos a escribir en memoria.
- input enable: Es una entrada que habilita la escritura en memoria.
- output reg [31:0] data_read1: Es una salida de 32 bits que retiene los datos leídos desde la dirección address_reg1.
- output reg [31:0] data_read2: Es otra salida de 32 bits que retiene los datos leídos desde la dirección address_reg2.

Arreglo de memoria:

- reg [31:0] memory[0:31];: Declara un arreglo de memoria llamado memory que puede almacenar 32 palabras de 32 bits.

Bloque de código dentro de always @*:

- if (enable && data_write !== 32'bx): Verifica si la habilitación está activa y si los datos de escritura son distintos de "x" (no definidos).
- memory[address_write] = data_write;: Si se cumple la condición anterior, se escribe data_write en la dirección de memoria especificada por address_write.
- data_read1 = memory[address_reg1];: Lee la memoria en la dirección especificada por address_reg1 y retiene los datos en data_read1.
- data_read2 = memory[address_reg2];: Lee la memoria en la dirección especificada por address_reg2 y retiene los datos en data_read2.

Este módulo MyBR implementa una memoria simple que puede leer de dos direcciones de memoria y escribir en una dirección de memoria específica cuando la habilitación está activa. Los datos se retienen en data_read1 y data_read2. La memoria puede ser inicializada descomentando la sección inicial que está comentada en el código.

UC.v

```
module UC(
    input [31:26] opcode,
    output reg reg_Dst,
    output reg branch,
    output reg memory_read,
    output reg memory_register,
    output reg [2:0] alu_operation,
    output reg memory_write,
    output reg ALU_Src,
    output reg reg_write,
    output reg jump
);

always @*
```

```

begin
  case (opcode)
    6'b000000:
      begin
        reg_Dst=1'b1;
        branch=1'b0;
        memory_read = 1'b0;
        memory_register = 1'b0;
        alu_operation = 3'b010;
        memory_write = 1'b0;
        ALU_Src=1'b0;
        reg_write = 1'b1;
        jump=1'b0;
      end
    6'b001000:
      begin
        reg_Dst=1'b0;
        branch=1'b0;
        memory_read = 1'b0;
        memory_register = 1'b0;
        alu_operation = 3'b000;
        memory_write = 1'b0;
        ALU_Src=1'b1;
        reg_write = 1'b1;
        jump=1'b0;
      end
    6'b001100:
      begin
        reg_Dst=1'b0;
        branch=1'b0;
        memory_read = 1'b0;
        memory_register = 1'b0;
        alu_operation = 3'b011;
        memory_write = 1'b0;
        ALU_Src=1'b1;
        reg_write = 1'b1;
        jump=1'b0;
      end
    6'b001101:
      begin
        reg_Dst=1'b0;
        branch=1'b0;
        memory_read = 1'b0;
        memory_register = 1'b0;
        alu_operation = 3'b100;

```

```

memory_write = 1'b0;
    ALU_Src=1'b1;
    reg_write = 1'b1;
    jump=1'b0;
end
6'b100011:
begin
    reg_Dst=1'b0;
    branch=1'b0;
    memory_read = 1'b1;
    memory_register = 1'b1;
    alu_operation = 3'b000;
memory_write = 1'b0;
    ALU_Src=1'b1;
    reg_write = 1'b1;
    jump=1'b0;
end
6'b101011://SW
begin
    reg_Dst=1'b0;
    branch=1'b0;
    memory_read = 1'b0;
    memory_register = 1'b0;
    alu_operation = 3'b000;
memory_write = 1'b1;
    ALU_Src=1'b1;
    reg_write = 1'b0;
    jump=1'b0;
end
6'b001010:
begin
    reg_Dst=1'b0;
    branch=1'b0;
    memory_read = 1'b0;
    memory_register = 1'b0;
    alu_operation = 3'b101;
memory_write = 1'b0;
    ALU_Src=1'b1;
    reg_write = 1'b1;
    jump=1'b0;
end
6'b000100:
begin
    reg_Dst=1'b0;
    branch=1'b1;

```

```

        memory_read = 1'b0;
        memory_register = 1'b0;
        alu_operation = 3'b001;
    memory_write = 1'b0;
        ALU_Src=1'b0;
        reg_write = 1'b0;
        jump=1'b0;
    end
    6'b000010://J
begin
        reg_Dst=1'b0;
        branch=1'b0;
        memory_read = 1'b0;
        memory_register = 1'b0;
        alu_operation = 3'b000;
    memory_write = 1'b0;
        ALU_Src=1'b0;
        reg_write = 1'b0;
        jump=1'b1;
    end
endcase
end
endmodule

```

Parámetros del módulo:

- input [31:26] opcode: Es una entrada de 6 bits que representa el código de operación de la instrucción.
- output reg reg_Dst: Salida que indica si la instrucción es de tipo R.
- output reg branch: Salida que indica si la instrucción es de salto condicional.
- output reg memory_read: Salida que indica si la instrucción realiza una lectura de memoria.
- output reg memory_register: Salida que indica si la instrucción involucra operaciones de memoria y registros.
- output reg [2:0] alu_operation: Salida que especifica la operación de la ALU.
- output reg memory_write: Salida que indica si la instrucción realiza una escritura en memoria.
- output reg ALU_Src: Salida que indica si la fuente de datos para la ALU es inmediata (1) o un registro (0).
- output reg reg_write: Salida que indica si la instrucción realiza una escritura en registros.
- output reg jump: Salida que indica si la instrucción es de salto incondicional.

Bloque de código dentro de always @*:

- case (opcode): Este bloque de código selecciona las señales de control basándose en el código de operación (opcode).
- Dentro de cada caso (begin y end), se establecen las señales de control correspondientes según la instrucción especificada por el opcode.

Aborda varias instrucciones comunes en arquitecturas MIPS, configurando las señales de control apropiadas para cada tipo de instrucción. Nota que algunas instrucciones están comentadas y pueden necesitar ser modificadas o implementadas dependiendo de los requerimientos específicos del procesador MIPS que estás diseñando.

Datapath.v

```
module Datapath(
    input clk
);

wire [31:0] add_result_1;
wire [31:0] add_result_2;
wire [31:0] add_result_3;
wire [31:0] instruction;
wire [31:0] instruction_2;
wire [25:0] instruction_3;
wire [4:0] instruction_4;
wire [4:0] instruction_5;
wire [31:0] data_read1;
wire [31:0] data_read2;
wire [31:0] data_read1_B;
wire [31:0] data_read2_B;
wire [31:0] data_read2_C;
wire [31:0] Mux_ALU_in2;
wire [31:0] Mux_ALU_in2_B;
wire Jump;
wire Jump_2;
wire Jump_3;
wire Jump_4;
wire [31:0] Add_In2_MuxPC;
wire [31:0] Add_In2_MuxPC_2;
wire tr_zf;
wire tr_zf_2;
wire [31:0] alu_result;
wire [31:0] alu_result_2;
wire [31:0] alu_result_3;
wire [4:0] Dir_Wri_BR;
wire [4:0] Dir_Wri_BR_2;
wire [4:0] Dir_Wri_BR_3;
```



```

wire [31:0] data_mem;
wire [31:0] data_mem_2;
wire [27:0] JAddress;
wire [31:0] JAddress_2;
wire [31:0] JAddress_3;
wire RegDst;
wire ALU_Src;
wire [2:0] control_aluop;
wire RegDst_2;
wire ALU_Src_2;
wire [2:0] control_aluop_2;
wire Branch;
wire control_memwrite;
wire control_memread;
wire Branch_2;
wire control_memwrite_2;
wire control_memread_2;
wire [2:0] M;
wire control_memreg;
wire control_regwrite;
wire control_memreg_2;
wire control_regwrite_2;
wire [1:0] WB;
wire [1:0] WB_2;
wire [31:0] data_write;

wire [3:0] control_alusel;
wire [31:0] address_result;
wire [31:0] Oper_2;
wire [31:0] pc_out;
wire [31:0] SL2_adder;
wire [31:0] MuxPC_PCin;
wire [31:0] MPC_MJ;

Clk      _Clock(.clk(clk),.in(MuxPC_PCin),.out(pc_out));
ADD_Clk  _ADD_clk(.operand(pc_out),.result(add_result_1));
INST_Mem _Mem_clk(.address(pc_out),.data(instruction_2));
BR       _BR(.clk(clk), .address_reg1(instruction[25:21]),
.address_reg2(instruction[20:16]), .address_write(Dir_Wri_BR_3),
.data_write(data_write), .enable(control_regwrite_2),
.data_read1(data_read1), .data_read2(data_read2));
UC       _Unidad_Control(.opcode(instruction[31:26]), .reg_Dst(RegDst),
.branch(Branch), .memory_read(control_memread),
.memory_register(control_memreg), .alu_operation(control_aluop),

```

```

.memory_write(control_memwrite), .ALU_Src(ALU_Src),
.reg_write(control_regwrite), .jump(Jump));
ALU_C      _ALU_C(.alu_operation(control_aluop_2),
.function_code(Mux_ALU_in2[5:0]), .alu_select(control_alusel));
ALU        _ALU(.operand1(data_read1_B), .operand2(Oper_2),
.alu_select(control_alusel), .zero_flag(tr_zf) ,.result(alu_result));
DATA_Mem   _Mem(.address(alu_result_2), .data_write(data_read2_C),
.write_enable(control_memwrite_2), .read_enable(control_memread_2),
.data_read(data_mem));
DatapathMx _Mux_Write_BR(.control_signal(control_memreg_2),.input_data_1(al
u_result_3),.input_data_2(data_mem_2), .output_data(data_write));
Datapath5   _Mux_Dir_BR(.control_signal(RegDst_2),
.input_data_1(instruction_4), .input_data_2(instruction_5),
.output_data(Dir_Wri_BR));
DatapathMx _Mux_D2_ALU(.control_signal(ALU_Src_2),
.input_data_1(data_read2_B), .input_data_2(Mux_ALU_in2),
.output_data(Oper_2));
sign_extend _Sign_extend(.Data_in(instruction[15:0]),
.Data_out(Mux_ALU_in2_B));
Shift_Left_2 _Shift_Left_2(.SL_in(Mux_ALU_in2), .SL_out(SL2_adder));
ADD          _Sumador(.01(add_result_3), .02(SL2_adder),
.Res(Add_In2_MuxPC));
DatapathMx _Mux_clk(.control_signal(Branch_2&tr_zf_2),
.input_data_1(add_result_1), .input_data_2(Add_In2_MuxPC_2),
.output_data(MPC_MJ));
DatapathMx _Mux(.control_signal(Jump_4), .input_data_1(MPC_MJ),
.input_data_2(JAddress_3), .output_data(MuxPC_PCin));
Shift_Left_2_2 _Shift_left_2_2(.SL_in(instruction_3), .SL_out(JAddress));
IFID         _Buffeer_1(.clk(clk),.Next_address(add_result_1),.Instruction(in
struction_2),.O_Next_address(add_result_2),.O_Instruction(instruction));
IDEX         _Buffer_2(.clk(clk), .I_WB({control_memreg,control_regwrite}),
.I_M({control_memwrite,control_memread,Branch}),
.I_EX({ALU_Src,control_aluop,RegDst}), .I_Next_address(add_result_2),
.I_O1(data_read1), .I_O2(data_read2), .I_Ext_Inmed(Mux_ALU_in2_B),
.I_RT(instruction[20:16]), .I_RD(instruction[15:11]), .I_Jump(Jump),
.I_Instr_J(instruction[25:0]), .O_WB(WB), .O_M(M), .O_EX_RegDst(RegDst_2),
.O_EX_ALUOp(control_aluop_2), .O_EX_ALUSrc(ALU_Src_2),
.O_Next_address(add_result_3), .O_O1(data_read1_B), .O_O2(data_read2_B),
.O_Ext_Inmed(Mux_ALU_in2), .O_RT(instruction_4), .O_RD(instruction_5),
.O_Jump(Jump_2), .O_Instr_J(instruction_3));
EXMEM        _Buffer_3(.clk(clk), .I_WB(WB), .I_M(M),
.I_ADD_Res(Add_In2_MuxPC), .I_ZF(tr_zf), .I_ALU_Res(alu_result),
.I_DatWri_Mem(data_read2_B), .I_Addr_Reg_Wri(Dir_Wri_BR), .I_Jump(Jump_2),
.I_Ins32_J({add_result_3[31:28],JAddress}), .O_WB(WB_2),
.O_M_Branch(Branch_2), .O_M_MemRead(control_memread_2),

```

```

.O_M_MemWrite(control_memwrite_2), .O_ADD_Res(Add_In2_MuxPC_2),
.O_ZF(tr_zf_2), .O_ALU_Res(alu_result_2), .O_DatWri_Mem(data_read2_C),
.O_Addr_Reg_Wri(Dir_Wri_BR_2), .O_Jump(Jump_3), .O_Ins32_J(JAddress_2));
MEMWB      _Buffer_4(.clk(clk), .I_WB(WB_2), .I_ReDat_Mem(data_mem),
.I_ALU_Res(alu_result_2), .I_Addr_Reg_Wri(Dir_Wri_BR_2), .I_Jump(Jump_3),
.I_Ins32_J(JAddress_2), .O_WB_RegWrite(control_regwrite_2),
.O_WB_MemtoReg(control_memreg_2), .O_ReDat_Mem(data_mem_2),
.O_ALU_Res(alu_result_3), .O_Addr_Reg_Wri(Dir_Wri_BR_3), .O_Jump(Jump_4),
.O_Ins32_J(JAddress_3));

initial
begin
$readmemb("Inicializacion Memoria de Instrucciones.txt",INST_Mem.memory);
$readmemb("Inicializacion BR.txt",BR.memory);
$readmemb("Inicializacion Memoria de Datos.txt",DATA_Mem.memory);
end

endmodule

```

Datapath básico de un procesador MIPS, donde diferentes módulos están interconectados para realizar operaciones específicas, como la ejecución de instrucciones, el control de la unidad, el acceso a memoria, etc. Las memorias de instrucciones y datos están inicializadas a partir de archivos de memoria. La simulación de este diseño en un entorno de simulación de Verilog permitirá observar el comportamiento del datapath y las interacciones entre los diferentes módulos durante la ejecución de programas MIPS.

DatapathMx.v

```

module DatapathMx(
    input control_signal,
    input [31:0] input_data_1, //0
    input [31:0] input_data_2, //1
    output reg [31:0] output_data
);

always @*
begin
    if(control_signal)
    begin
        output_data = input_data_2;
    end
    else
    begin
        output_data = input_data_1;
    end
end

```

```
end
```

```
endmodule
```

Parámetros del módulo:

- input control_signal: Es una señal de control que determina qué entrada se selecciona.
- input [31:0] input_data_1: Es la primera entrada del multiplexor.
- input [31:0] input_data_2: Es la segunda entrada del multiplexor.
- output reg [31:0] output_data: Es la salida del multiplexor.

Bloque de código dentro de always @*:

- El bloque de código utiliza una estructura condicional (if-else) para seleccionar la salida del multiplexor en función de la señal de control.
- Si control_signal es verdadero (1), selecciona input_data_2.
- Si control_signal es falso (0), selecciona input_data_1.

Este módulo permite seleccionar entre dos conjuntos de datos en función de la señal de control proporcionada. Es fundamental en el diseño del datapath para enrutar datos según las necesidades del procesador.

Datapath5.v

```
module Datapath5(  
    input control_signal,  
    input [4:0] input_data_1, //0  
    input [4:0] input_data_2, //1  
    output reg [4:0] output_data  
);  
  
always @*  
begin  
    if(control_signal)  
        begin  
            output_data = input_data_2;  
        end  
    else  
        begin  
            output_data = input_data_1;  
        end  
end  
  
endmodule
```

Parámetros del módulo:

- input control_signal: Es una señal de control que determina qué entrada se selecciona.
- input [4:0] input_data_1: Es la primera entrada del multiplexor.
- input [4:0] input_data_2: Es la segunda entrada del multiplexor.
- output reg [4:0] output_data: Es la salida del multiplexor.

Bloque de código dentro de always @*:

- El bloque de código utiliza una estructura condicional (if-else) para seleccionar la salida del multiplexor en función de la señal de control.
- Si control_signal es verdadero (1), selecciona input_data_2.
- Si control_signal es falso (0), selecciona input_data_1.

Este módulo permite seleccionar entre dos conjuntos de datos de 5 bits en función de la señal de control proporcionada, similar al MyDatapathMux anterior, pero con una entrada y salida de 5 bits.

Inst_mem.v

```
module Inst_mem(
    input [31:0] address,
    output reg [31:0] data
);

reg [7:0] memory[0:255];

always @*
begin
    data = {memory[address], memory[address + 1], memory[address + 2],
memory[address + 3]};
end

endmodule
```

Parámetros del módulo:

- input [31:0] address: Es la dirección de memoria de la que se debe leer.
- output reg [31:0] data: Es la salida que contiene los datos leídos desde la memoria.
- Bloque reg [7:0] memory[0:255];: Declara una memoria de bytes llamada memory con 256 ubicaciones, cada una de 8 bits.

Bloque initial:

- Contiene la inicialización de la memoria con valores comentados.

Bloque always @*:

- Lee la memoria en la dirección especificada por address y concatena los 32 bits correspondientes para formar la salida data.

Este módulo simula la lectura de instrucciones de la memoria según la dirección proporcionada.

DATA_Mem.v

```
module DATA_Mem(
    input [31:0] address,
    input [31:0] data_write,
    input write_enable,
    input read_enable,
    output reg [31:0] data_read
);

reg [31:0] memory[0:255];

always @*
begin
    if (write_enable == 1'b1 & read_enable == 1'b0)
    begin
        memory[address] = data_write;
    end
    else if (write_enable == 1'b0 & read_enable == 1'b1)
    begin
        data_read = memory[address];
    end
end

endmodule
```

Parámetros del módulo:

- input [31:0] address: Es la dirección de memoria para la operación.
- input [31:0] data_write: Es la información que se escribirá en la memoria.
- input write_enable: Es una señal que habilita la escritura.
- input read_enable: Es una señal que habilita la lectura.
- output reg [31:0] data_read: Es la información leída desde la memoria.
- Bloque reg [31:0] memory[0:255];: Declara una memoria de palabras de 32 bits llamada memory con 256 ubicaciones.

Bloque always @*:

- Si write_enable está habilitado (1) y read_enable está deshabilitado (0), se escribe data_write en la dirección especificada por address.

- Si write_enable está deshabilitado (0) y read_enable está habilitado (1), se lee la memoria en la dirección especificada por address y se almacena en data_read.

Este módulo permite leer y escribir en la memoria según las señales de control proporcionadas. La operación de escritura se lleva a cabo si write_enable está activo, y la operación de lectura se realiza si read_enable está activo.

Clk.v

```
module Clk(
    input clk,
    input [31:0]in,
    output reg [31:0]out);

initial
begin
    out = 32'b0;
end

always@(clk)
begin
    if(clk)
    begin
        out = in;
    end
end
endmodule
```

Parámetros del módulo:

- input clk: Es la señal de reloj.
- input [31:0] in: Es la entrada que indica el nuevo valor del contador de programa.
- output reg [31:0] out: Es la salida que representa el valor actual del contador de programa.

Bloque initial:

- Inicializa la salida out con un valor de 32 bits en cero al comienzo de la simulación.

Bloque always @(posedge clk):

- Actualiza la salida out con el valor de la entrada in en cada pulso del reloj.

Este módulo simula un contador de programa que se actualiza en cada pulso del reloj con el valor proporcionado en la entrada in.

Shift_Left_2.v

```
module Shift_Left_2(  
input [31:0]SL_in,  
output reg[31:0]SL_out  
);  
  
always @*  
begin  
    SL_out = SL_in << 2;  
end  
endmodule
```

Parámetros del módulo:

- input [31:0] SL_in: Es la entrada de 32 bits en la que se realizará el desplazamiento a la izquierda.
- output reg [31:0] SL_out: Es la salida de 32 bits que contendrá el resultado del desplazamiento.

Bloque always @*:

- Realiza la operación de desplazamiento a la izquierda de 2 bits en la entrada SL_in y almacena el resultado en la salida SL_out.

Este módulo simplemente realiza la operación de desplazamiento a la izquierda de 2 bits en la entrada proporcionada.

Sign_extend.v

```
module sign_extend(  
input [15:0] Data_in,  
output reg [31:0] Data_out);  
  
always @*  
begin  
    if(Data_in[15])  
    begin  
        Data_out={16'b1111111111111111,Data_in};  
    end  
    else  
    begin  
        Data_out={16'b0000000000000000,Data_in};  
    end  
end  
endmodule
```

Parámetros del módulo:

- input [15:0] Data_in: Es la entrada de 16 bits que se extenderá.
- output reg [31:0] Data_out: Es la salida de 32 bits que contendrá el resultado de la extensión.

Bloque always @*:

- Verifica el bit de signo (Data_in[15]), y si es 1, realiza la extensión de signo copiando el bit de signo a la izquierda.
- Si el bit de signo es 0, simplemente agrega ceros a la izquierda.

Este módulo se utiliza comúnmente para extender la representación de un número con signo de 16 bits a una de 32 bits, manteniendo el mismo valor numérico pero con la extensión de signo adecuada.

Referencias

- [Microsoft Word - Guion Practicas Mips.doc \(cartagena99.com\)](#)
- [PRINCIPALES CARACTERÍSTICAS DEL PROCESADOR MIPS DE LA ARQUITECTURA QUE IMPLEMENTA - Tareas - 70869 \(clubensayos.com\)](#)
- <https://tenstorrent.com/research/raja-koduri-joins-tenstorrents-board-of-directors-cto-ljubisa-bajic-scales-back-his-role/>
- <https://www.prnewswire.com/news-releases/raja-koduri-joins-tenstorrents-board-of-directors-cto-ljubisa-bajic-scales-back-his-role-301791469.html>
- <https://www.anandtech.com/show/16709/an-interview-with-tenstorrent-ceo-ljubisa-bajic-and-cto-jim-keller>

Conclusiones

NATALIA ISABEL MARISCAL NAPOLES: Sinceramente mis conclusiones con el proyecto y la materia son que en si con el proyecto al principio fue fácil y poco a poco se fue haciendo enredoso con el tema de cables y entradas o salidas, pero al final y prestando mucha atención se logró hacer, puede que no del todo bien o con algunas cosas raras y bastante presión pero se logró; y con respecto a la materia, aunque no era lo que yo esperaba, ni lo que nos dijeron que sería realmente me gusto la materia un poco confusa al principio pero bastante interesante y en verdad me hubiera gustado más que hubiéramos tenido el tiempo suficiente como para comprender del todo la materia, pero igual si aprendí mucho y espero no olvidar todo para cuando vuelva a ver el tema en la carrera de INRO.

MARÍN GONZÁLEZ ANDRÉ JOSUÉ: A lo largo del desarrollo del proyecto me perdí muchas veces a la hora de comprender el panorama general del mismo, no fue hasta la realización de este reporte donde pude más o menos (de manera sencilla), comprender el funcionamiento de cada uno de los módulos que lo componen (en lo que respecta a los

módulos añadidos en esta ultima fase, el datapath tipo R si lo comprendo bien a nivel de funcionamiento). En lo que respecta a la materia esta última iteración me pareció la mas sencilla para comprender, aunque no por ello fácil, lo único que al final se me dificulto durante todo la materia fueron las conexiones entre módulos, entendía como hacerlo, pero al momento de hacer el primer datapath si me perdí mucho, ya que estoy muy acostumbrado a que las cosas se ejecuten de manera secuencial, pero en verilog el flujo de ejecución es diferente, lo que confunde mucho.

JUAN SILVERO VALENCIA: En conclusión puede decir que el proyecto fue algo no tan fácil de realizarse ya que por el tiempo y la falta de experiencia en el tema nos mantuvo un poco confusos a muchos de mis compañeros y a mi más en lo personal ya que también es la primera vez que veo los números Binarios de tema y todo este tipo de instrucciones, es interesante la materia pero debes de tener mucha paciencia y debes de comprender realmente lo que estás haciendo, no era lo que esperaba de la materia porque tenía otra idea de esta realmente creo que este tema no lo voy a volver a ver en mi carrera pero en algo más adelante puede servir.

ERICK JARED GUTIERREZ CORREA: En forma de conclusión es necesario decir que adquirí mucho conocimiento al respecto de este tipo de lenguaje ya que desde mi perspectiva es muy mecanizado y poco libre a comparación de otros lenguajes, pero me ayudó mucho porque a este punto actual, aunque no comprendo todos los nombres, si entiendo los funcionamientos.