



MPT2042

25ps 精度，4 通道，ToF 测量用 ASIC 芯片

数据手册



产品说明

MPT2042 芯片是一款 4 通道 ToF 测量用 ASIC 芯片，针对高精度飞行时间测量及通用时间测量应用。芯片集成 4 路模拟输入，和一路独立的 START 信号输入通道。每个通道均集成高速比较器，同时搭载独立的高精度 TDC，可对输入信号的上升沿/下降沿进行测量，结合 START 通道测量的时间，提供飞行时间信息。测量数据可通过 LVDS 高速串行差分数据接口或 SPI 数据接口传输。

芯片兼容各种激光雷达信号处理的光电探测器和工业测量的光电探测器，匹配目前主流厂商的多款 SiPM 和 APD 产品，可以方便应对高集成、低成本的飞行时间（ToF）应用。

特性

- 4 路模拟输入通道
- 支持 4 个通道并行信号处理
- 通道内置比较器与双边沿采样模式
- 25ps 精度 19bit 位宽时间数字转换器 TDC
- SPI 总线控制
- LVDS 或 SPI 数据传输
- 最高 640M 数据传输速率
- 最高 20Mcps 传输事件率
- 高集成度，低功耗
- QFN32 封装

应用

- 激光雷达
- 工业传感与测量
- 视觉信号处理

.....	- 1 -	3.3.4. T-T0 模式.....	- 13 -
产品说明.....	- 1 -	3.4. 数据传输.....	- 14 -
特性.....	- 1 -	3.4.1. 数据结构.....	- 14 -
应用.....	- 1 -	3.4.2. SPI 数据传输.....	- 14 -
1. 引脚配置和功能.....	- 3 -	3.4.2.1. 接口说明.....	- 14 -
2. 技术规格.....	- 5 -	3.4.2.2. SPI 寄存器.....	- 15 -
2.1. 绝对最大额定值.....	- 5 -	3.4.2.3. TDC 数据传输.....	- 15 -
2.2. ESD 等级.....	- 5 -	3.4.3. LVDS 数据传输.....	- 16 -
2.3. 推荐工作条件.....	- 5 -	3.4.3.1. 接口说明.....	- 16 -
2.4. 主要性能指标.....	- 6 -	3.4.3.2. TDC 数据传输.....	- 16 -
2.5. 接口时序.....	- 7 -	3.5. SPI 应用.....	- 17 -
2.6. 典型工作特性.....	- 8 -	3.5.1. 使用 SPI 接口的寄存器配置.....	- 17 -
3. 详细说明.....	- 9 -	3.5.1.1. 寄存器写入.....	- 17 -
3.1. 功能框图.....	- 9 -	3.5.1.2. 寄存器读取.....	- 17 -
3.2. 时钟配置.....	- 9 -	3.5.2. 使用 SPI 接口的数据读出.....	- 18 -
3.2.1. TDC 参考时钟.....	- 10 -	3.6. 寄存器映射.....	- 19 -
3.2.2. 推荐时钟配置.....	- 10 -	3.7. 常用寄存器配置.....	- 20 -
3.3. TDC 工作模式.....	- 12 -	3.8. 电源相关建议.....	- 21 -
3.3.1. 通道启用.....	- 12 -	4. 参考电路设计.....	- 22 -
3.3.2. 信号极性与比较器.....	- 12 -	5. 封装信息.....	- 23 -
3.3.3. 单边沿与双边沿采样.....	- 13 -	6. 修订历史.....	- 24 -

1. 引脚配置和功能

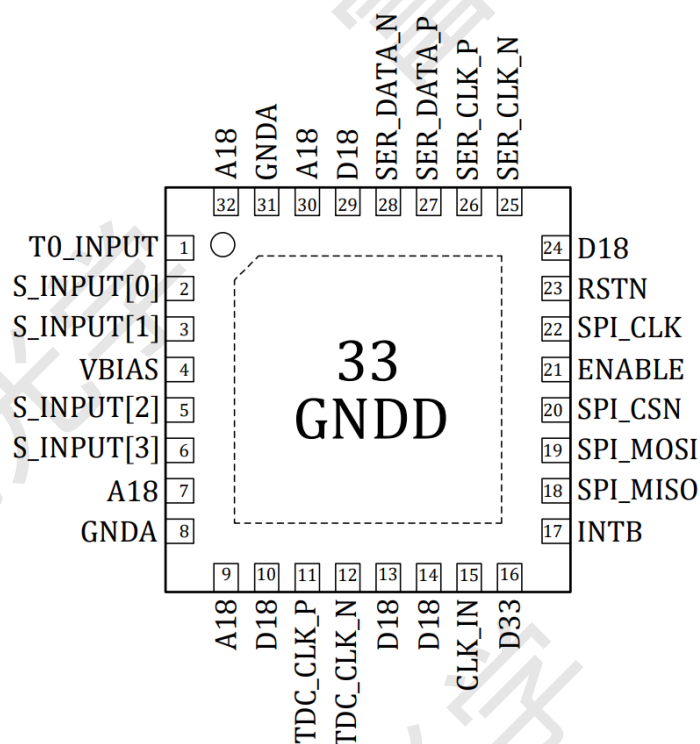


图 1-1 QFN32 封装（俯视图）

引脚编号	引脚名称	引脚类型	说明
1	TO_INPUT	I	START 信号输入
2	S_INPUT[0]	I	STOP 信号输入, 通道 0
3	S_INPUT[1]	I	STOP 信号输入, 通道 1
4	VBIAS	I/O	偏置电压输入, 需要在 VBIAS 和 GND 之间连接一个 10 nF 旁路电容, 并尽可能靠近引脚放置。
5	S_INPUT[2]	I	STOP 信号输入, 通道 2
6	S_INPUT[3]	I	STOP 信号输入, 通道 3
7	VCCA18	P	模拟 1.8V 电源
8	GNDA	GND	模拟地
9	VCCA18	P	模拟 1.8V 电源
10	VCCD18	P	数字 1.8V 电源
11	TDC_CLK_P	I/O	TDC 参考时钟正输入 (P 端), LVDS 电平
12	TDC_CLK_N	I/O	TDC 参考时钟负输入 (N 端), LVDS 电平
13	VCCD18	P	数字 1.8V 电源
14	VCCD18	P	数字 1.8V 电源
15	CLK_IN	I	主时钟输入
16	VCC33	P	电源 3.3V 电源
17	INTB	I/O	中断输出, 负电平有效
18	SPI_MISO	O	SPI 串行接口数据输出

19	SPI_MOSI	I	SPI 串行接口数据输入
20	SPI_CSN	I	SPI 串行接口片选信号
21	ENABLE	I	芯片使能，低电平清空寄存器值
22	SPI_CLK	I	SPI 串行接口时钟输入
23	RESETN	I	芯片复位，低有效
24	VCCD18	P	数字 1.8V 电源
25	SER_CLK_N	O	LVDS 数据接口时钟负输出（N 端）
26	SER_CLK_P	O	LVDS 数据接口时钟正输出（P 端）
27	SER_DATA_P	O	LVDS 数据接口数据正输出（P 端）
28	SER_DATA_N	O	LVDS 数据接口数据负输出（N 端）
29	VCCD18	P	数字 1.8V 电源
30	VCCA18	P	模拟 1.8V 电源
31	GNDA	GND	模拟地
32	VCCA18	P	模拟 1.8V 电源
33	GNDD	GND	数字地

表 1-1 芯片引脚列表

注：表中所有电源与地皆为必要的连接，GNDA 与 GNDD、A18 与 D18 为推荐但不强制要求的区分。

2. 技术规格

2.1. 绝对最大额定值

参数名称	描述	Min	Max	单位
VCCD18	VCCD18 供电电压	-0.3	1.98	V
VCCA18	VCCS18 供电电压	-0.3	1.98	V
VCC33	VCC33 供电电压	-0.3	3.6	V
T0_INPUT	T0 通道输入信号幅值	0	VCCA18*1.1	V
S_INPUT[x]	STOP 通道输入信号幅值	0	VCCA18*1.1	V

2.2. ESD 等级

参数名称	描述	Min	Max	单位
V _{ESD}	静电保护（人体模型）	2		KV

2.3. 推荐工作条件

参数名称	描述	Min	Typ	Max	单位
VCCD18	VCCD18 供电电压	1.72	1.80	1.98	V
VCCA18	VCCA18 供电电压	1.72	1.80	1.98	V
VCC33	VCC33 供电电压	3.00	3.30	3.60	V
Ta	工作环境温度	-40		85	°C

2.4. 主要性能指标

DC 参数 & 时间测量参数(Ta = 25°C)

参数名称	测试条件	Min	Typ	Max	单位
LSB	TDC 时间分辨率		25		ps
睡眠功耗	未发送任何 SPI 配置			3	mW
工作功耗	所有通道正常工作、LVDS 模式数据正常输出			400	mW
工作电流 VCCD18	VCCD18 = 1.9V			200	mA
工作电流 VCC33	VCC33 = 3.3V			5	mA
TDC 定时精度 (外部时钟)	TDC 时钟: 外部输入 150MHz, VCCD18 供电 1.80V, 定时周期 1us		10		ps
TDC 定时精度 (内部时钟)	TDC 时钟: 内部 4 分频所得 150MHz, VCCD18 供电 1.80V		26	35	ps
单通道信号处理死时间	两脉冲信号上升沿间距	8			ns
单通道回波个数	各个回波间距 10ns, 所有通道轮询	6			
VIN 输入电平	Start/Stop 输入端口电平	0		VCCA 18*1.1	V
最小输入脉宽	Start/Stop 输入脉冲宽度	4			ns
TDC 时钟频率	/	70	150	160	MHz
LVDS 最大传输速率	/		600	640	Mbps
SPI 时钟频率	/		40	40	MHz
最大事件率(LVDS)	LVDS 接口速率 640Mbps		20		Mcps
最大事件率(SPI)	SPI 时钟频率 40MHz		1		Mcps

2.5. 接口时序

参数名称	描述	Min	Typ	Max	单位
输入信号					
PW_{Start}	Start 通道最小脉宽	4			ns
PW_{Stop}	Stop 通道最小脉宽	4			ns
接口时序-SPI ($f_{SPI_clk}=40MHz$, $f_{sys_clk}=40MHz$)					
t_1	CLK 时钟周期	25	25		ns
t_2	CLK 高电平时间		12.5		ns
t_3	CLK 低电平时间		12.5		ns
t_4	CSN 下降沿到 CLK 前沿	10.5	12.5		ns
t_5	CSN 保持为高电平时间	96	100		ns
t_6	MOSI 数据有效到 CLK 上升沿时间	10.5	12.5	14.5	ns
t_7	MOSI 数据到 CLK 上升沿的保持时间	10.5	25	14.5	ns
t_8	最后一个 CLK 到 CSN 上升沿时间	10.5	12.5	14.5	ns
t_9	CLK 上升沿到 MISO 数据的保持时间	10.5	12.5	14.5	ns

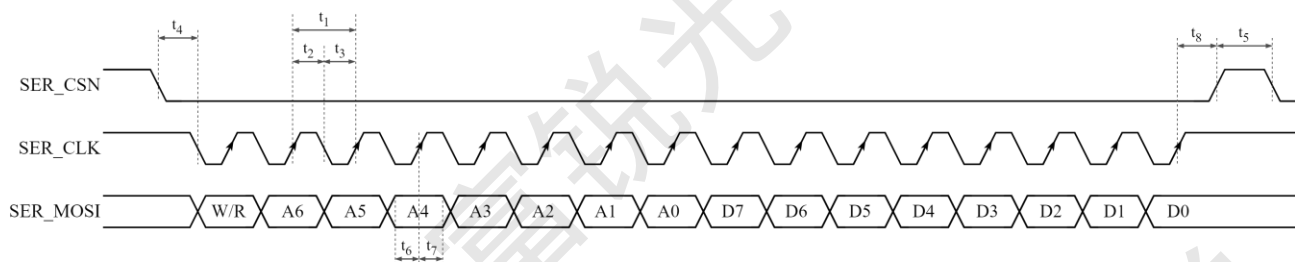


图 2-1 SPI 发送时序

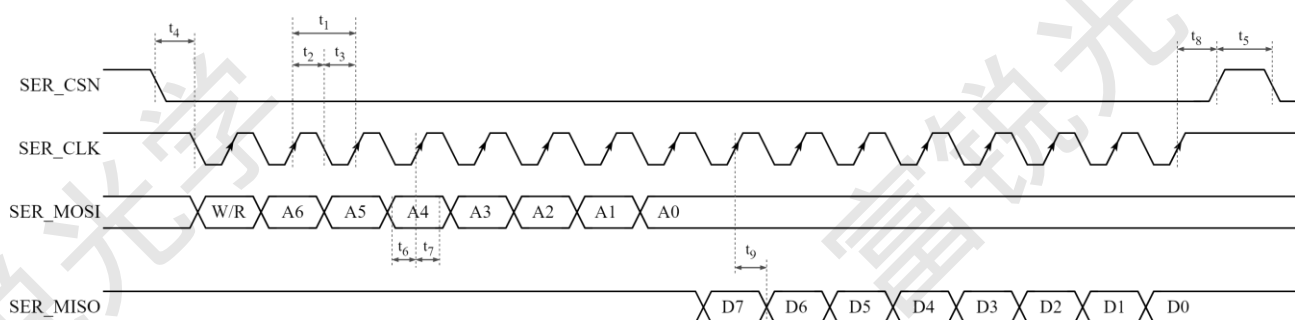


图 2-2 SPI 接收时序

2.6. 典型工作特性

除非另有说明，否则典型值是在 $T_A=25^{\circ}\text{C}$ 、TDC 时钟=内部 150MHz、VCCD18=1.80V 条件下指定的

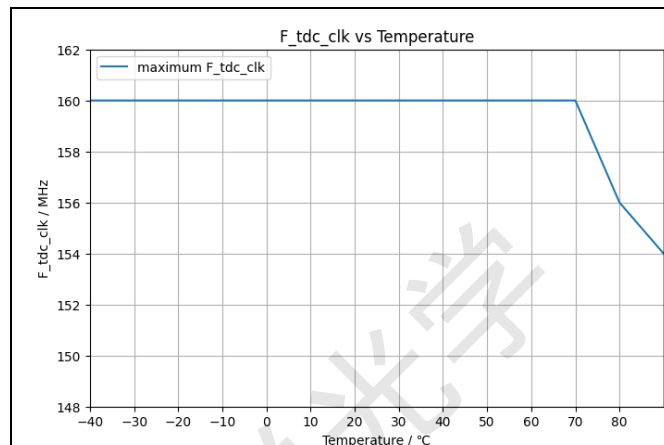


图 2-3 不同温度下最高 TDC 时钟频率

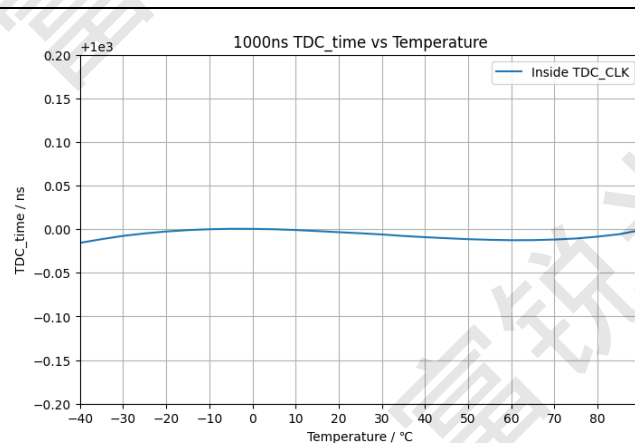


图 2-4 不同温度下 TDC 结果（内部 TDC 时钟）

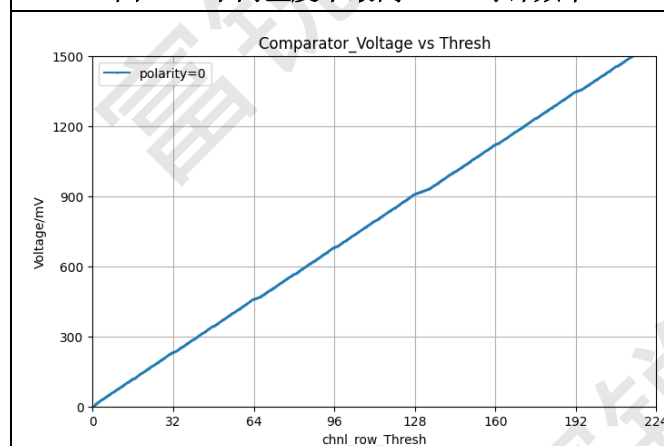


图 2-5 比较器阈值电压与 Thresh 设置的线性关系

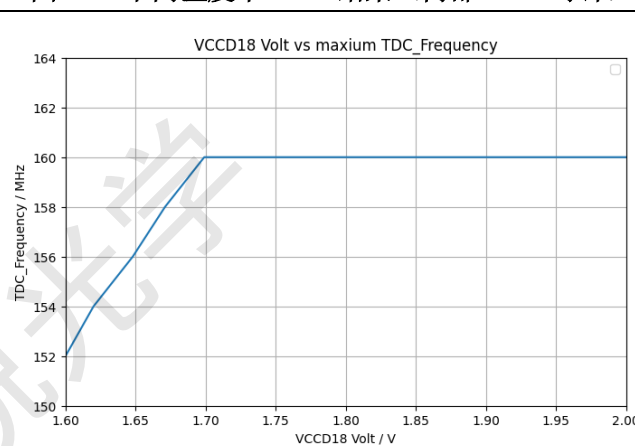


图 2-6 不同 VCCD18 电压下的最高 TDC 时钟频率

3. 详细说明

3.1. 功能框图

MPT2042 是一款 4 通道 ToF 测量用 ASIC 芯片，可以采集输入脉冲信号的到达时间，通过片上集成的 TDC 模块进行时间数字转化。MPT2042 芯片通过高速串行差分数据 LVDS 接口或标准 SPI 接口与外部进行数据传输，内部预设寄存器可由 SPI 总线对配置进行更改。LVDS 传输数据使用 8B10B 方式编码。

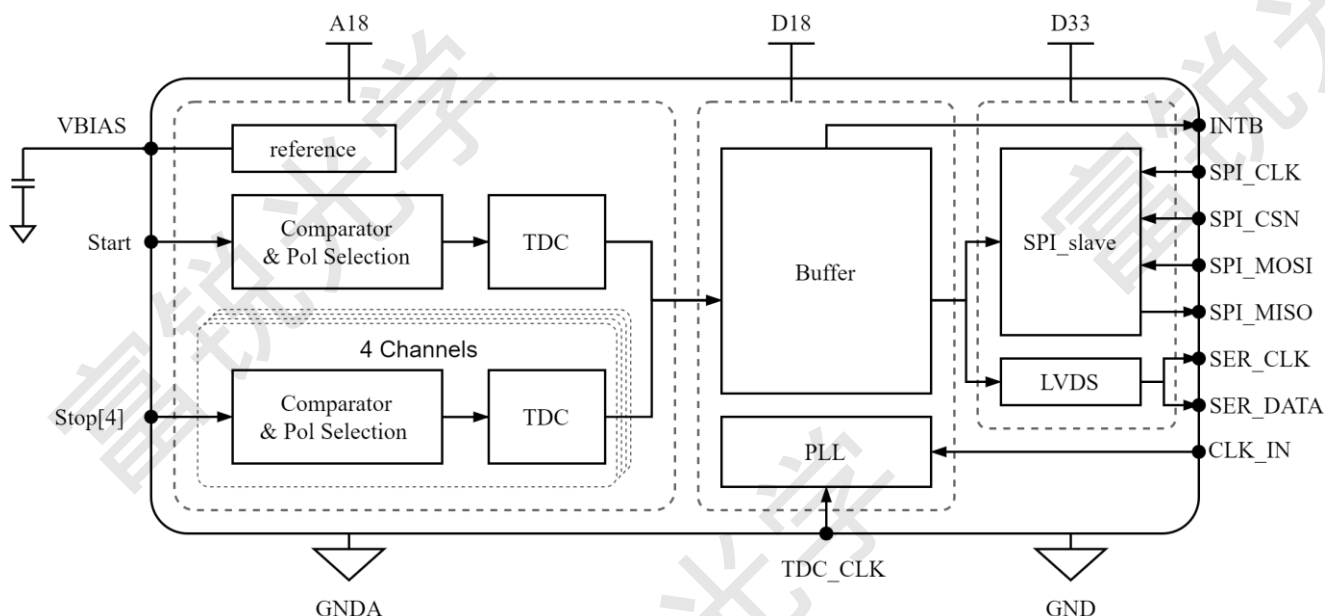


图 3-1 芯片功能框图

MPT2042 功能框图如上图所示，该款芯片由模拟和数字两部分电路组成。模拟电路部分实现输入信号的采样，片上集成高精度的 TDC 记录信号到达时间数据。数字电路部分负责数据的处理、压缩和输出，以及芯片状态的控制。

3.2. 时钟配置

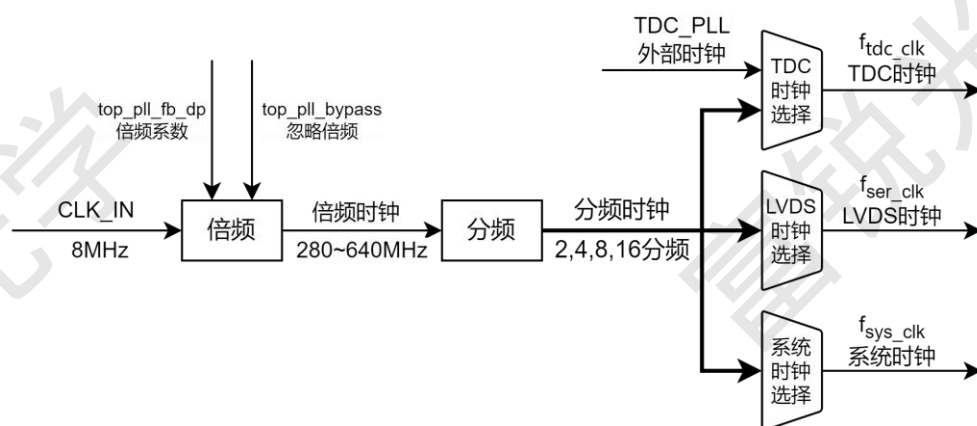


图 3-2 时钟结构示意

系统时钟、LVDS 时钟、内部提供的 TDC 参考时钟由 CLK_IN 引脚输入的 8M 时钟先后经过倍频与分频所得，各时钟系数选择与寄存器值的对应关系如下所示：

Addr	Bit	寄存器名称	值	对应功能/倍频系数选择
19	3	top_pll_bypass	0	不倍频, 由 CLK_IN 输入时钟直接进行分频
			1	使用内部 PLL 倍频
18	[6:0]	top_pll_fb_dp	xxx	$f_{\text{倍频时钟}} = 8\text{MHz} \times \text{spi_fb_dp}$
19	[7:5]	top_pll_ser_clk	0xx	LVDS 时钟 1 分频
			100	LVDS 时钟 2 分频
			101	LVDS 时钟 4 分频
			110	LVDS 时钟 8 分频
			111	LVDS 时钟 16 分频
20	[1:0]	top_pll_sys_clk	00	系统时钟 2 分频
			01	系统时钟 4 分频
			10	系统时钟 8 分频
			11	系统时钟 16 分频

表 3-1 分频系数对应表

3.2.1. TDC 参考时钟

本芯片自带片内高精度 TDC 时钟, 也可以通过设置寄存器 tdc_pll_clk_in_select 进行内部 TDC 时钟与外部 TDC 时钟的选择。选择内部时钟时, 由倍频时钟 2 分频或 4 分频得到 TDC 时钟; 选择外部时钟时, 由外部差分晶振提供时钟输入至 TDC 时钟信号引脚。下表为 TDC 时钟信号引脚信息及寄存器配置对应的时钟来源。

引脚编号	引脚名称	引脚类型	说明
19	TDC_CLK_P	Input / Output	TDC 时钟 P 端
20	TDC_CLK_N	Input / Output	TDC 时钟 N 端

表 3-2 TDC 时钟信号引脚

tdc_pll_clk_in_select	top_pll_tdc_clk	TDC 时钟来源	TDC 时钟信号引脚模式
0	x	外部差分晶振输入	Input
1	0	内部时钟 2 分频	Output
1	1	内部时钟 4 分频	Output

表 3-3 TDC 时钟配置对应表

注 1: 无论 TDC 时钟采用何种模式, 都需要在 TDC 时钟信号的 P 端与 N 端靠近芯片的位置, 即芯片引脚 TDC_CLK_P 与 TDC_CLK_N 之间连接一个 100Ω 端接电阻。

注 2: 使用内部时钟时需要断开外部时钟的输入。

注 3: 芯片在高温下工作时, 建议适当降低 TDC 时钟频率, 或提高 VCCD18 供电电压。

3.2.2. 推荐时钟配置

- CLK_IN 输入时钟 = 8M;
- spi_fb_dp 倍频系数 = 75 = 0b1001011; $f_{\text{倍频时钟}} = 8\text{M} \times 75 = 600\text{M}$;
- tdc_pll_clk_in_select = 1; TDC 时钟来源为内部;
- top_pll_tdc_clk = 1; TDC 时钟分频系数 = 4 分频; TDC 时钟 = $600\text{M} / 4 = 150\text{M}$ 。
- LVDS 模式推荐时钟配置:

$\text{top_pll_ser_clk} = 0b100$; LVDS 时钟分频系数 = 2 分频; LVDS 时钟 = $600\text{M} / 2 = 300\text{M}$;

$\text{top_pll_sys_clk} = 0b01$; 系统时钟分频系数 = 4 分频; 系统时钟 = $600\text{M} / 4 = 150\text{M}$;

- SPI 模式推荐时钟配置:

$\text{top_pll_ser_clk} = 0b111$; LVDS 时钟分频系数 = 16 分频; LVDS 时钟 = $600\text{M} / 16 = 37.5\text{M}$;

$\text{top_pll_sys_clk} = 0b11$; 系统时钟分频系数 = 16 分频; 系统时钟 = $600\text{M} / 16 = 37.5\text{M}$ 。

3.3. TDC 工作模式

本芯片集成的 TDC 是一款 19bit 动态范围，最高时间分辨可达 25ps 的 TDC。将 TDC 数据转换为时间的计算公式如下：(输出数据结构见表 3-9)

$$time_{TDC} = TDC_{data} \times LSB = TDC_data \times \frac{1}{f_{tdc_clk} \times 256}$$

注：式中 TDC_data 为 19bit TDC 数据； f_{tdc_clk} 为 TDC 时钟频率，TDC 时钟由内部提供或差分输入。

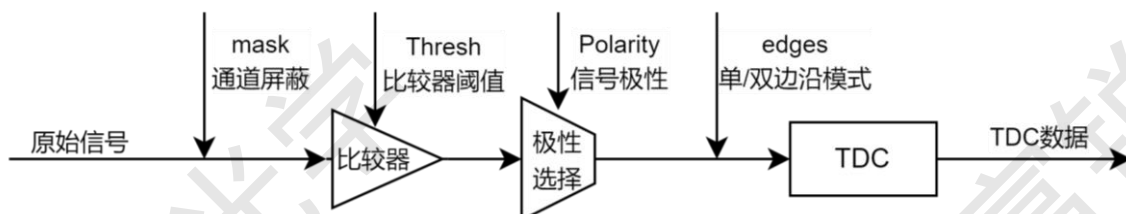


图 3-3 通道信号处理流程

3.3.1. 通道启用

MPT2042 含有 T0 通道（Start 通道）和 4 路模拟通道（Stop 通道），在正常工作状态下，0~3 通道的数据可以全部输出，或根据 SPI 寄存器配置，选择输出数据的通道。与通道数据输出使能相关的寄存器有如下两个：

chnl_row_mask 对应每个通道是否将数据输出至芯片的数字端，通过配置通道的 chnl_row_mask 以自由组合输出数据的通道；

Addr	Bit	寄存器名称	值	对应功能
ch0=21 ch1=33 ch2=37 ch3=49 T0=53	1	chnl_row_mask	0	开启所选通道
			1	关闭所选通道

表 3-4 chnl_row_mask 的设置与对应功能

spi_chnl_en_num 为芯片数字端对指定通道所输出数据的轮询，在实际使用中可以通过减小轮询通道数获得更高的数据处理效率，spi_chnl_en_num 的不同配置对应的使能通道如下表：

Addr	Bit	寄存器名称	值	使能的通道
7	[1:0]	spi_chnl_en_num	00	0, 1, 2, 3
			01 / 10	0, 2
			11	0

表 3-5 spi_chnl_en_num 使能通道对应表

T0 通道是专门用于记录外部触发信号到达时间的通道，与其它通道一样带有 TDC，设置 `cfg_t0_chnl_en=1`，T0 通道即可开始工作。T0 通道数据不输出，只用于 T-T0 模式下计算其他通道的相对时间。

3.3.2. 信号极性与比较器

信号在输入 MPT2042 的通道后，在进行 TDC 处理之前，会经过极性选择和比较器触发，可以通过 SPI 寄存器设置采样信号极性和比较器阈值。

chnl_row_polarity 为输入信号的极性选择。在单边沿模式下，chnl_row_polarity 即对应 TDC 的采样边沿；在双边沿模式下，polarity 的设置将会影响边沿标记，推荐 chnl_row_polarity 与信号前沿对应，即 chnl_row_polarity 的配置与输入信号对应关系遵循下表：

Addr	Bit	寄存器名称	值	对应功能	推荐输入信号极性
ch0=21 ch1=33 ch2=37 ch3=49 T0=53	0	chnl_row_polarity[i]	0	下降沿采样	负脉冲
			1	上升沿采样	正脉冲

表 3-6 chnl_row_polarity 与对应的信号极性

chnl_row_Thresh 为通道的比较器触发阈值，寄存器值与阈值电压的对应关系可以表示为：

$$V_{comp} = (7 \times Thresh) \text{ mV}$$

式中 Thresh 为 chnl_row_Thresh[7:0] 的值，共 8 位， V_{comp} 为比较器电压值，有效范围约 0~1500mV。如需精确的比较器阈值，需要对每个通道的阈值曲线进行线性标定。

3.3.3. 单边沿与双边沿采样

MPT2042 所有通道皆有单边沿与双边沿采样模式，在双边沿模式下，通道可在信号的上升沿和下降沿同时采样，并通过输出数据的 edge_id 对数据所属边沿进行标记；通过寄存器 chnl_row_spi_bypass 选择单个通道的单边沿与双边沿模式，0~3 通道与 T0 通道皆可开启双边沿采样模式。

Addr	Bit	寄存器名称	值	对应功能	数据中 edge_id 的值	edge_id 所标记的数据对应边沿
ch0=23 ch1=35 ch2=39 ch3=51 T0=55	7	chnl_row_spi_bypass	0	单边沿 TDC 采样	1	chnl_row_polarity 设定的边沿
			1	双边沿 TDC 采样	1	chnl_row_polarity 设定的边沿
					0	与 chnl_row_polarity 相反的另一边沿

表 3-7 单边沿与双边沿模式对应的配置和数据边沿标记

双边沿模式下，chnl_row_polarity 建议遵从表 3-6 中信号极性所对应的设置。

3.3.4. T-T0 模式

MPT2042 在芯片内部可以对通道设置为 T-T0 模式，在 T-T0 模式下，芯片将自行对数据进行作差处理，通道所输出 TDC 数据即为通道触发信号与 T0 通道的间隔时间。通过寄存器 chnl_row_reduce_t0_en 将通道设置为 T-T0 模式。其中 0~3 通道皆可开启 T-T0 模式，T0 通道不具有 T-T0 功能。T-T0 模式下的数据结构与原始数据的数据结构完全一致。

Addr	Bit	寄存器名称	值	对应功能
ch0=23 ch1=35 ch2=39 ch3=51 T0=55	2	chnl_row_reduce_t0_en [i]	0	原始数据输出
			1	T-T0 数据输出

表 3-8 chnl_row_reduce_t0_en 的设置与对应功能

3.4. 数据传输

3.4.1. 数据结构

MPT2042 在正常工作时输出的数据结构如下表所示。在 SPI 数据传输时，数据将会位于只读寄存器 107~109；LVDS 数据传输时，数据将会进行 8b10b 编码，并组成传输帧进行传输。

Chnl_data	定义	说明
[23:22]	CHANNEL_ID	通道标识，0~3
[21]	Reserved	Reserved
[20]	TDC fine data valid	数据有效：1
[19]	edge_id	边沿标记 单边沿模式：0； 双边沿模式：0/1
[18:0]	TDC data	TDC 计数

表 3-9 TDC 数据结构

3.4.2. SPI 数据传输

3.4.2.1. 接口说明

本芯片的 SPI 功能用于寄存器配置和数据传输，如下为 SPI 数据传输接口引脚、时序及读写说明。

引脚编号	引脚名称	引脚类型	说明
34	SPI_CLK	Input	SPI 时钟
32	SPI_CSN	Input	SPI 片选，低有效
31	SPI_MOSI	Input	SPI 数据输入
30	SPI_MISO	Output	SPI 数据输出
28	INTB	Output	复用 IO

表 3-10 SPI 数据传输接口引脚

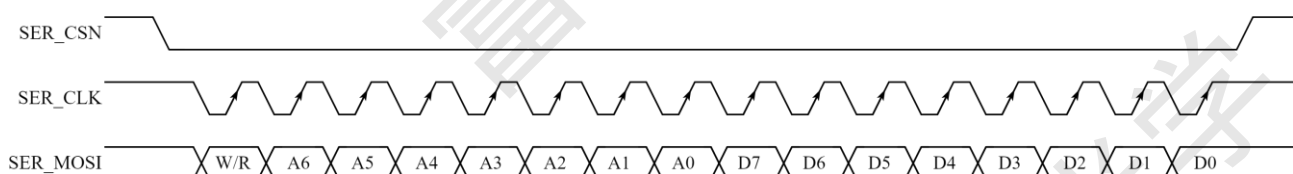


图 3-4 SPI 写入时序示意图

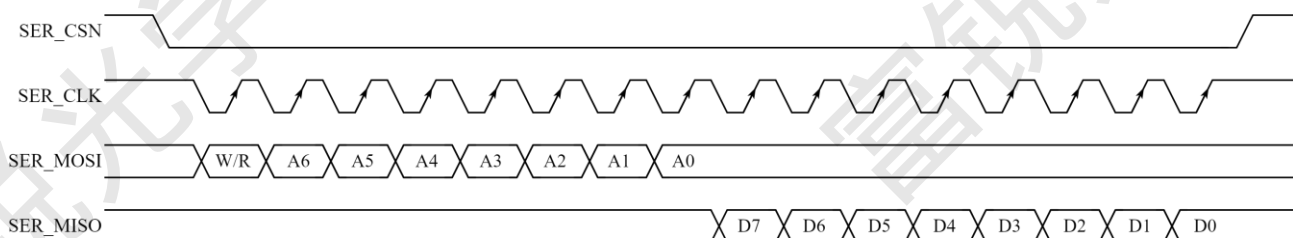


图 3-5 SPI 读出时序示意图

- 本芯片在 SPI 数据传输中属于从机；
- SPI 时钟最高 40Mhz；
- 传输时高位(MSB)在前；单次传输字长为 8 位；

- CSN 信号低电平有效，传输时 CSN 信号拉高的时间不得小于 4 个系统时钟周期；
- 总线空闲时，时钟为高电平(CPOL=1)；
- MCU 在前一个时钟沿（下降沿）写入数据(CPHA=1)，芯片在后一个时钟沿（上升沿）读取数据。

3.4.2.2. SPI 寄存器

芯片包含 127 个寄存器，这些寄存器可以通过 SPI 接口进行写入和读取，其中地址 0-99 为芯片控制寄存器，用于设定芯片的工作状态，无定义部分写数据无效。地址 100-127 为只读寄存器，记录芯片状态和 TDC 数据。SPI 寄存器结构见 3.6。

SPI 数据结构为：W/R(1bit)+addr(7bit)+配置/读取数据(N*8bit)，其中 W(写入)=0，R(读取)=1，寄存器地址长度为 7bit，每个寄存器数据长度为 8bit。

芯片支持单个寄存器读写和多寄存器连续读写，连续读写模式从写入的地址开始，地址自动累加，进行读写操作。3.5.1 提供了 SPI 控制寄存器的示例。

注：对寄存器写入全 1 或随机内容可能造成芯片异常，表 3-17 提供了一些常用工作状态的寄存器配置。

3.4.2.3. TDC 数据传输

芯片缓存的 TDC 数据，可以通过 LVDS 或 SPI 接口进行读出。使用 SPI 数据传输模式时，应当关闭 LVDS 数据输出。SPI 传输相关寄存器配置见下表。

Addr	Bit	寄存器名称	值
7	2	cfg_ser_data_out_en	0
7	3	cfg_ser_clk_out_en	0
8	2	cfg_ser_mode_en_force	0
8	6	cfg_intb_out_en	1
8	5	cfg_intb_select_trig_en	0
20	[1:0]	top_pll_sys_clk	11

表 3-11 SPI 数据传输模式相关寄存器配置

SPI 数据传输模式下，TDC 数据将位于只读寄存器 105~107，数据结构与寄存器对应见下表。

Addr	Bit	寄存器名称	定义	说明
105	[7:0]	chnl_data[7:0]	TDC_data[7:0]	TDC 计数（低位）
106	[7:0]	chnl_data[15:8]	TDC_data[15:8]	TDC 计数（中位）
107	[7:5]	chnl_data[23:16]	Channal_ID	通道标识
	4		TDC_fine_data_valid	当前通道 TDC 计数有效信号
	3		edge_id	边沿标记
	[2:0]		TDC_coarse_data[18:16]	TDC 计数（高位）

表 3-12 SPI 数据传输只读寄存器地址与对应数据定义

SPI 数据传输模式需要复用引脚 INTB 配合 SPI 数据读取，无数据时，INTB 为高电平，若芯片内部缓存有数据，INTB 将保持为低电平，此时可从只读寄存器读出 TDC 数据。芯片内部缓存可能有多组数据，缓存的数据未被全部读取时，INTB 将始终保持低电平。3.5.2 提供了 SPI 数据传输的示例。

3.4.3. LVDS 数据传输

3.4.3.1. 接口说明

本芯片 LVDS 用于 TDC 数据传输，如下为 LVDS 数据传输接口引脚、时序及读写说明。

1. LVDS 数据传输接口引脚

引脚编号	引脚名称	引脚类型	说明
40	SER_DATA_P	Output	LVDS 数据接口数据正输出（P 端）
41	SER_DATA_N	Output	LVDS 数据接口数据负输出（N 端）
38	SER_CLK_P	Output	LVDS 数据接口时钟正输出（P 端）
37	SER_CLK_N	Output	LVDS 数据接口时钟负输出（N 端）

表 3-13 LVDS 数据传输接口引脚

- LVDS 传输协议 LVDS 输出的数据经过 8B10B 编码，在读取时需要进行 8B10B 解码，解码后的传输帧格式如表 3-15 所示。

3.4.3.2. TDC 数据传输

芯片可以通过配置 SPI 寄存器，实现 LVDS 传输 TDC 数据，LVDS 传输模式相关的寄存器配置如下：

Addr	Bit	寄存器名称	值
7	2	cfg_ser_data_out_en	1
7	3	cfg_ser_clk_out_en	1
8	2	cfg_ser_mode_en_force	1
8	6	cfg_intb_out_en	0

表 3-14 LVDS 数据传输模式相关寄存器配置

每个通道的 TDC 所输出的 24bit 分为 3 个 byte，单个或多个事件加入结束码和 CRC 校验即构成传输帧，传输帧格式如下表所示，一个数据帧可以传输多个事件，直到读空缓存数据。单个事件的数据在 8B10B 编码前为 24bit，含有 1 个事件的传输帧编码前为 40bit，若一个传输帧中含有 x 个事件，编码前即为 $24x+16$ bit 的数据。传输帧发送到编码器进行 8B10B 编码，高位在前，通过 LVDS 接口的方式输出，LVDS 时钟上升沿和下降沿分别发送 1bit 数据。

空闲	传输帧结构（bit）			空闲
K28.5(8bit)	x 个事件数据：x*24bit	K28.4(8bit)	CRC(8bit)	K28.5(8bit)

表 3-15 LVDS 传输帧结构

- 空闲时发送控制码 Comma（K28.5），以便解码器滑动对齐。
- 一串数据发送完成后，发送结束码 K28.4，结束码后发送 CRC 校验，校验方式为 CRC-8，作用域为事件数据段。

3.5. SPI 应用

3.5.1. 使用 SPI 接口的寄存器配置

芯片内部寄存器通过 SPI 进行配置，推荐按照以下步骤对 SPI 寄存器进行配置：

1. 开始工作，芯片上电；
2. 先后拉低 ENABLE 和 RESETN，对芯片的 SPI 配置和工作状态进行复位；
3. 写入寄存器，配置芯片工作状态；
4. 读取寄存器，校验芯片寄存器值；
5. 芯片工作，数据输出。

3.5.1.1. 寄存器写入

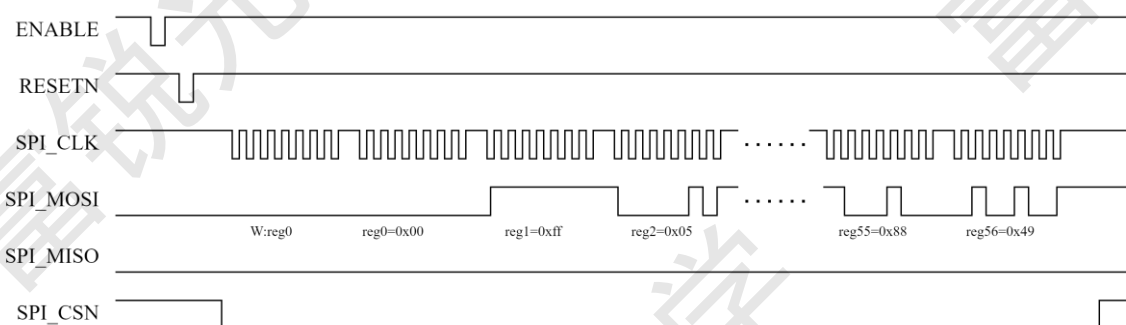


图 3-6 SPI 写入寄存器配置时序示意图

SPI 写入寄存器配置的步骤如下：

1. SPI 寄存器复位，ENABLE 拉低至少 10ns 后拉高；
2. 芯片工作状态复位，RESETN 拉低至少 10ns 后拉高；
3. 复位完毕后，主机向芯片发送寄存器配置，将 CSN 引脚置为低电平，并将 W/R 位设置为 0，开始写入寄存器；
4. 指定写入内容的寄存器地址 A[6:0]，推荐从 0 寄存器开始连续写入全部寄存器配置；
5. 在 CLK 下降沿发送对应地址的寄存器值，芯片将在 CLK 上升沿进行读取；
6. 写入完毕后，拉高 CSN，芯片随即以当前寄存器配置进行工作。

3.5.1.2. 寄存器读取

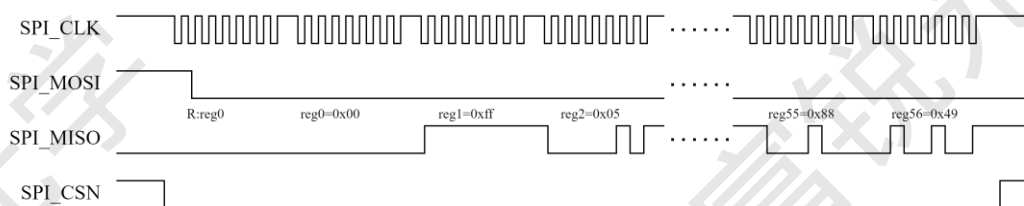


图 3-7 SPI 写入寄存器配置时序示意图

SPI 配置写入完毕后，需要读取寄存器的配置进行校验，SPI 读取寄存器配置的步骤如下：

1. 不进行复位，将 CSN 引脚置为低电平，并将 W/R 位设置为 1，开始读取寄存器；
2. 指定读取内容的寄存器地址 A[6:0]，校验配置时推荐从 0 寄存器开始连续读取全部寄存器配置
3. 芯片将在 CLK 下降沿发送对应寄存器的值，外部控制器需要在 CLK 上升沿对寄存器进行读取；
4. 读取完毕后，拉高 CSN；

5. 将返回的寄存器值与发送的配置进行校验，若返回的配置与发送配置不一致，则需要再次发送配置直至芯片返回正确的寄存器配置。

3.5.2. 使用 SPI 接口的数据读出

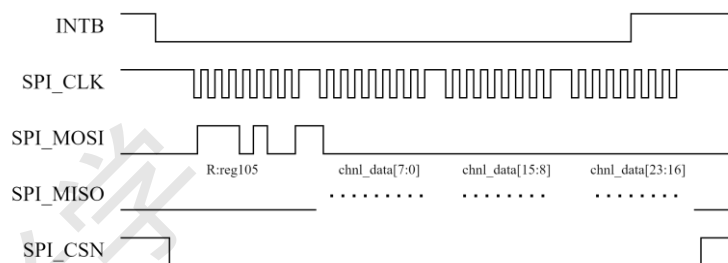


图 3-8 SPI 读取 TDC 数据时序示意图

当芯片接收到信号并成功处理 TDC 数据后，INTB 将会产生一个低电平，主机检测到 INTB 的下降沿时，即可对只读寄存器中的 TDC 数据进行读取；

- TDC 数据位于只读寄存器 105~107，建议使用连续读出模式（如图）以减少读出数据所需时间。
- 当芯片缓存的数据被读取完毕后，INTB 将会自行拉高；
- 若芯片内部缓存数据未被读空，INTB 将一直保持低电平，而不会拉高。

3.6. 寄存器映射

功能	Addr	Bit	寄存器名称	默认值	说明
Reserved	0~1	[7:0]	Reserved	0x00	Reserved
	2	[7:0]	Reserved	0x05	Reserved
	3~6	[7:0]	Reserved	0xff	Reserved
数据传输	7	[7:5]	Reserved	0	Reserved
		4	cfg_miso_high_z_en	1	SPI_MISO 输出高阻态使能
		3	cfg_ser_clk_out_en	0	DDR 时钟接口输出使能, SPI 模式下, 需设置为 0
		2	cfg_ser_data_out_en	0	DDR 数据接口输出使能, SPI 模式下, 需设置为 0
		[1:0]	cfg_chnl_en_num	0	有效通道数控制
	8	7	/	0	无定义
		6	cfg_intb_out_en	0	中断信号输出使能, SPI 模式下, 需设置为 1
		5	cfg_intb_select_trig_en	0	Trig 信号输出使能, SPI 模式下, 需设置为 0
		4	cfg_t0_chnl_data_first	0	T0 通道优先数据处理使能, T-T0 模式下, 需设置为 1; 其余模式下可设置为 0
		3	Reserved	0	Reserved
		2	cfg_ser_mode_en_force	0	设置为 LVDS 数据输出模式, SPI 模式下, 需设置为 0; LVDS 模式下, 需设置为 1
		1	Reserved	0	Reserved
		0	cfg_t0_chnl_en	0	T0 通道使能, T-T0 模式下, 需设置为 1
	9~13	[7:0]	Reserved	0x00	Reserved
时钟配置	14	[7:0]	Reserved	0xff	Reserved
	15	[7:2]	Reserved	0	Reserved
		2	Reserved	1	Reserved
		1	tdc_pll_clk_in_select	0	TDC 时钟输入选择: 0: 选择外部时钟; 1: 选择内部时钟
		0	tdc_pll_en	1	TDC_PLL 使能, 需设置为 1
	16~17	[7:0]	Reserved	0x00	Reserved
	18	7	/	0	无定义
		[6:0]	top_pll_fb_dp	0	倍频系数, 可提供 16-128 倍频
	19	[7:5]	top_pll_ser_clk	0	LVDS 时钟分频选择: 0XX: 时钟 1 分频 100: 时钟 2 分频; 101: 时钟 4 分频 110: 时钟 8 分频; 111: 时钟 16 分频
		4	top_pll_tdc_clk	0	TDC 时钟分频选择: 0: 时钟 2 分频; 1: 时钟 4 分频
		3	top_pll_bypass	0	忽略倍频使能, 输出时钟跟随输入时钟
		[2:1]	Reserved	0	Reserved
		0	top_pll_en	1	TOP_PLL 使能, 需设置为 1
		[7:2]	/	0	无定义
	20	[1:0]	top_pll_sys_clk	0	系统时钟分频选择: 00: 时钟 2 分频; 01: 时钟 4 分频 10: 时钟 8 分频; 11: 时钟 16 分频

通道配置	ch0=21	[7:4]	chnl_row_valid_width[3:0]	1111	Valid 脉宽设置, 建议设置为全 1
	ch1=33	[3:2]	chnl_row_pulse_width[1:0]	11	Trig 脉宽设置, 建议设置为全 1
	ch2=37	1	chnl_row_mask	0	屏蔽通道使能
	ch3=49	0	chnl_row_polarity	0	信号极性选择: 0: 下降沿采样; 1: 上升沿采样
	T0=53				
	ch0=22	[7:0]	chnl_row_Thresh[7:0]	0x00	比较器阈值设置
	ch1=34				
	ch2=38				
	ch3=50				
	T0=54				
无定义	ch0=23	[7:3]	Reserved	10001	Reserved
	ch1=35	2	chnl_row_reduce_t0_en	0	T-T0 模式使能
	ch2=39	[1:0]	Reserved	0	Reserved
	ch3=51				
	T0=55				
只读寄存器	ch0=24	7	chnl_row_spi_bypass	0	双边沿模式使能 1: 双边沿, 上升沿和下降沿同时采样; 0: 单边沿, 在 chnl_row_polarity 设定的边沿采样
	ch1=36				
	ch2=40				
	ch3=52				
	T0=56	[6:0]	Reserved	101001	Reserved
无定义	57~99	/	/		无定义
	100~103	[7:0]	otp_rd_data[31:0]	/	芯片出厂信息
	104	[7:4]	/	0	无定义
		3	fine_time_sel	/	TDC 精确度标识: 0: 18bit 精确度; 1: 19bit 精确度
		[2:0]	PLL_lock_done[2:0]	111	PLL 锁定指示信号
	105~107	[7:0]	chnl_data[23:0]	/	TDC 数据
	108	[7:0]	版本号	0x11	芯片版本号
	109~127	[7:0]	/	0	无定义

注: Reserved 为保留功能, 需设置为表中所注的默认值; 无定义的寄存器位写入无效。

表 3-16 MPT2042 各通道对应的寄存器

3.7. 常用寄存器配置

以下提供了一些常用推荐工作状态的寄存器配置:

Addr	功能	参考寄存器配置(hex)	参考寄存器配置主要含义
0~6	Reserved	00,00,05,ff,ff,ff,ff	初始化配置
7~13	数据传输	00,51,22,00,00,00,00	SPI 数据传输
		0c,55,32,00,00,00,00	LVDS 数据传输
14~20	时钟配置	ff,07,00,00,50,99,01	80 倍频, 系统时钟 160M, LVDS 时钟 320M, TDC 时钟内部 160M
		ff,07,00,00,4b,99,01	75 倍频, 系统时钟 150M, LVDS 时钟 300M, TDC 时钟内部 150M
		ff,05,0,0,4b,99,01	75 倍频, 系统时钟 150M, LVDS 时钟 300M, TDC 时钟外部提供
		ff,07,00,00,4b,f9,03	75 倍频, 系统时钟 32.5M, LVDS 时钟 300M, TDC 时钟内部 150M
ch0=21~24	通道配置	fd,7f,88,09	polarity=1, T-T0=0, 单边沿模式
ch1=33~36		fc,7f,88,09	polarity=0, T-T0=0, 单边沿模式
ch2=37~40		fd,7f,8c,09	polarity=1, T-T0=1, 单边沿模式
ch3=49~52		fd,7f,88,89	polarity=1, T-T0=0, 双边沿模式
T0=53~56		02,00,00,00	mask, 该通道不工作

表 3-17 常用寄存器配置

3.8. 电源相关建议

MPT2042 需要三个电源：VCCA18、VCCD18、VCC33，其中 VCCA18 和 VCCD18 为 1.8V 供电，VCC33 为 3.3V 供电，引脚列表中所有电源与地皆为必要的连接。

VCCD18 为芯片内部数字电路供电，建议使用 LDO 为 VCCD18 供电，以降低电源噪声并提高电压精度。在 TDC 时钟频率较高的情况下，建议适当提高 VCCD18 的电压。最低电压及最高 TDC 时钟频率与温度关系详见图 2-6。

VCCA18 为芯片内部模拟电路供电。VCCA18 与 VCCD18 是推荐但不强制要求的区分，在实际应用中可以将二者区分，以获得更低的噪声和更高的 TDC 精度。

VCC33 主要用于 SPI 接口供电，在实际应用中可以使用 DC/DC 为 VCC33 供电，以获得更高的电源效率。

4. 参考电路设计

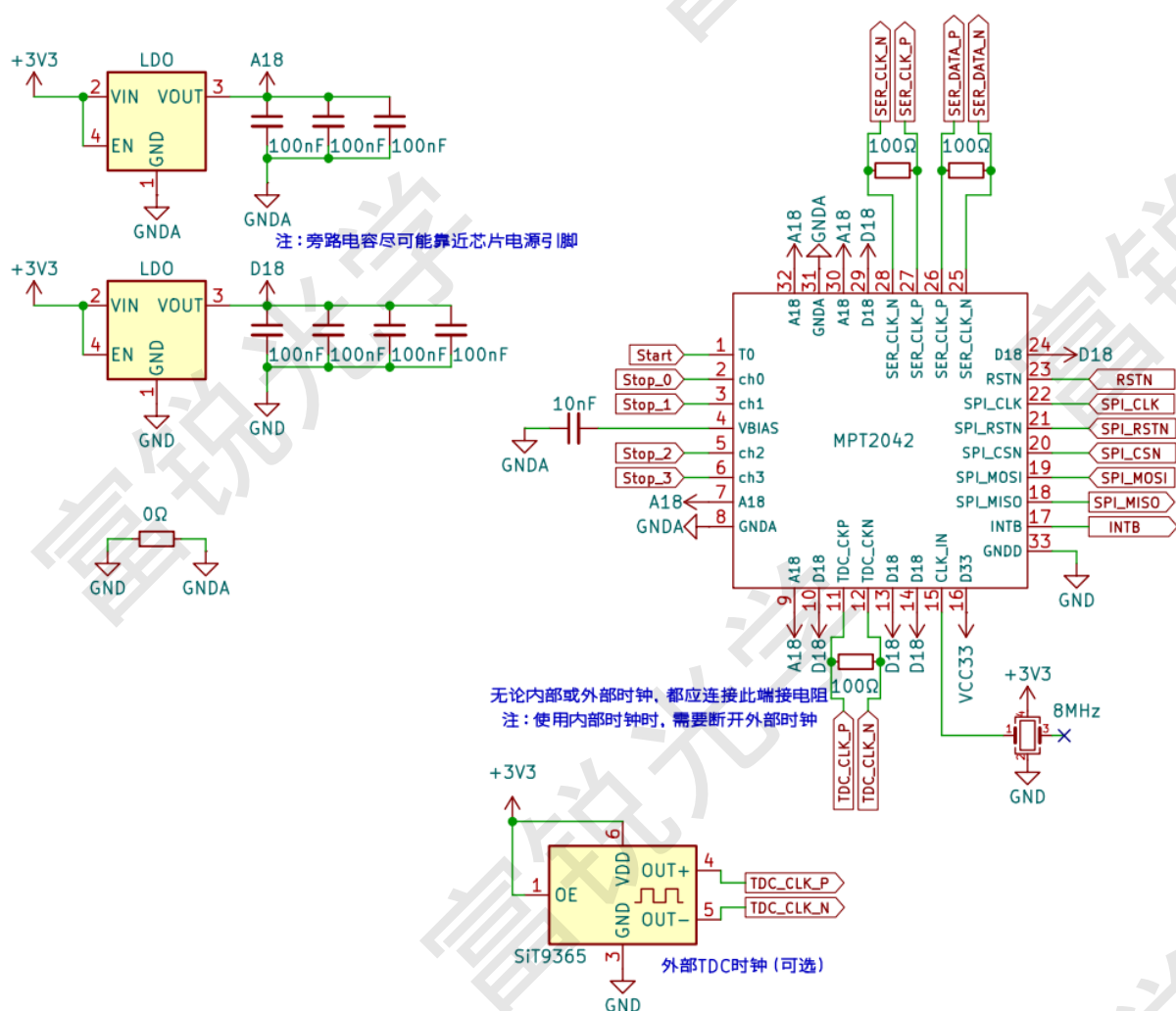


图 4-1 MPT2042 参考电路设计

6. 修订历史

版本号	修订时间	修改概述
MPT2042 - 数据手册 v1.0	2024/10/21	初稿