

Relazione di Reti Logiche - 1, 14 dicembre 2022

Obiettivi

Tale report andrà a coprire gli aspetti relativi alla progettazione e realizzazione di una semplice calcolatrice in VHDL, in grado di svolgere le principali operazioni aritmetiche, quali addizione, sottrazione e moltiplicazione. Per questo, abbiamo fatto uso delle conoscenze teoriche apprese durante le lezioni, tra cui le applicazioni dei multiplexers, delle macchine a stati finiti, dei full adders e dei flip-flops. La principale difficoltà nella progettazione di una calcolatrice, oltre all'implementazione del *debouncer*, consiste nell'essere limitati al solo sistema numerico binario, all'avere cioè come input soltanto uni e zeri inseriti attraverso gli switch di una **Nexys 4 DDR**.

Schema a blocchi

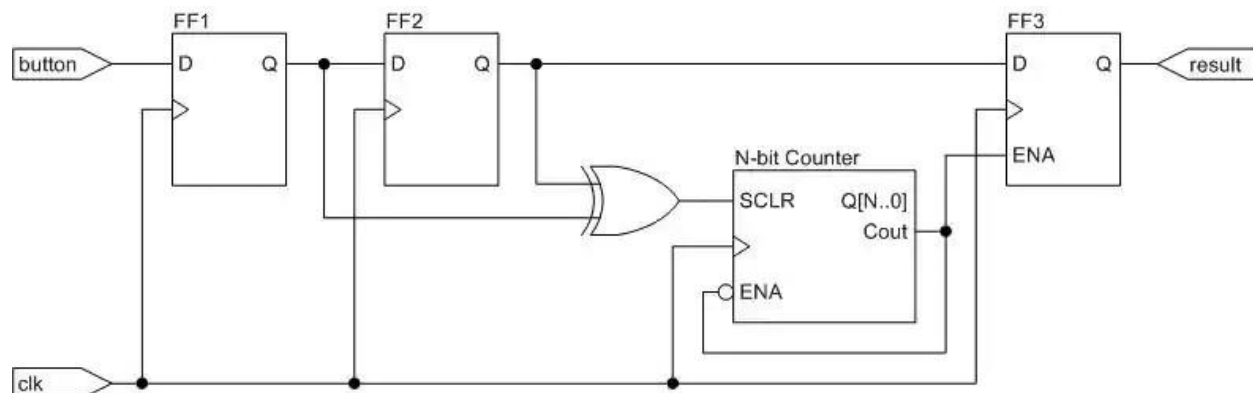


Fig. 1

Componenti

Per la realizzazione della calcolatrice, abbiamo utilizzato principalmente tre componenti: un accumulatore, un ALU e un debouncer. Il primo riceve in ingresso il risultato della ALU e ad ogni fronte del clock lo mette in uscita; il secondo è il processore che esegue i calcoli aritmetici, in questo caso addizione, sottrazione e moltiplicazione; il terzo invece produce un solo impulso stabile in presenza di un ingresso elettricamente rumoroso, eliminando quindi i vari impulsi spurii generati dai bottoni.

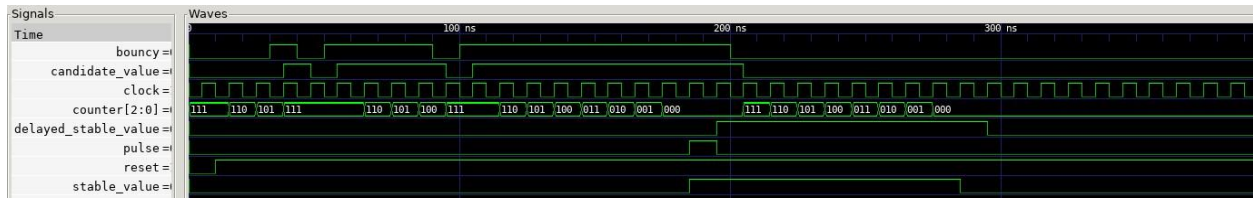


Fig. 2: diagramma temporale del debouncer

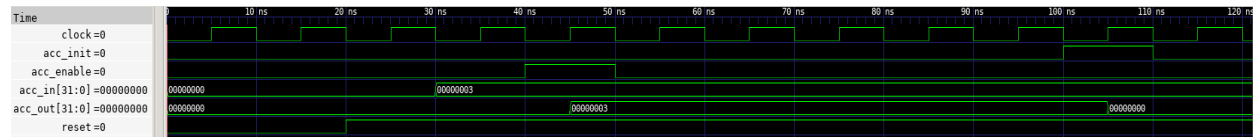


Fig. 3: diagramma temporale dell'accumulatore

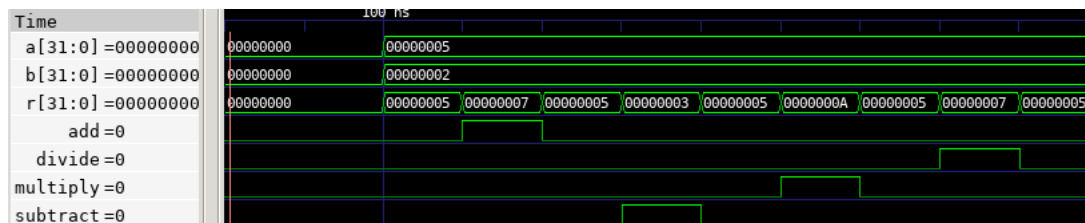


Fig. 4: diagramma temporale dell'ALU

Risultati

Crediti

Report realizzato da

Università degli Studi di Trento - 2022/2023



Demartin Gustavo,

Hangu David,

Pavona Tobia e

Repele Tommaso

