**Interrupciones**

**¿Qué es una interrupción?**

Dentro del ámbito de los microprocesadores, una interrupción es una señal que puede ser enviada desde el mundo exterior o emitida desde dentro del microprocesador que, gracias a un mecanismo del que hablaremos más adelante, es capaz de hacer que el microprocesador detenga el proceso que estaba ejecutando y en respuesta a dicha señal (la interrupción), ejecuta un conjunto de instrucciones predefinidas, denominadas ISR (*Interrupt Service Routine*), para luego retomar la ejecución del proceso anterior exactamente en las mismas condiciones en la que fue interrumpido.

**Tipos de interrupciones**

A grandes rasgos existen dos tipos de interrupciones, las internas o también denominadas como interrupciones por software, son aquellas que son emitidas por el mismo microprocesador en sincronía con el reloj de este, es decir, están programadas para generarse cuando se ejecuta una instrucción particular dentro del flujo del programar; su principal propósito es el manejo de excepciones, como por ejemplo el desbordamiento de una variable, una división por 0 o una violación de segmento, aunque también pueden ser programadas para lanzarse cuando una instrucción de interés sea ejecutada.

En contraposición, las interrupciones externas o también denominadas como interrupciones por hardware, se refieren a las que se generan desde fuera del microprocesador como por ejemplo desde un periférico como un teclado o un mouse, o desde un sensor de temperatura o humedad; estas interrupciones son de carácter asincrónico pues pueden suceder en cualquier momento, independientemente del reloj del microprocesador, y su propósito principal es informar al microprocesador que una condición de interés se ha cumplido en el mundo exterior.

**Historia de las interrupciones**

Las interrupciones internas fueron las primeras en ser implementadas, específicamente para el manejo de excepciones. La computadora UNIVAC-I (1951) fue la primera en contar con el manejo de excepciones, aunque como mencionamos antes, las interrupciones internas son sincrónicas y la UNIVAC-I sólo contaba con este tipo de interrupciones [Irfan]; la primera computadora en implementar interrupciones asincrónicas fue la NBS DYSEAC (1954), una computadora desarrollada para la US Army Signal Corps, que extendía el concepto de interrupción a las operaciones de entrada y salida siendo así la primar computadora en implementar interrupciones externas [Huella]. Posteriormente, en la computadora UNIVAC 1103A (1956), sucesora de la UNIVAC 1103 (1953), se implementó un sistema de interrupciones cuyo propósito era la recolección de datos en tiempo real de un túnel de viento perteneciente a la NASA [Huella], convirtiéndola así en la primera computadora en utilizar las interrupciones para este fin.

Un año después, alrededor de 1957, el sistema de interrupciones se mejoró aún más con la implementación del vector de interrupciones (concepto que explicaremos más adelante), idea desarrollada en paralelo en EEUU dentro del diseño de las computadoras IBM Stretch (1957) y Lincoln Labs TX-2 (1957), y en Ámsterdam dentro del diseño de la computadora Electrologica X-1 (1958) [Irfan], en donde trabajó el mismo Edsger W. Dijkstra (1930 - 2002), quien realizó su PhD en el manejo de interrupciones [Huella].

Tres años después, hacía el año 1960, las interrupciones ya eran una parte importante del funcionamiento de la mayoría de computadoras, a excepción de unas cuentas cuyo propósito era buscar una alternativa a las interrupciones y otras que en su lugar utilizaban el método del *polling*\* [Irfan]. Desde entonces, las interrupciones se continuaron implementando en las grandes y ostentosas computadoras de aquella época, que fueron evolucionando hasta convertirse en los diminutos microprocesadores de hoy día.

\*Es un método alternativo a las interrupciones externas, aunque mucho más ineficiente, pues consiste en que el propio microprocesador sondee periódicamente los dispositivos de entrada y salida revisando si alguno necesita establecer comunicación con él; además de que si se usa el *polling* para censar variables externas, se corre el riesgo de perder información en caso de que el periodo de sondeo no sea suficientemente pequeño para registrar los eventos de interés.

<https://virtualirfan.com/history-of-interrupts> [Irfan Ahmad] y Vídeo

<https://people.cs.clemson.edu/~mark/interrupts.html#dyseac> [Huella]

**Implementación de las interrupciones al nivel de hardware**

Para el manejo de interrupciones los microprocesadores cuentan con una unidad de interrupciones que se encarga de todo el proceso. Como mencionamos antes, en respuesta a una solicitud de interrupción, denominada técnicamente como una IRQ (*Interrupt Request*), el microprocesador ejecuta la ISR correspondiente, pero para conocer cual ISR corresponde a cada interrupción, se utiliza la tabla de vectores de interrupción, en donde cada índice representa una interrupción y su contenido es la dirección de memoria donde se encuentra almacenada la respectiva ISR. Esta tabla se encuentra ordenada según la prioridad de las interrupciones, pero esto es algo que comentaremos en detalle más adelante.

La ubicación de la tabla comienza en la dirección 0x0000 con la interrupción de RESET, la cual es la de mayor prioridad [UNO], no obstante, otros autores consideran que a términos prácticos, la tabla comienza en 0x004h, pues la interrupción RESET siempre está predefinida y habilitada para todos los modelos de microcontroladores [Fonseca]. El resto de interrupciones de la tabla varían según el modelo del microcontrolador, por lo cual a la hora de implementar una interrupción el hardware utilizado sí afecta el proceso, pues como ejemplo, en la plataforma Arduino el modelo Due puede recibir interrupciones externas por todos sus pines, mientras que en el modelo UNO, las interrupciones externas solo pueden ser recibidas por los pines 2 y 3 [ArduinoRef].

Para controlar cuales interrupciones pueden ser aceptadas por un microprocesador existen registros especiales; el más importante es el bit GIE (*Global Interrupt Enable*) que en caso de encontrarse en 0 desactiva todas las interrupciones a excepción de la de RESET, no obstante, aunque el bit GIE se encuentre en 1, cada interrupción de la tabla posee su propio bit de permiso para ser habilitada [Ilustraciones].

Todo el flujo del proceso de una interrupción se puede describir de la siguiente forma:

1. La señal de la interrupción llega a la unidad de interrupciones, en donde una bandera es activada, luego de que en el mundo real se cumple una condición de interés y nuestro circuito lo detecta, o cuando se genera una interrupción interna desde dentro del microprocesador. En caso de ser una interrupción externa, la bandera se mantiene activada incluso si la señal del exterior se detuvo, esto es para evitar posibles omisiones [Fonseca].
2. Al final de cada instrucción, el microprocesador consulta a la unidad de interrupciones si se ha generado alguna IRQ [Intel], y en caso afirmativo, en lugar de ejecutar la siguiente instrucción, el microcontrolador guarda el estado de registros y banderas actual, además de la dirección de memoria del contador del programa (PC, *Program* *Counter* o IP, *Instruction* *Pointer*) para saltar a la tabla de vectores de interrupciones en busca de la fuente de la interrupción. Una observación importante es que pare que el anterior proceso ocurra debe estar habilitado el bit GIE.
3. Cuando la fuente de interrupción es encontrada y su correspondiente bit de permiso está habilitado, se procede a desactivar el bit GIE para evitar que otra interrupción se genere y se salta a la dirección indicada en la tabla para comenzar la ejecución de la respectiva ISR.
4. Se ejecutan las instrucciones de la ISR, luego se activa de nuevo el bit GIE, además de restaura los registros, banderas y el contador del programa guardados, para continuar con la ejecución de la siguiente instrucción del proceso que fue interrumpido.

En el ítem tres se menciona que justo antes de comenzar con la ejecución de la ISR el bit GIE es desactivado para no recibir otra interrupción durante el proceso; en caso de que se requiera procesar otra posible interrupción dentro de la ISR, es necesario habilitar explícitamente el bit GIE por medio de las instrucciones que esta contiene [Intel].

Un último aspecto para mencionar sobre el funcionamiento de las interrupciones es la prioridad. Cuando dos interrupciones se presentan, la primera en ser atendida es la que primero se encuentre dentro de la tabla de vectores de interrupción, mientras que la segunda es postergada al momento en que se concluye la ejecución de la ISR de la primera, por lo cual el orden en que se colocan las interrupciones dentro de la tabla les asigna una prioridad respecto a las demás; sin embargo, dentro de la gama alta de microcontroladores podemos encontrar modelos que pueden clasificar las interrupciones como de alta o baja prioridad, permitiendo que la ejecución de la ISR de una interrupción de baja prioridad pueda ser interrumpida por una de alta, mientras que una de alta no puede ser interrumpida por una de baja [UNO].

Explicar cómo implementar por software y dar los consejos, luego pueden ser borrados en caso de que hagan el trabajo muy extenso.