

**IE-0315**  
**Circuitos Digitales 2**  
**Prof. Enrique Coen**

## **Tarea#1 Circuitos Digitales 2**

Jose Carlos Acevedo Fontalvo B90034

II ciclo 2023

## 1. Resumen

En el diseño de contador se utiliza flip-flop tipo D, donde una vez que se accede el "Modo", el contador por cada porción de tiempo incrementará en uno el valor del registro (para el modo 00), reducirá la cuenta del registro Q en uno (para el modo 01), aumentará en 3 el valor del registro (para el modo 10) y realiza carga en Paralelo con respecto a la entrada D (para el modo 11). Tenemos una entrada Enable (ENB) que al estar con un valor en alto, o sea decir 1, permite acceder al funcionamiento del contador descrito. Además, se observa la paridad; consta de un bit que observa si el número es impar o par. Por lo cual, se revisa las posiciones del registro descrito como "paridad". La paridad se calcula usando un XOR de los bits del contador. Mientras que "ripple-Carry out" se toma del bit menos significativo del contador.

## 2. Descripción Arquitectónica

Diagrama de Comportamiento.

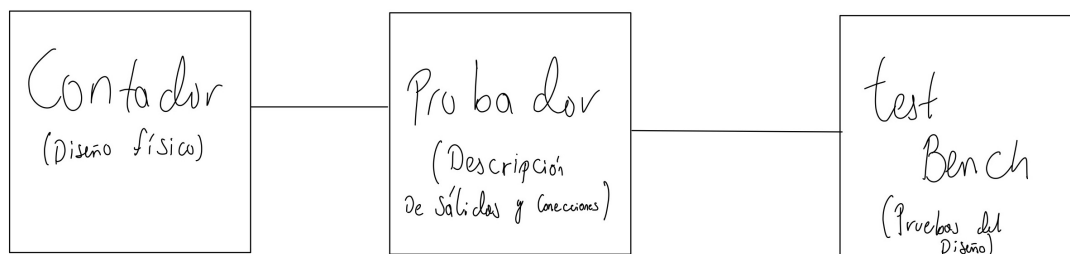


Figura 1: Diseño de comportamiento

En el diseño de circuitos digitales se necesita entender el comportamiento del circuito. En los tres bloques ilustrados en la imagen anterior. Se describe el comportamiento del circuito y como se realiza su diseño basado en el enunciado dado. Entonces, primero se describe el contador en un "Module" donde se muestran las entradas, salidas, registros y cables del diseño. Además, de la lógica implementada donde primero se cumple con la condición del ENABLE en alto, y una vez definido el modo ("MODO") por cada fracción de tiempo viene un cambio en el valor del contador. Ahora bien, en el archivo probador se define las conexiones entre cada una de las configuraciones. Por último, se realiza una serie de pruebas donde se ve el comportamiento deseado del circuito descrito por cada fracción de tiempo y como en función del reloj (CLK) el hardware reacciona. Además, en el archivo probador se realiza la instanciación del diseño.

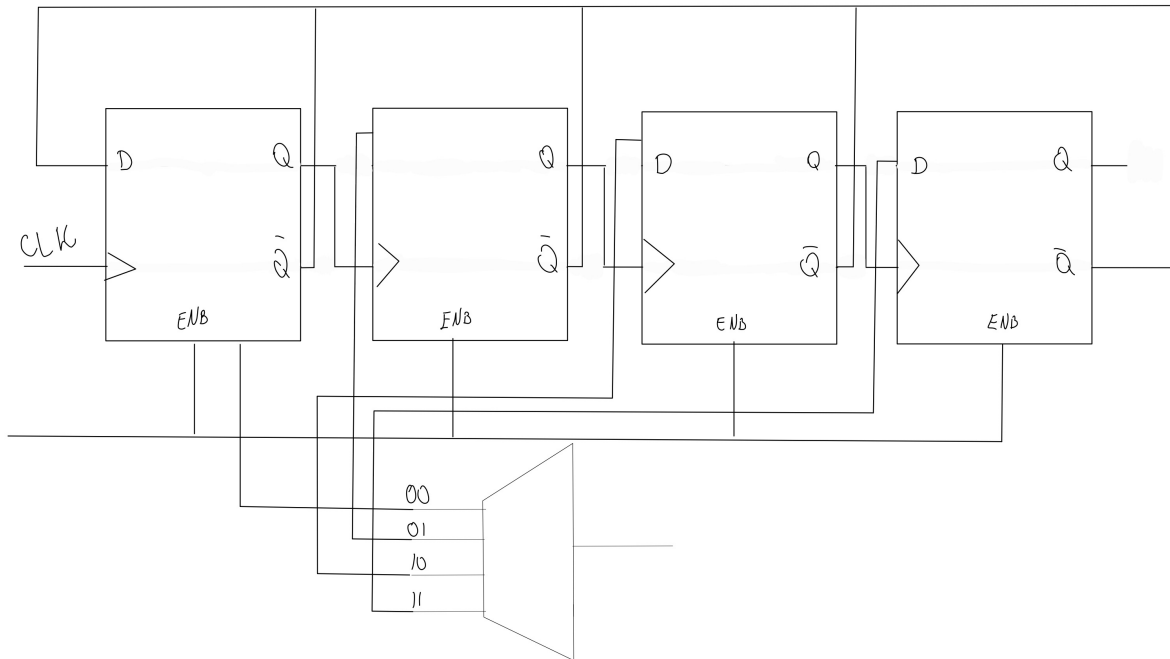


Figura 2: Diseño Lógico

### 3. Plan de Pruebas

En esta sección se describe el conjunto de pruebas que se realizan para comprobar el funcionamiento del circuito digital. En la primera prueba se muestra un contador ascendente donde por cada porción de tiempo mostrada dentro del probador, el contador aumenta en uno su valor. En la segunda prueba se realiza una secuencia descendente que por cada fracción de tiempo reduce su valor en una cifra y se hace efectivo al acceder MODO=01. Ahora bien se muestra al acceder MODO=10, se realiza un aumento del valor registra en Q en orden de 3 cifras. Posteriormente, al acceder el MODO=11, se realiza la prueba de carga en paralelo donde el valor de D es almacenado en el registro Q. Además al implementar 4 contador en cascada podemos obtener un contador de 16 bits, que cumple con las condiciones de la primera prueba.

### 4. Instrucciones de utilización de la simulación

Para hacer ser visible el resultado del código tenemos que descargar el punto (.zip) de la plataforma Mediación Virtual. Una vez hecho eso, el usuario debe descomprimir la carpeta y colocar el "path" de la misma. Usando el comando `cd` describe la locación de la ruta y haciendo uso del makefile ya realizado. Solo coloca el comando `make` el código muestra la simulación en GTKwave.

## 5. Ejemplos de los resultados

Al realizar las pruebas de cada uno de las pruebas obtenemos las salidas esperadas, y cada uno tuvieron un resultado efectivo. al realizar el análisis del MODO=00; vemos que al llegar a l valor más alto se reinicia en el valor inicial y así sucesivamente vuelve superior. Ahora bien, en el MODO=01 y MODO=10, es necesario empezar con el valor superior del contado de 1111, es decir 15 en valor decimal. Con eso se puede reducir el valor inicial hasta llegar al valor mas pequeño. A diferencia del modo inicial, que es necesario tener un valor cero para inicial. Analizando las salidas obtenidas, tenemos que por cada fracción de tiempo el contador en efecto aumenta su valor anterior. Como se muestra en la imagen.

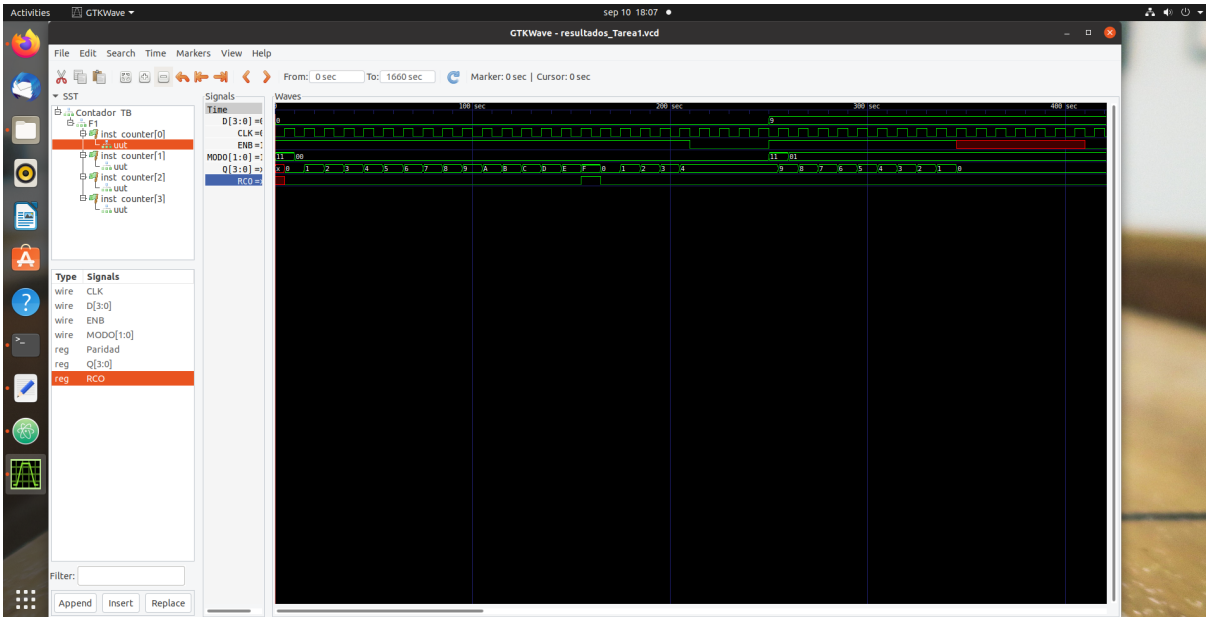


Figura 3: Simulación del diseño en MODO=00

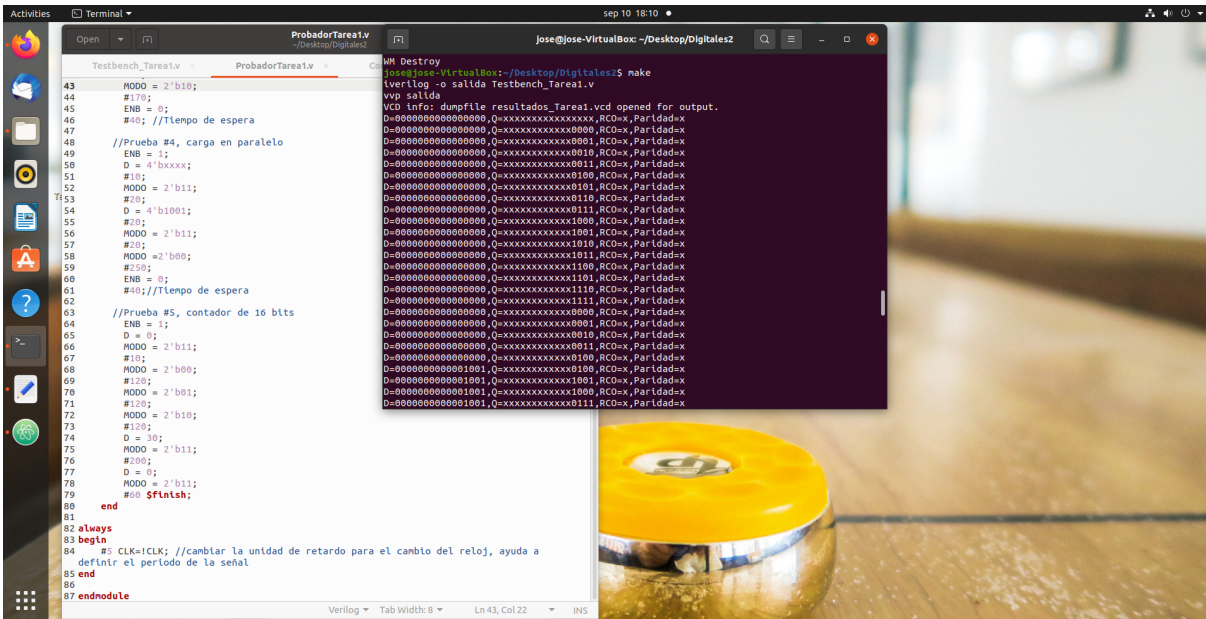


Figura 4: Respuesta del diseño en terminal

Ahora si no determinamos en el modulo probador una condición inicial en el valor de Q igual a 15 en decimal obtenemos que el contador no funciona de manera adecuada. Ya que al no ser posible que el diseño físico tenga un valor negativo la salida es nula. Como es mostrado en esta imagen.

La bandera RCO es levanta al llegar al valor más alto del contador, al igual que la paridad. Ya que se genera un acarreo al seguir la cuenta una vez que el conteo llega a su fin. Una vez ocurrido esto, se vuelve a realizar el prueba hasta que se llega a fraccion de tiempo denominada como Finish.

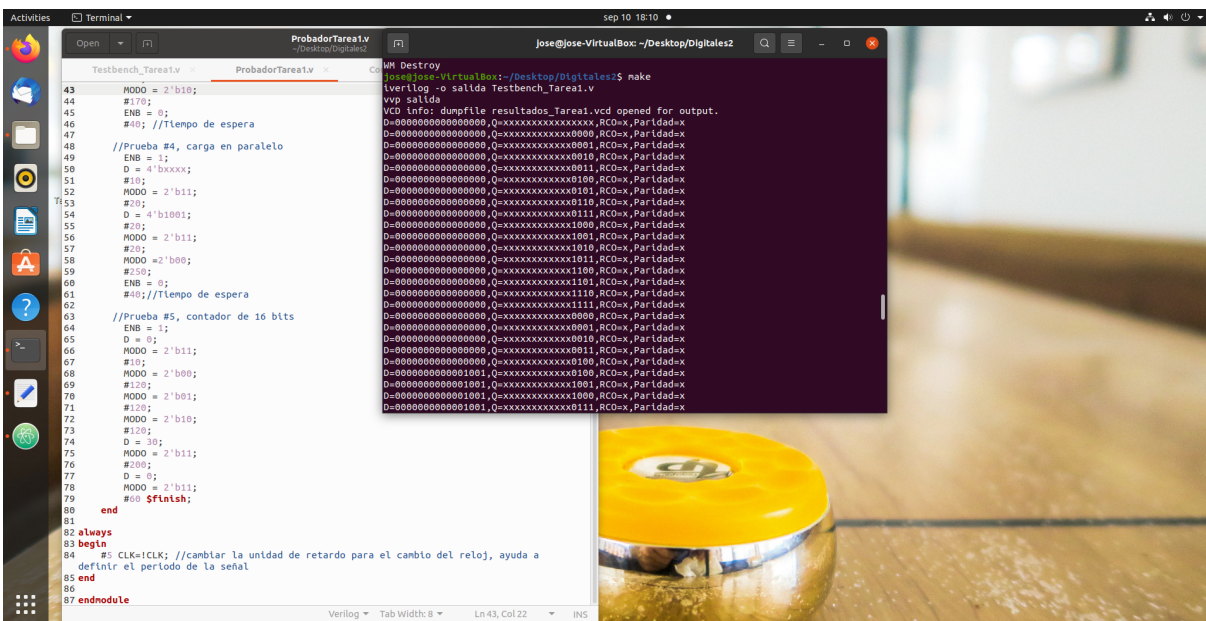


Figura 5: Problema de diseño en el MODO=01

De igual manera, se necesita que al determinar las condiciones inicial en el modo=11. Ya que si no se coloca un valor de D diferente por cada una de las fracciones de tiempo es imposible obtener un simulación satisfactoria.

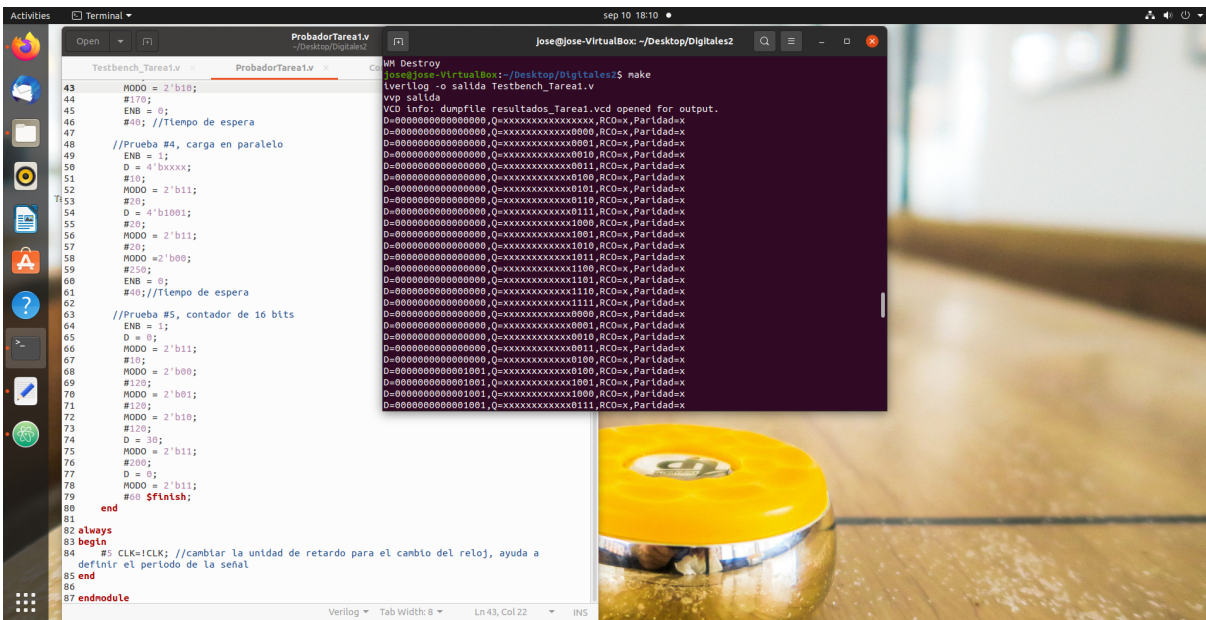


Figura 6: Problema de diseño en el MODO=11

Ahora que se solucionan los problemas iniciales, obtenemos por fin las salidas deseadas. Primero vemos que en terminal se cumple con los resultados deseado, numéricamente.

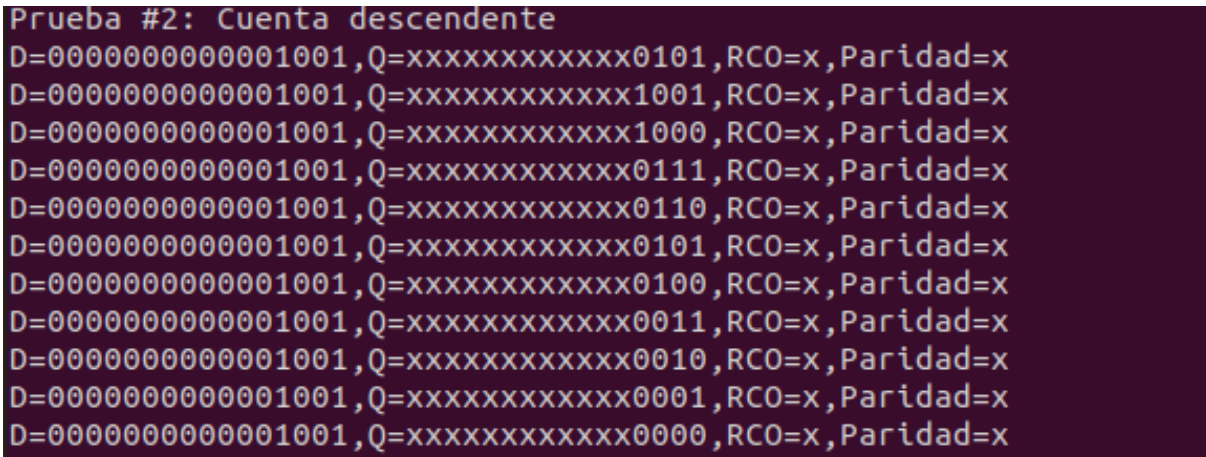


Figura 7: Prueba de contador descendente

La Prueba no muestra que la bandera RCO, al inicial. Además, al llegar al final de la cuenta se cumple que el valor de q es 0000. No obstante, no se muestra en la terminal si esta bandera se levanta o no.



```

D=00000000000000000000000000000000,Q=xxxxxxxxxxxx0000,RCO=x,Paridad=x
Prueba #3: Cuenta de tres en tres hacia abajo
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx0000,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx0011,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx0110,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx0110,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx1001,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx1100,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx1111,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx0010,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx0101,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx1000,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx1011,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx1110,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx0001,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx0100,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx0111,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx1010,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx1101,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx0000,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx0011,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx0110,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx1001,RCO=x,Paridad=x
D=00000000000000000000000000000000,Q=xxxxxxxxxxxx1100,RCO=x,Paridad=x

```

Figura 8: Prueba de contador hacia arriba con saltos de 3 cifras

```

Prueba #4: Carga en paralelo
D=0000000000000000xxxx,Q=xxxxxxxxxxxx1100,RCO=x,Paridad=x
D=0000000000000000xxxx,Q=xxxxxxxxxxxx1111,RCO=x,Paridad=x
D=0000000000000000xxxx,Q=xxxxxxxx0000xxxx,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx0000xxxx,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00001001,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00001010,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00001011,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00001100,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00001101,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00001110,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00001111,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00010000,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00010001,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00010010,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00010011,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00010100,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00010101,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00010110,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00010111,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00011000,RCO=x,Paridad=x
D=00000000000000001001,Q=xxxxxxxx00011001,RCO=x,Paridad=x

```

Figura 9: Prueba de carga en paralelo

En esta prueba ocurre, que al ser una carga en paralelo, lo que está almacenado en D no pasa inmediatamente a Q. Ya que se existen retardos naturales de los circuitos Y nótese como el D mantiene su valor mientras Q varía. Es decir, se debe realizar una corrección en el módulo probador.



```

Prueba #5:Contador de 16 bits
D=0000000000000000,Q=xxxxxxxx00100010,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00100000,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00100001,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00100010,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00100011,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00100100,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00100101,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00100110,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00100111,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00101000,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00101001,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00101010,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00101011,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00101100,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00101011,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00101010,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00101001,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00101000,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00100111,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00100110,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00100101,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00100100,RCO=x,Paridad=x
D=0000000000000000,Q=xxxxxxxx00100011,RCO=x,Paridad=x

```

Figura 10: Prueba de contador de 16 bits

## 6. Conclusiones y recomendaciones

Este tipo de proyectos son complejos, toman tiempo y dedicación; un análisis del diseño completo. Por ello, es necesario primero hacer un boceto de mano con el diseño físico de los 4 flip flops. Satisfactoriamente se cumple con lo esperado por el enunciado de la tarea. Como se muestra en las imágenes, las 5 pruebas fueron desglosadas en terminal. Se tomo en cuenta el uso de contadores que tiene lógica combinatorial, es decir no dependen del estado. Como se muestra, independiente de los parámetros de entrada se cumple con lo deseado por el diseño del circuito. Además, no hay que considerar los retardos en este tipo de diseños. Ya que, en la solución, se muestra una condición idónea.

### 6.1. Recomendaciones

Es necesario definir las condiciones iniciales de cada uno de los modo para que no exista interferencia entra cada una de las simulaciones. Hay que considerar las condiciones de entrada para la prueba modo=01, ya que de lo contrario no se puede ver las salidas. Las descripciones deben ser precisas y tener el mismo nombre de las variables a lo largo de todos los documentos en cuestión.