



Prova 24 Abril 2017, questões e respostas

Circuitos Lógicos (Universidade Estadual de Campinas)

OBS.: NÃO É PERMITIDO O USO DE CALCULADORA. DURAÇÃO 2 HORAS

Nome: _____ RA: _____

1. Faça as seguintes conversões de base numérica (apresente os cálculos):
a) (0,5 pt) 01101011_2 para a base 10 c) (0,5 pt) 206_{10} para a base 2
b) (0,5 pt) 58306_{10} para a base 16 d) (0,5 pt) $BA5_{16}$ para a base 10
2. (2,0 pts) Considere o circuito apresentado na Figura 1. Verifique se o circuito calcula o bit de paridade p_2 do código de Hamming(7,4) = (p_1 , p_2 , d_1 , p_4 , d_2 , d_3 , d_4). Considere paridade par. Justifique a sua resposta.
3. (2,0 pts) Estime os atrasos de propagação t_{pLH} e t_{pHL} do circuito da Figura 2. Considere que o caminho com maior atraso possui o maior número de portas. Para a resolução utilize os dados do fabricante apresentados na Tabela 1.
4. (2,0 pts) Projete um circuito combinacional mínimo que implemente a função incompletamente especificada $f(x_3, x_2, x_1, x_0) = \text{conjunto-um}(0, 7, 8, 10, 15)$ e conjunto-zero(1, 3, 4, 5, 6, 12, 13). Faça a minimização utilizando Mapas de Karnaugh. Apresente as expressões mínimas de SOMA DE PRODUTOS e PRODUTO DE SOMAS. Indique e justifique a sua escolha para a implementação do circuito considerando as expressões mínimas calculadas.
5. (2,0 pts) Projete um circuito combinacional com quatro entradas binárias x_3 , x_2 , x_1 e x_0 e uma saída binária z . A saída z é igual a “1” quando o número decimal representado pelo número binário (x_3 , x_2 , x_1 , x_0) for primo. Use o método de simplificação Quine-McCluskey para apresentar o PRODUTO DE SOMAS mínimo do circuito. Lembrar que um número primo é um número natural maior do que 1 que possui apenas dois divisores distintos: 1 e ele mesmo.

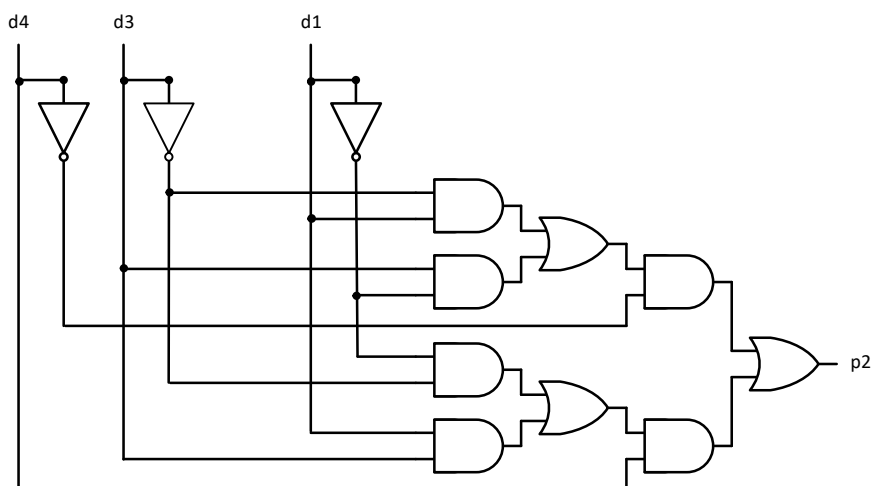


Figura 1: Diagrama esquemático do circuito da questão 2.

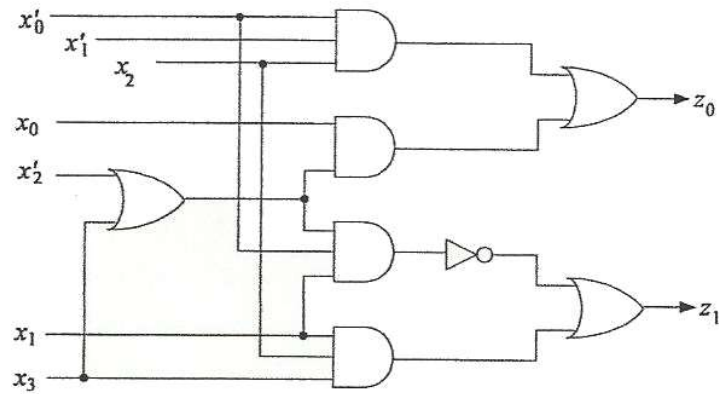


Figura 2: Diagrama esquemático do circuito da questão 3.

Tipo de porta	Fanin	Retardos de propagação		Fator de carga / (cargas- padrão)	Tamanho (portas equivalentes)
		t_{pLH} (ns)	t_{pHL} (ns)		
AND	2	$0,15 + 0,037L$	$0,16 + 0,017L$	1,0	2
AND	3	$0,20 + 0,038L$	$0,18 + 0,018L$	1,0	2
AND	4	$0,28 + 0,039L$	$0,21 + 0,019L$	1,0	3
OR	2	$0,12 + 0,037L$	$0,20 + 0,019L$	1,0	2
OR	3	$0,12 + 0,038L$	$0,34 + 0,022L$	1,0	2
OR	4	$0,13 + 0,038L$	$0,45 + 0,025L$	1,0	3
NOT	1	$0,02 + 0,038L$	$0,05 + 0,017L$	1,0	1
NAND	2	$0,05 + 0,038L$	$0,08 + 0,027L$	1,0	1
NAND	3	$0,07 + 0,038L$	$0,09 + 0,039L$	1,0	2
NAND	4	$0,10 + 0,037L$	$0,12 + 0,051L$	1,0	2
NAND	5	$0,21 + 0,038L$	$0,34 + 0,019L$	1,0	4
NAND	6	$0,24 + 0,037L$	$0,36 + 0,019L$	1,0	5
NAND	8	$0,24 + 0,038L$	$0,42 + 0,019L$	1,0	6
NOR	2	$0,06 + 0,075L$	$0,07 + 0,016L$	1,0	1
NOR	3	$0,16 + 0,111L$	$0,08 + 0,017L$	1,0	2
NOR	4	$0,23 + 0,149L$	$0,08 + 0,017L$	1,0	4
NOR	5	$0,38 + 0,038L$	$0,23 + 0,018L$	1,0	4
NOR	6	$0,46 + 0,037L$	$0,24 + 0,018L$	1,0	5
NOR	8	$0,54 + 0,038L$	$0,23 + 0,018L$	1,0	6
XOR	2*	$0,30 + 0,036L$	$0,30 + 0,021L$	1,1	3
		$0,16 + 0,036L$	$0,15 + 0,020L$	2,0	
XOR	3*	$0,50 + 0,038L$	$0,49 + 0,027L$	1,1	6
		$0,28 + 0,039L$	$0,27 + 0,027L$	2,4	
		$0,19 + 0,036L$	$0,17 + 0,025L$	2,1	
XNOR	2*	$0,30 + 0,036L$	$0,30 + 0,021L$	1,1	3
		$0,16 + 0,036L$	$0,15 + 0,020L$	2,0	
XNOR	3*	$0,50 + 0,038L$	$0,49 + 0,027L$	1,1	6
		$0,28 + 0,039L$	$0,27 + 0,027L$	2,3	
		$0,19 + 0,036L$	$0,17 + 0,025L$	1,3	
2-OR/NAND2	4	$0,17 + 0,075L$	$0,10 + 0,028L$	1,0	2
2-AND/NOR2	4	$0,17 + 0,075L$	$0,10 + 0,028L$	1,0	2

L : Carga na saída da porta.
* Diferentes características para cada entrada.

Tabela 1: Características de portas CMOS.