

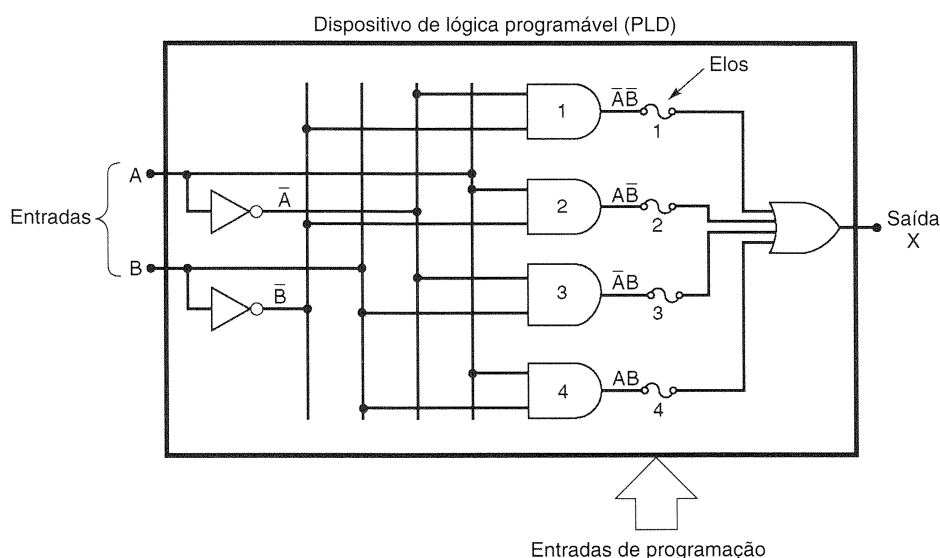
EA772 CIRCUITOS LÓGICOS

LISTA DE EXERCÍCIOS

1º Semestre, 2015

Minimização de funções, Circuitos combinacionais e aplicações, Circuitos aritméticos, Codificadores, Multiplexadores.

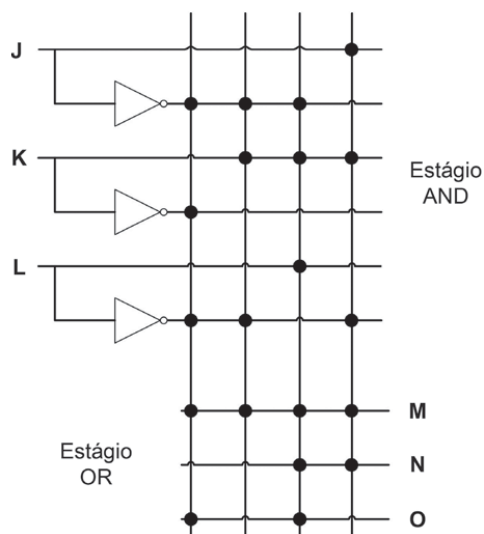
Exercício 1. a) Modifique a estrutura do PLD da figura abaixo de modo que ela possa receber três entradas. b) Usando esse PLD de três entradas, mostre como implementar a função $x = A'BC + AB'C + ABC' + ABC$.



(Tocci & Widmer, 9ª Edição; Problema 4.45, página 103)

Exercício 2. Um componente bastante usado em circuitos lógicos é a matriz lógica programável (ou PLA, do inglês *Programmable Logic Array*). Uma PLA usa como entrada um conjunto de sinais e os complementos desses sinais (que podem ser implementados por um conjunto de inversores). A lógica é implementada a partir de dois estágios: o primeiro é uma matriz de portas AND que formam o conjunto de termos produto (também chamados mintermos); o segundo estágio é uma matriz de portas OR, cada uma efetuando uma soma lógica de qualquer quantidade dos mintermos. Cada um dos mintermos pode ser o resultado do produto lógico de qualquer dos sinais de entrada ou de seus complementos.

É comum, em lugar de desenhar todas as portas lógicas de cada um dos estágios, representar apenas a posição das portas lógicas em uma matriz, conforme ilustra a figura a seguir.



A partir da figura apresentada, infere-se que as entradas JKL=000 e JKL=101 levam a saídas MNO iguais, respectivamente, a

- a) 000 e 000
- b) 000 e 010
- c) 100 e 101
- d) 101 e 000
- e) 101 e 010

(ENADE 2014, Prova Engenharia de Computação, Questão 23)

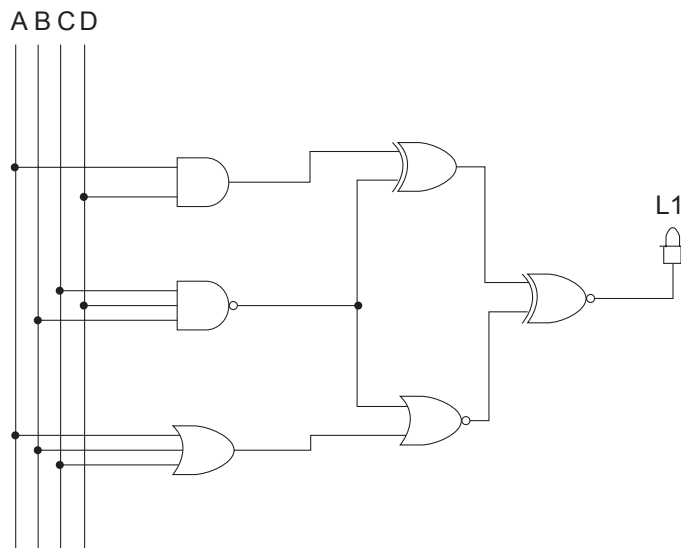
Exercício 3. Um processo monitora três parâmetros para controle de qualidade: A, B, C. Cada parâmetro possui um valor na decisão final da qualidade. A existência do parâmetro A pesa 30% na decisão final, enquanto os parâmetros B e C pesam 30% e 40%, respectivamente. O grau de aprovação do processo é dado pela soma dos percentuais desses três parâmetros. O produto gerado pelo processo é considerado aprovado, caso o grau de qualidade seja superior ou igual a 60%, e reprovado, se o grau de qualidade for inferior ou igual a 30%. Caso o grau de qualidade esteja entre 30% e 60%, a decisão de aprovação ou reprovação é indiferente. Por exemplo, se um produto apresentar os parâmetros A e B, terá grau de qualidade de $30\%+30\%=60\%$, levando à sua aprovação.

Com base na situação descrita, projete um circuito lógico com o menor número possível de portas lógicas, para determinar a aprovação ou não do produto de acordo com a presença de seus parâmetros. As entradas do circuito serão os sinais A, B, C, e a saída será um sinal Z. Para atingir esse objetivo, faça o que se pede nos itens a seguir.

- a) Monte uma tabela verdade do sistema com a formação ABC.
- b) Desenhe o circuito final otimizado utilizando portas lógicas.

(ENADE 2014, Prova Engenharia de Computação, Questão Discursiva 5)

Exercício 4. Considerando um concurso onde os candidatos serão avaliados a partir da combinação das respostas binárias (sim – 1 ou não – 0) a quatro questões (A, B, C e D), construiu-se o seguinte circuito digital para selecionar os citados candidatos.



Sabendo que o LED L1 só acenderá para o nível lógico 1 na sua entrada, e que isso seria a indicação de aprovação, qual das alternativas a seguir apresenta corretamente possíveis combinações binárias das respostas às questões A, B, C e D, nessa sequência, que garantem a aprovação de um candidato?

- a) 0011, 0001 e 0010
- b) 1001, 1101 e 1110
- c) 0111, 1001 e 1011
- d) 0110, 1010 e 1000
- e) 1011, 1101 e 1010

(ENADE 2014, Prova Engenharia Elétrica, Questão 25)

Exercício 5. Em um sistema de automação industrial, um motor será ligado quando ocorrer determinadas combinações do acionamento de chaves e sensores. Dessa forma, deverá ser criada uma função lógica combinacional $X = f(A, B, C, D)$, em que A e C representam chaves, B e D representam sensores e X representa o acionamento do motor.

Para isso, construiu-se a Tabela Verdade das variáveis envolvidas, conforme mostrado abaixo.

Na Tabela Verdade, A, B, C e D são as entradas e X é a saída. O símbolo ? representa a condição de *don't care* ou não importa para a saída X. O símbolo ' representa inversão lógica. Dessa forma, B', por exemplo, significa B invertido ou complementado.

	A	B	C	D	X
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	?
4	0	1	0	0	0
5	0	1	0	1	?
6	0	1	1	0	?
7	0	1	1	1	?
8	1	0	0	0	0
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	?
12	1	1	0	0	1
13	1	1	0	1	?
14	1	1	1	0	?
15	1	1	1	1	?

A expressão lógica minimizada para a função X pode ser representada por:

- a) $X = AB + AD + AC$
- b) $X = A'D + A'C + A'B$
- c) $X = ABD' + A'BD + AC$
- d) $X = AC'D + ACD' + AB$
- e) $X = AB'C'D + AB'C'D + AB'CD'$

(ENADE 2014, Prova Engenharia Elétrica, Questão 30)

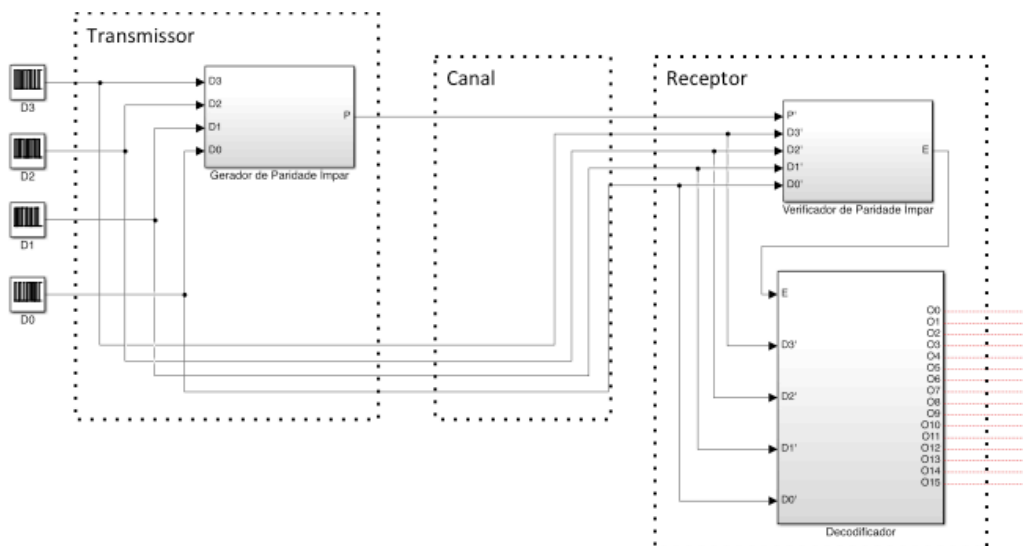
Exercício 6. Dada a função Booleana $f(w, x, y, z) = \sum(4, 8, 10, 11, 12, 15) + \sum_{\phi}(9, 14)$, pede-se:

- a) Construa a Tabela Verdade para esta função.
- b) Obtenha as formas canônicas de soma de produtos e produto de somas.
- c) Obtenha todas as possíveis expressões mínimas desta função Booleana utilizando o Método de Quine-McCluskey (Mostre todos os passos da minimização!).
- d) Obtenha todas as possíveis expressões mínimas desta função Booleana utilizando o Método do Mapa de Karnaugh (Mostre todos os passos da minimização!).
- e) É possível obter expressões mínimas desta função com um menor número de literais? Se sim, mostre como obter pelo menos uma destas expressões mínimas.

(Elias 2014; Questão 2 da Prova 2 – EA772)

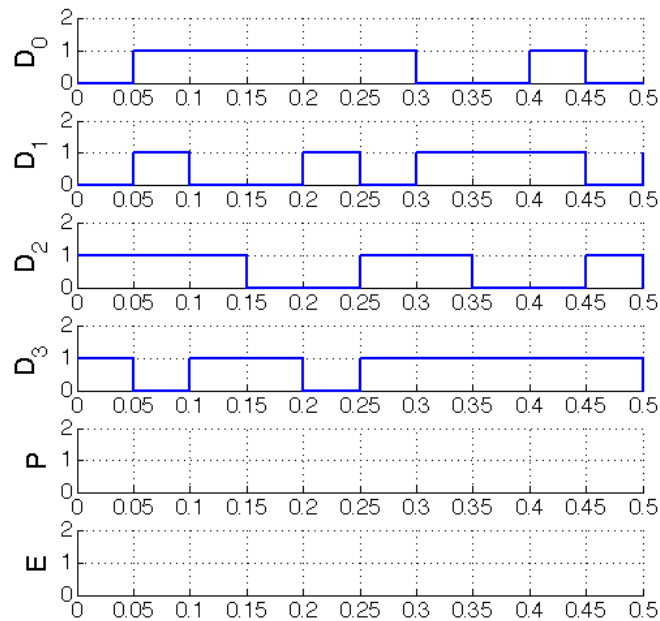
Exercício 7. Deseja-se transmitir uma sequência binária com 4 bits ($D_3 D_2 D_1 D_0$, em que D_0 é o bit menos significativo e D_3 é o bit mais significativo). No transmissor deve-se acrescentar um bit de paridade à sequência binária original com o objetivo de se obter uma sequência de 5 bits ($P D_3 D_2 D_1 D_0$)

com paridade ímpar. Esta sequência binária é transmitida através de um canal de comunicação ideal. No receptor a sequência binária é decodificada somente se a checagem de paridade ímpar não detectar um erro (nível BAIXO). Caso contrário, o decodificador deverá produzir nível BAIXO em todas as suas saídas. O diagrama de blocos deste sistema é mostrado na Figura abaixo.

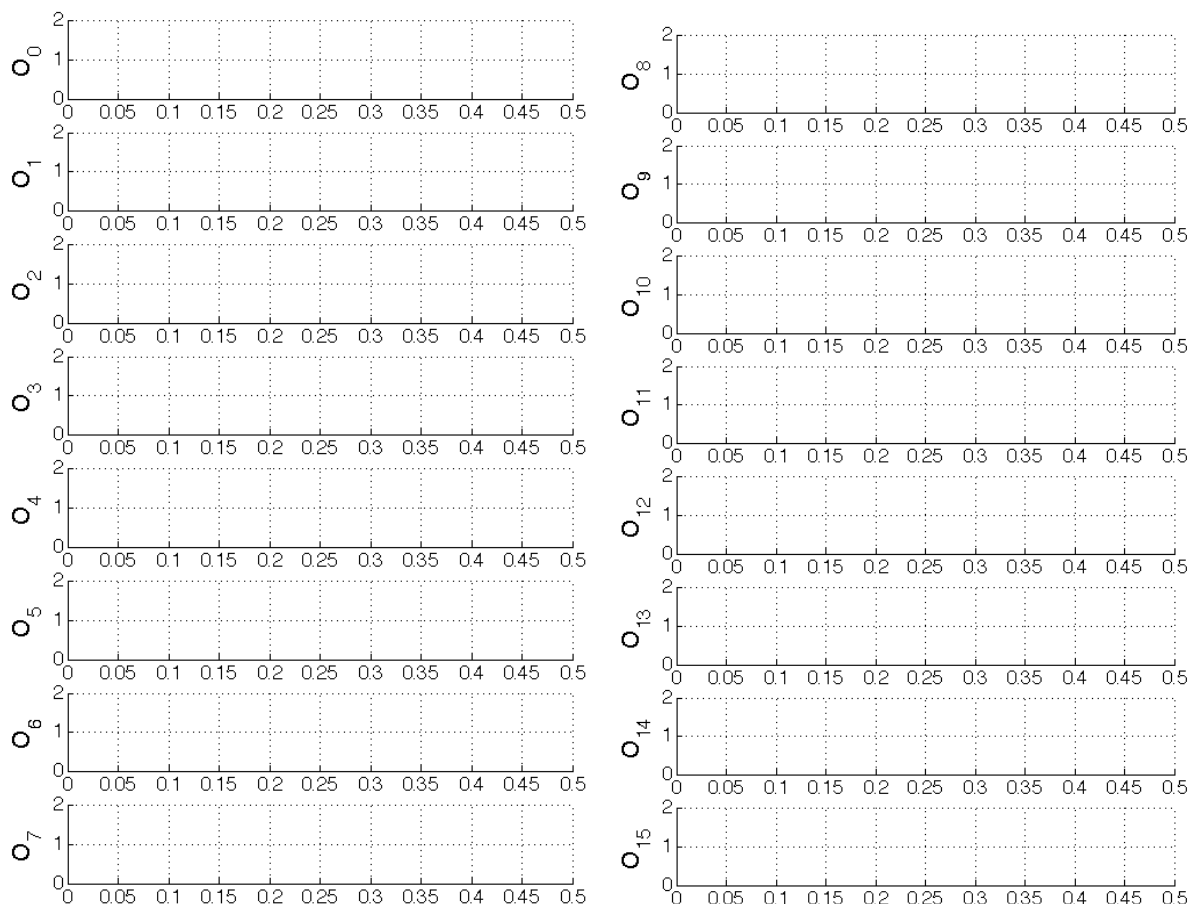


Dado o enunciado, pede-se:

- a) Desenhe e explique o funcionamento do circuito lógico combinacional do gerador de paridade ímpar.
- b) Desenhe e explique o funcionamento do circuito lógico combinacional do verificador de paridade ímpar.
- c) Construa a Tabela Verdade do Decodificador.
- d) Considerando que $P' = P$, $D_3' = D_3$, $D_2' = D_2$, $D_1' = D_1$ e $D_0' = D_0$, complete os diagramas de temporização mostrados abaixo.

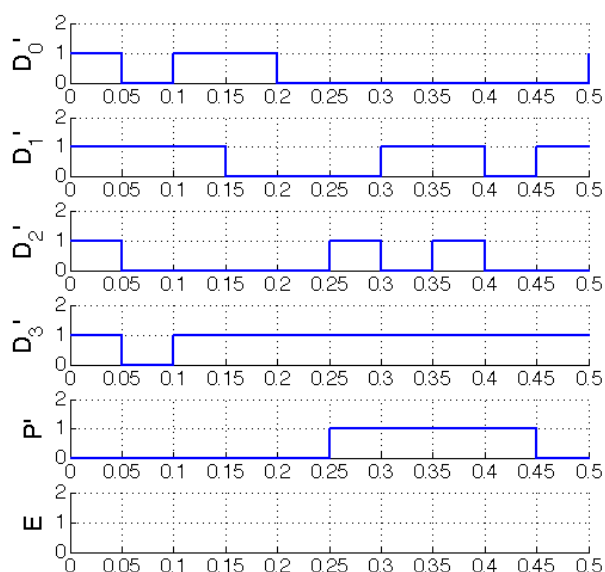


Atenção: D_3 é o bit mais significativo e D_2 é o bit menos significativo da sequência binária.

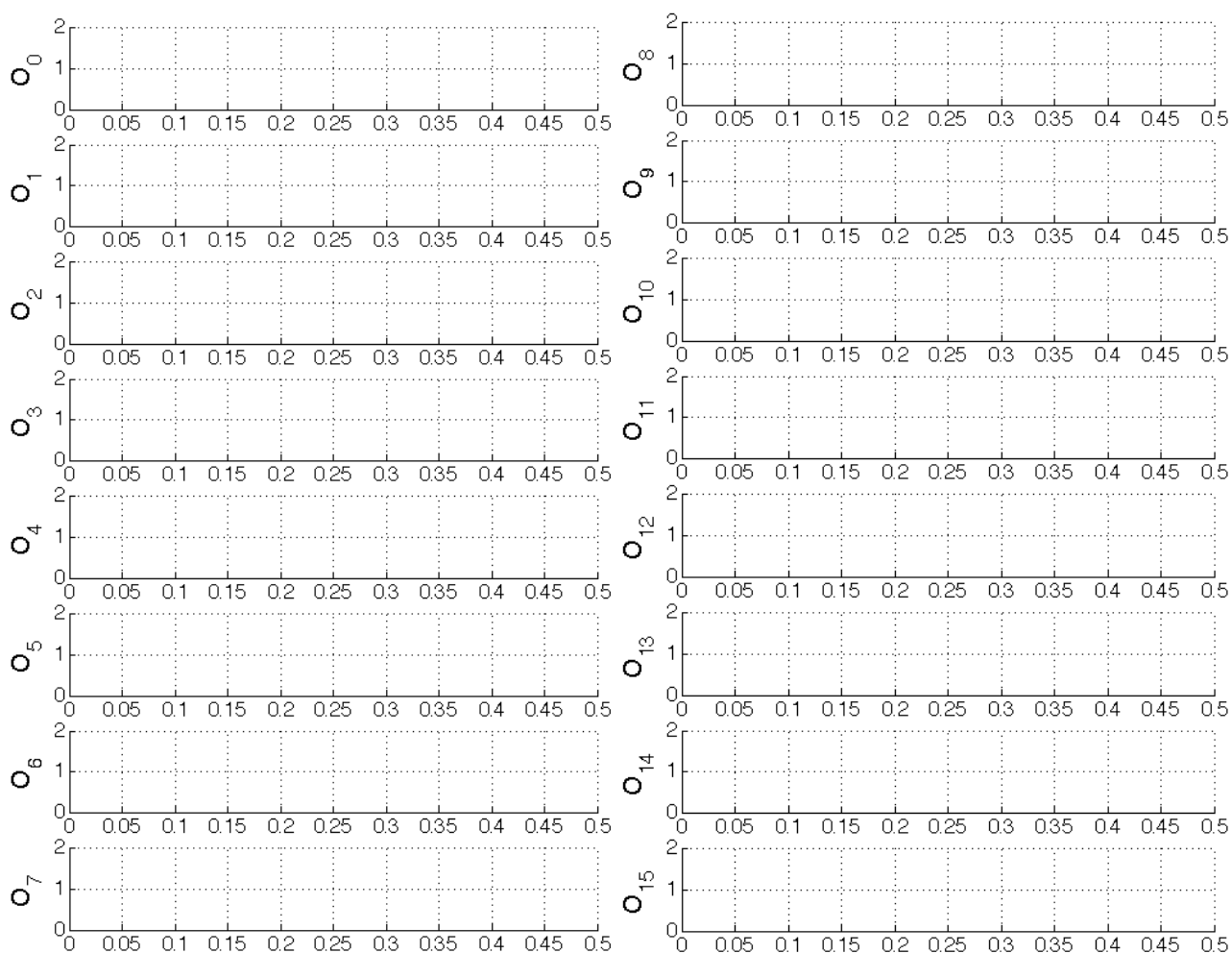


e) Considere agora que o canal não é mais ideal. Os sinais recebidos (P' , D_3' , D_2' , D_1' , D_0') são aqueles mostrados no diagrama de temporização abaixo. Sabendo que em cada intervalo de tempo (0,05 s) apenas um erro simples

pode ter ocorrido em um dado bit, complete o diagrama considerando o funcionamento do sistema digital descrito anteriormente.



Atenção: D_3' é o bit mais significativo e D_2' é o bit menos significativo da sequência binária.



(Elias 2014; Questão 3 da Prova 2 – EA772)

Exercício 8. a) Determine a Tabela Verdade de um Meio Subtrator, cujas entradas são os bits X_1 e X_2 , e as saídas são os bits D e B (*Borrow*). b) Determine a função Booleana para cada uma das saídas do Meio Subtrator e desenhe o circuito lógico combinacional utilizando o menor número de portas lógicas possível. c) Determine a Tabela Verdade de um Subtrator Completo, cujas entradas são os bits X_1 , X_2 e B_{in} , e as saídas são os bits D ($X_1 - X_2 - B_{in}$) e B_{out} . d) Determine o Mapa de Karnaugh para cada uma das saídas do Subtrator Completo. Em seguida, obtenha as expressões mínimas para as funções Booleanas que representam a saída deste circuito lógico combinacional. Por fim, desenhe o circuito lógico combinacional utilizando o menor número de portas lógicas possível.

(Elias 2014; Questão 4 da Prova 2 – EA772)

Exercício 9. Utilize o procedimento de tabulação (Método de Quine-McCluskey) para gerar o conjunto de implicants primos e obter todas as expressões mínimas para as seguintes funções.

- a) $f1(w, x, y, z) = \sum(1, 5, 6, 12, 13, 14) + \sum_{\phi}(2, 4)$
- b) $f2(v, w, x, y, z) = \sum(0, 1, 3, 8, 9, 13, 14, 15, 16, 17, 19, 24, 25, 27, 31)$
- c) $f3(w, x, y, z) = \sum(0, 1, 4, 5, 6, 7, 9, 11, 15) + \sum_{\phi}(10, 14)$
- d) $f4(v, w, x, y, z) = \sum(1, 5, 6, 7, 9, 13, 14, 15, 17, 18, 19, 21, 22, 23, 25, 29, 30)$
- e) $f5(w, x, y, z) = \sum(0, 1, 5, 7, 8, 10, 14, 15)$

(Kohavi & Jha, 2010; Problema 4.20, página 104)

Exercício 10. Para a função $T(w, x, y, z) = \sum(0, 1, 2, 3, 4, 6, 7, 8, 9, 11, 15)$:

- a) Apresente o mapa.
- b) Encontre todos os implicants primos e indique quais são essenciais.
- c) Encontre a expressão mínima para T e determine se este é único.

(Kohavi & Jha, 2010; Problema 4.13, página 103)

Exercício 11. O mapa abaixo representa os implicants primos para $f(a, b, c, d)$ no qual alguns itens das linhas e colunas são desconhecidos (?). No entanto, é conhecido que a tabela tem uma linha para cada impicante primo de f e uma coluna para cada mintermo para o qual f tem um valor de 1.

- a) Encontre, com ajuda do mapa, todos os mintermos e implicants primos que correspondam, respectivamente, às linhas e colunas desconhecidas.
- b) A solução é única?

- c) Obtenha os maxtermos de f , ou seja, os termos para os quais f é igual a 0.
- d) Encontre a(s) expressão(ões) mínima(s) para f .

	0	7	8	10	15	?	?
$A = b'd'$	x		x	x			
$B = ?$	x					x	
$C = bcd$		x			x		
$D = ?$					x		x
$E = ?$			x				
$F = ?$							x

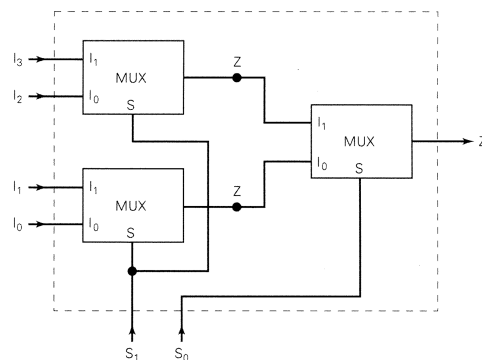
(Kohavi & Jha, 2010; Problema 4.24, página 106)

Exercício 12. Desenhe um conversor de código de dois níveis a partir de BCD para o código 2-entre-5, conforme apresentado na tabela abaixo.

Decimal	2-out-of-5				
0	1	1	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	1	0	0	0	1
8	1	0	0	1	0
9	1	0	1	0	0

(Kohavi & Jha, 2010; Problema 5.2, página 144)

Exercício 13. O circuito da figura abaixo utiliza três multiplexadores de duas entradas. Determine a função realizada por este circuito.



(Tocci & Widmer, 9ª Edição; Problema 9.27, página 368)