

AULA 15

LATCHES

Profª Letícia Rittner

Circuitos digitais

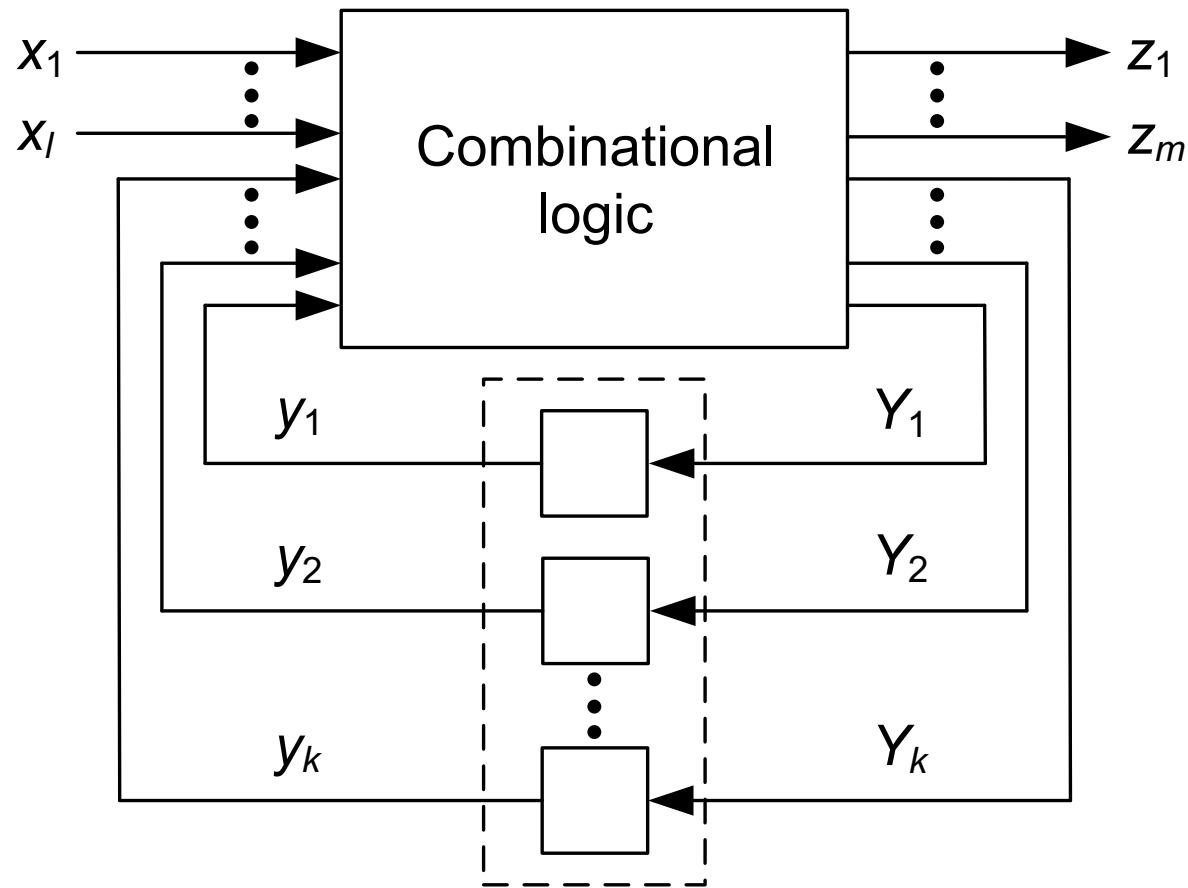
□ Combinacionais

- ▣ Composto por um conjunto de portas lógicas
- ▣ O valor da saída é função apenas dos valores atuais das entradas

□ Sequenciais

- ▣ Composto por um circuito combinacional mais elementos de memória
- ▣ O valor da saída é função dos valores atuais das entradas e do estado atual do circuito

Circuitos sequenciais



“Memory” devices

Kohavi & Jha (2010)

Dispositivos de Memória:

Latch/Flip-Flop

- ❑ Elemento de memória (célula binária) implementado a partir de portas lógicas
- ❑ Possui dois estados:
 - ▣ ALTO (ou SET)
 - ▣ BAIXO (ou CLEAR ou RESET)
- ❑ Os valores de entrada fazem com que o Latch/Flip-Flop comute entre seus possíveis estados de saída
- ❑ Se a entrada for “pulsada” a saída permanecerá no novo estado mesmo após o fim do pulso (memória)

Dispositivos de Memória:

Latch/Flip-Flop

□ Latch

- ▣ A entrada é monitorada continuamente e a saída muda de estado dependendo dos valores presentes na entrada = Assíncrono
- ▣ Frequentemente há um sinal de habilitação (ENABLE)

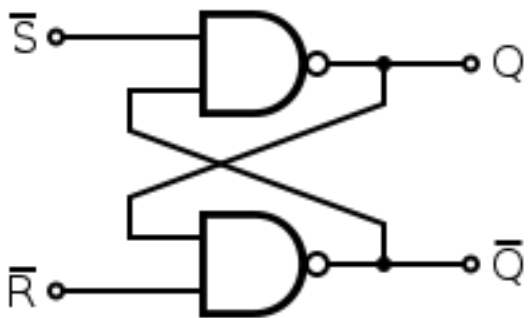
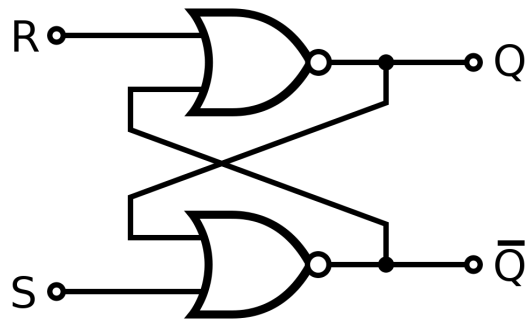
□ Flip-Flop

- ▣ A saída muda de estado apenas após a mudança de um sinal de clock = Síncrono

Latch

- Armazenador temporário de um bit
- Pode ser construído usando
 - ▣ 2 portas NOR ou
 - ▣ 2 portas NAND
- O que dá ao latch o caráter de memória é a realimentação (feedback)

Latch SR



S	R	Q
0	0	Q_{ant}
0	1	0
1	0	1
1	1	inválido

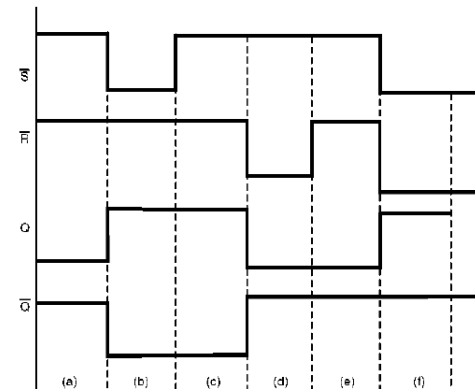
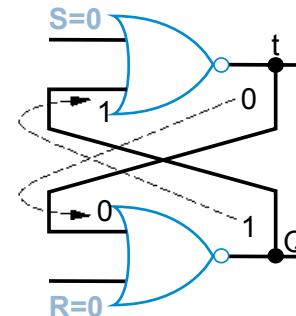
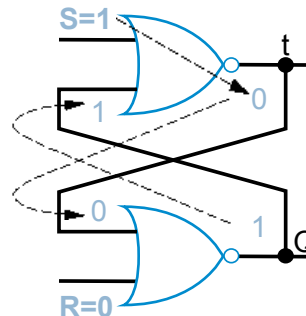
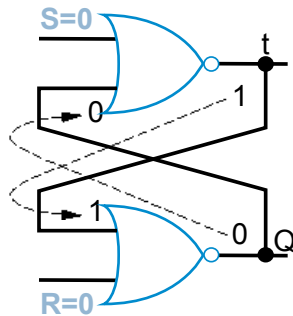
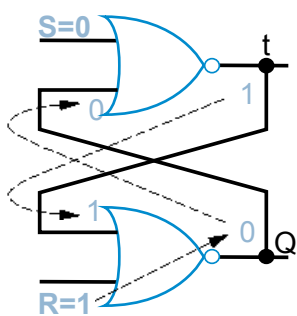
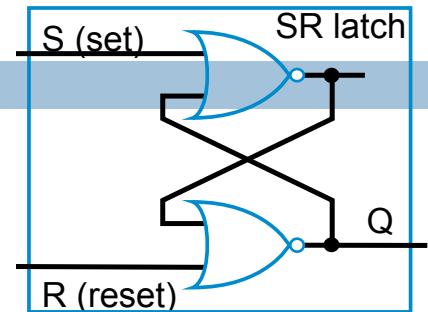
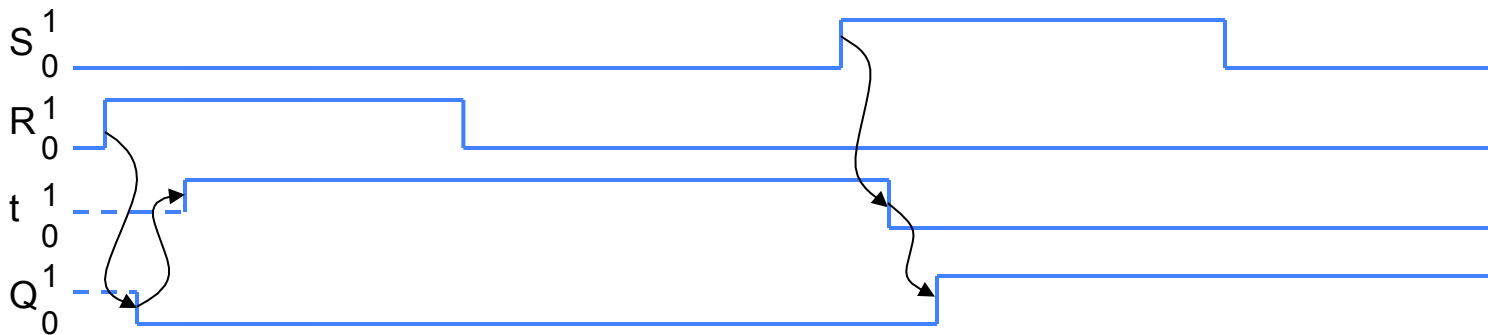
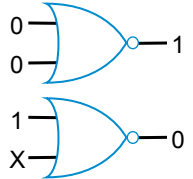


Figura 3 - Em (f) temos uma condição não permitida com Q e \bar{Q} no nível alto (\bar{S} e \bar{R} no nível baixo)

Usando um Latch SR

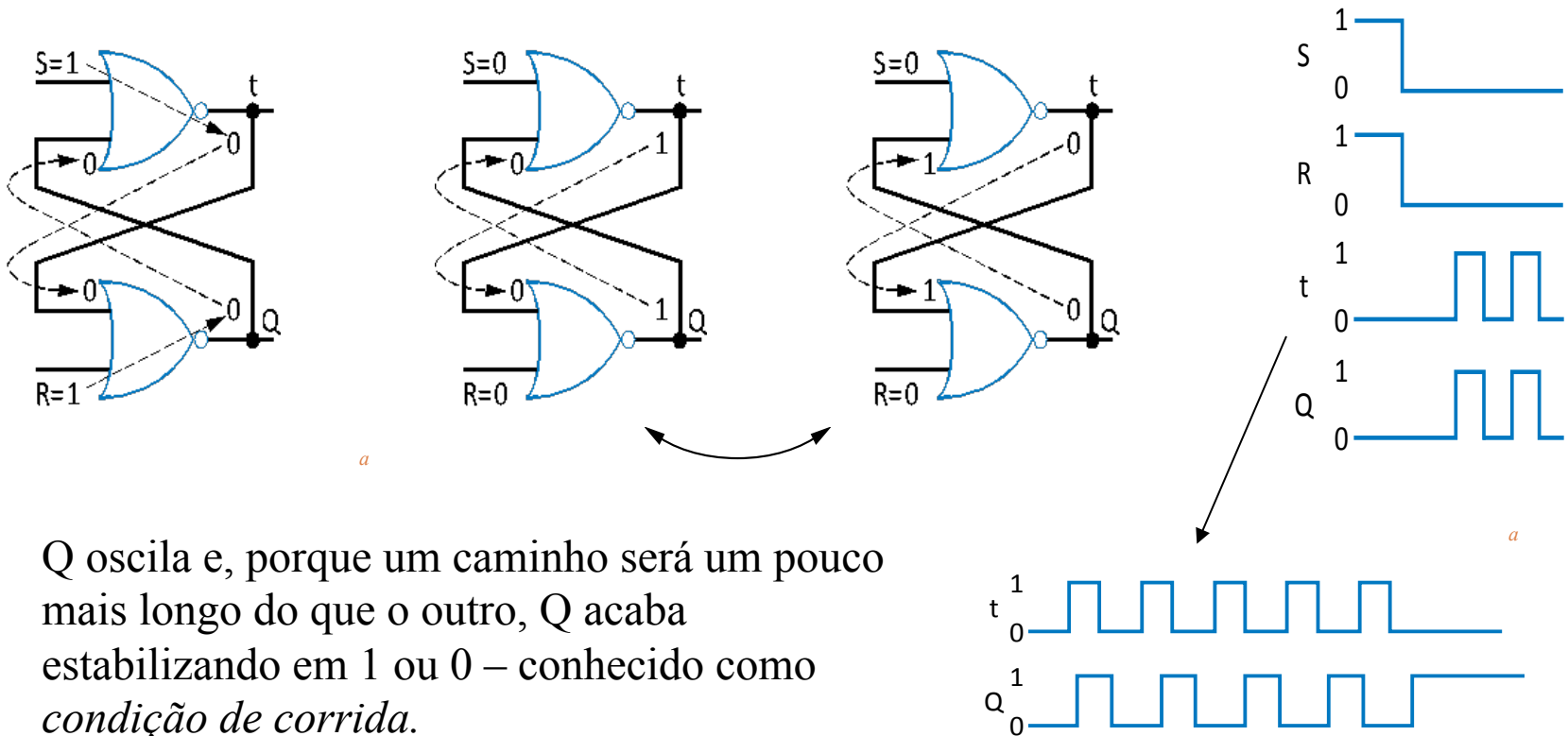


Recall NOR...



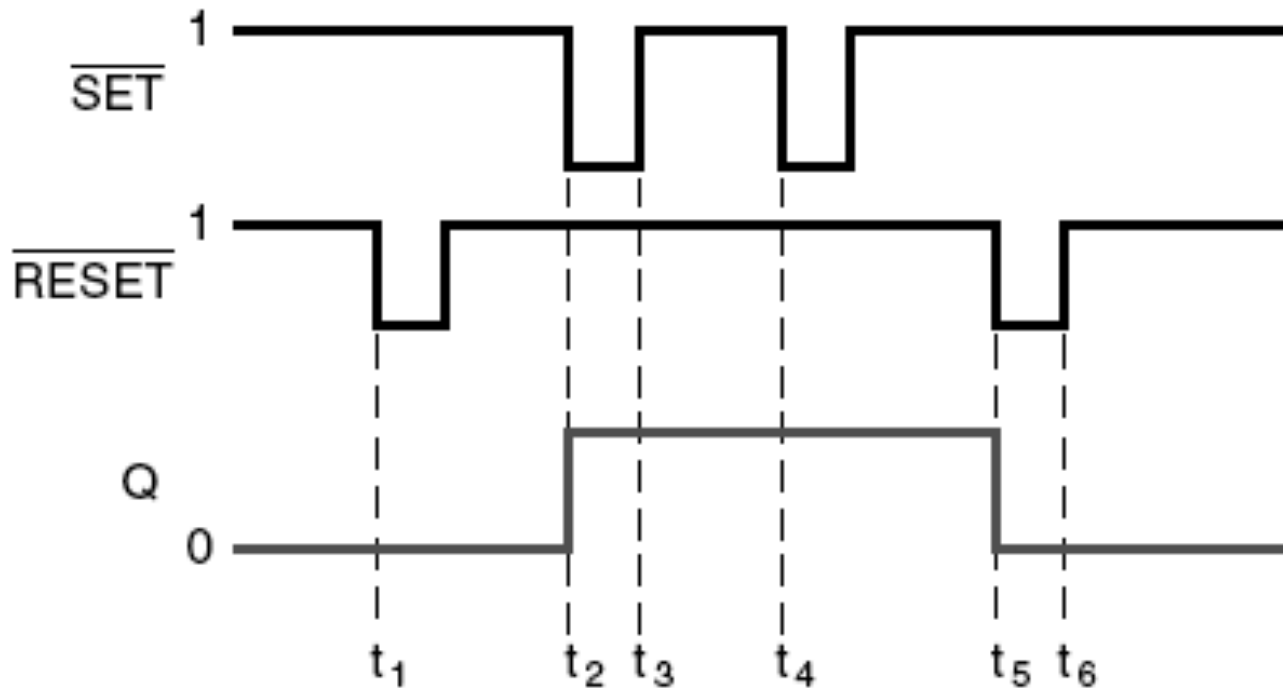
Problema com Latch SR

- Se $S=1$ e $R=1$ simultaneamente, Q fica indeterminado



Q oscila e, porque um caminho será um pouco mais longo do que o outro, Q acaba estabilizando em 1 ou 0 – conhecido como *condição de corrida*.

Exemplo



Tocci et al. (2011)

Adaptado do Prof. Leonardo Abdala

Resumo do Latch SR com Portas NOR

- **SET = CLEAR = 0**
 - ▣ Repouso. As saídas permanecem no mesmo estado que estavam antes destas condições de entrada.
- **SET = 1; CLEAR = 0**
 - ▣ $Q = 1$; $Q' = 0$. Esta situação permanece mesmo que SET retorne para 0. O Latch está setado.
- **SET = 0; CLEAR = 1**
 - ▣ $Q = 0$; $Q' = 1$. Esta situação permanece mesmo que CLEAR retorne para 0. O Latch está resetado ou “limpo”.
- **SET = CLEAR = 1**
 - ▣ $Q = Q' = 0$, o que é uma situação indesejada (pela definição).

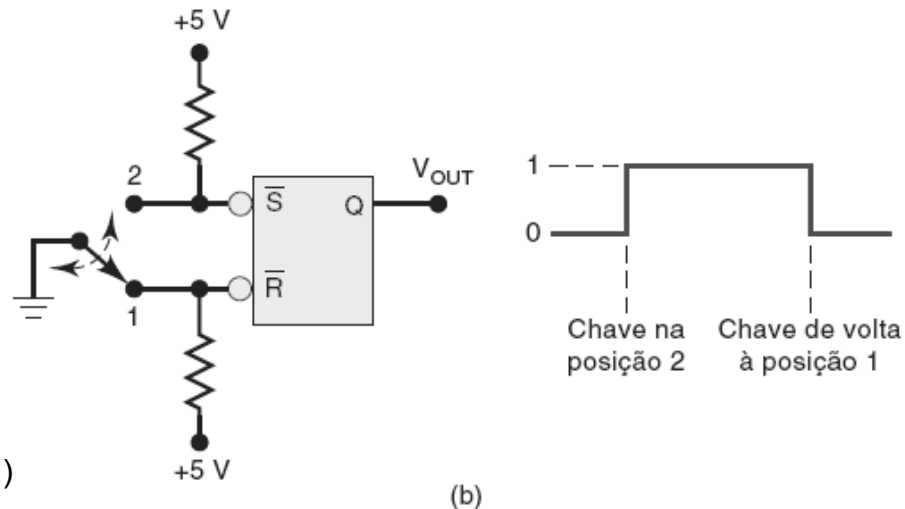
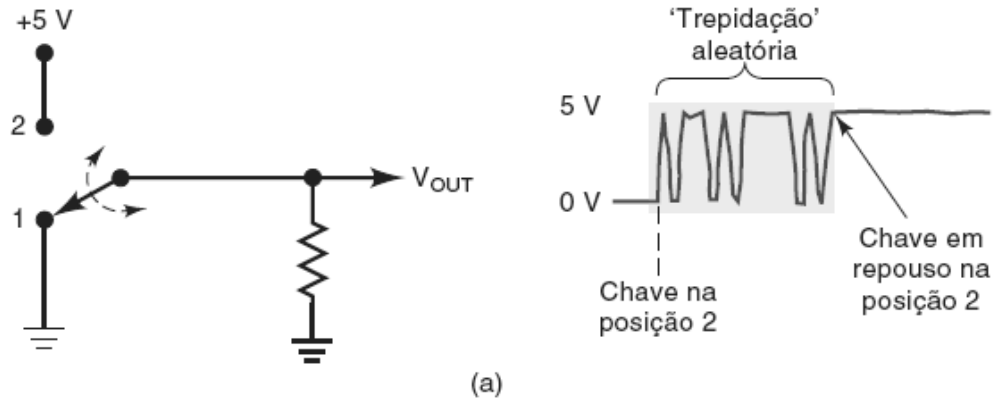
Adaptado do Prof. Leonardo Abdala

Resumo do Latch SR com Portas NAND

- **SET = CLEAR = 1**
 - ▣ Repouso. As saídas permanecem no mesmo estado que estavam antes destas condições de entrada.
- **SET = 0; CLEAR = 1**
 - ▣ $Q = 1$; $Q' = 0$. Esta situação permanece mesmo que SET retorne para 1. O Latch está setado.
- **SET = 1; CLEAR = 0**
 - ▣ $Q = 0$; $Q' = 1$. Esta situação permanece mesmo que CLEAR retorne para 1. O Latch está resetado ou “limpo”.
- **SET = CLEAR = 0**
 - ▣ $Q = Q' = 1$, o que é uma situação indesejada (pela definição).

Adaptado do Prof. Leonardo Abdala

Exemplo



Tocci et al. (2011)

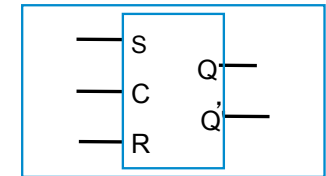
Adaptado do Prof. Leonardo Abdala

Latch SR: problemas

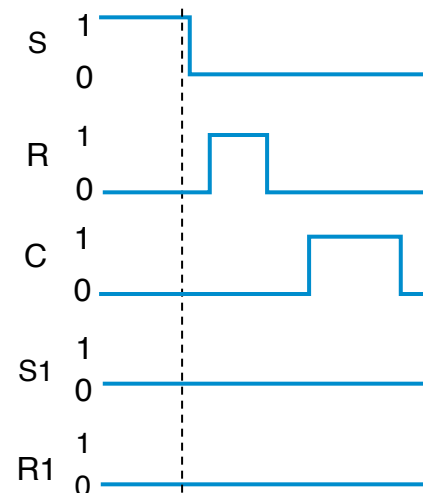
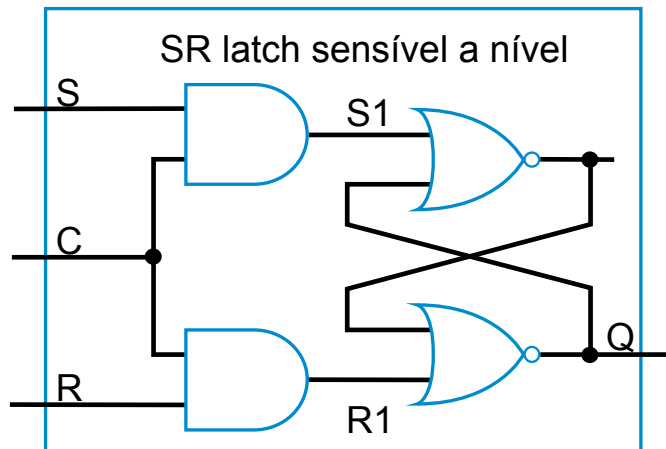
- Impossível prever o estado inicial da saída se suas entradas estiverem inativas ($S=R=1$ para um Latch NAND e $S=R=0$ para um Latch NOR)
 - ▣ Solução – pulso em SET ou RESET antes de iniciar a operação
- Sensível a qualquer mudança das entradas S-R
 - ▣ Solução – Latch SR sensível a nível (ENABLE)
- Comportamento imprevisível quando ($S=R=0$ p/ Latch NAND e $S=R=1$ p/ Latch NOR)
 - ▣ Solução – Latch D

Solução: Latch SR sensível a nível

- Entrada “C” - enable
- S e R só podem mudar quando C=0
 - Seta C=1 depois que S e R estão estáveis
 - Quando C é 1, os valores de S e R passam pelas portas AND e chegam ao latch SR (S1 e R1).

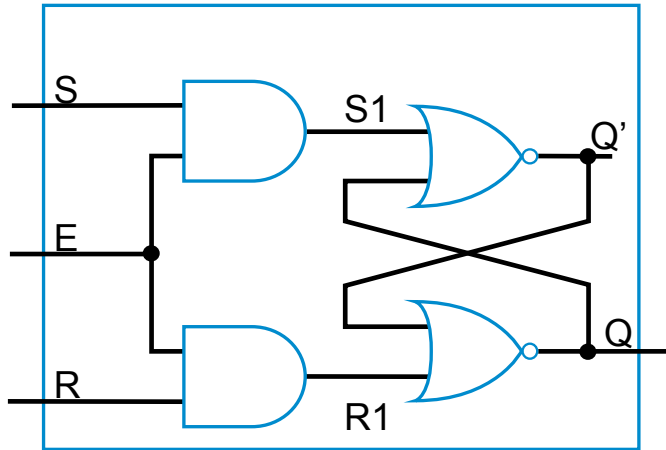


Símbolo para
Latch SR
sensível a nível



*Ruído em R ou S
não afeta R1 ou S1*

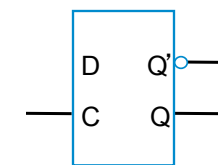
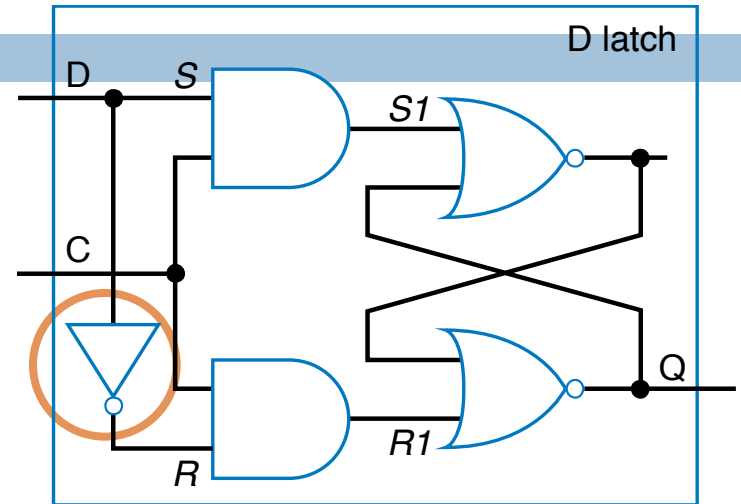
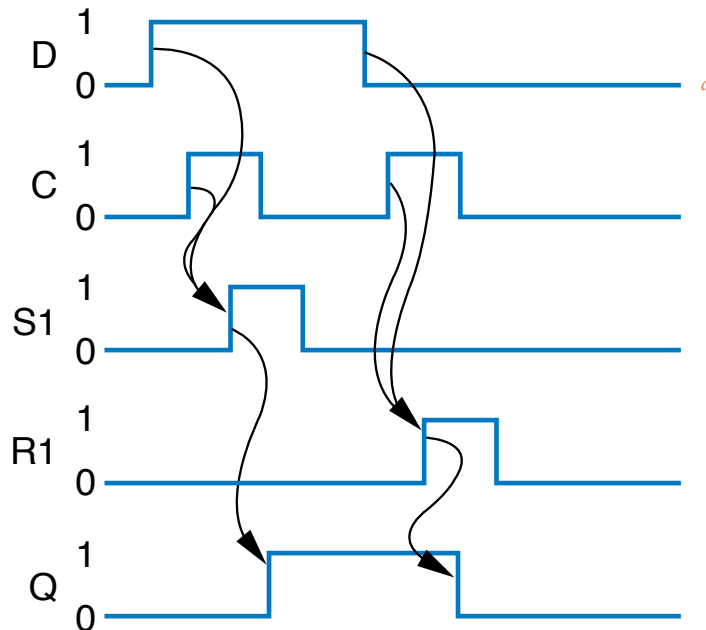
Solução: Latch SR sensível a nível



S	R	C	Q
0	0	1	Q_{ant}
0	1	1	0
1	0	1	1
1	1	1	inválido
x	x	0	Q_{ant}

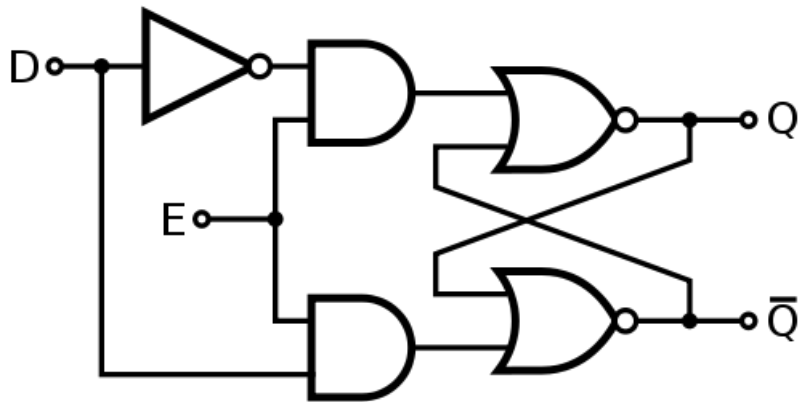
Solução: Latch D sensível a nível

- Circuito com Latch SR precisa evitar $S=R=1$ (NOR)
- Latch D: porta NOT garante que R e S são sempre opostos



D latch symbol

Solução: Latch D sensível a nível



C	D	Q
1	0	0
1	1	1
0	x	Q_{ant}