

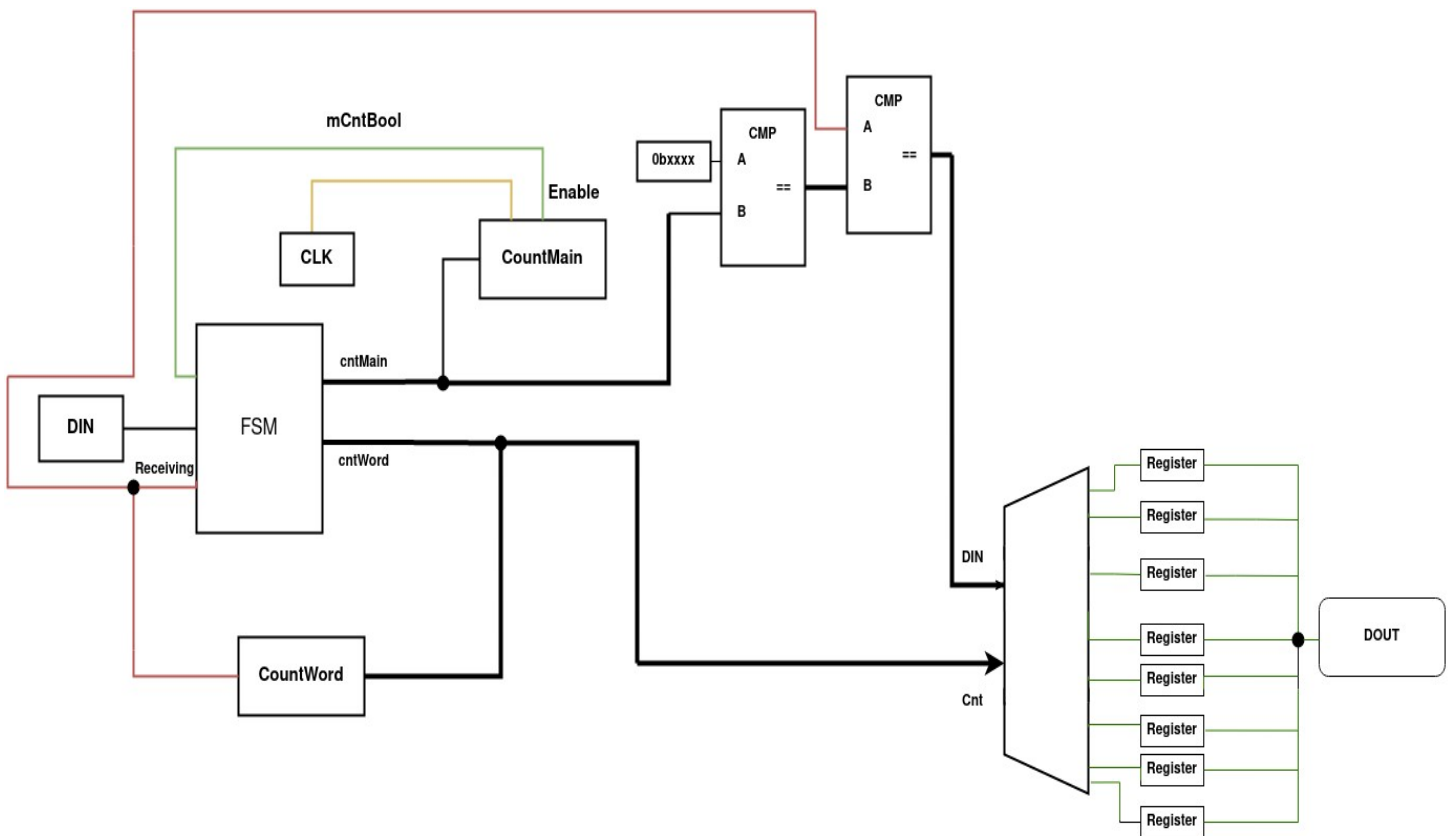
Výstupní zpráva

Jméno : Tomáš Juhász

Login : xjuhas04

1. Architektura navrženého obvodu (na úrovni RTL)

a. Schéma obvodu

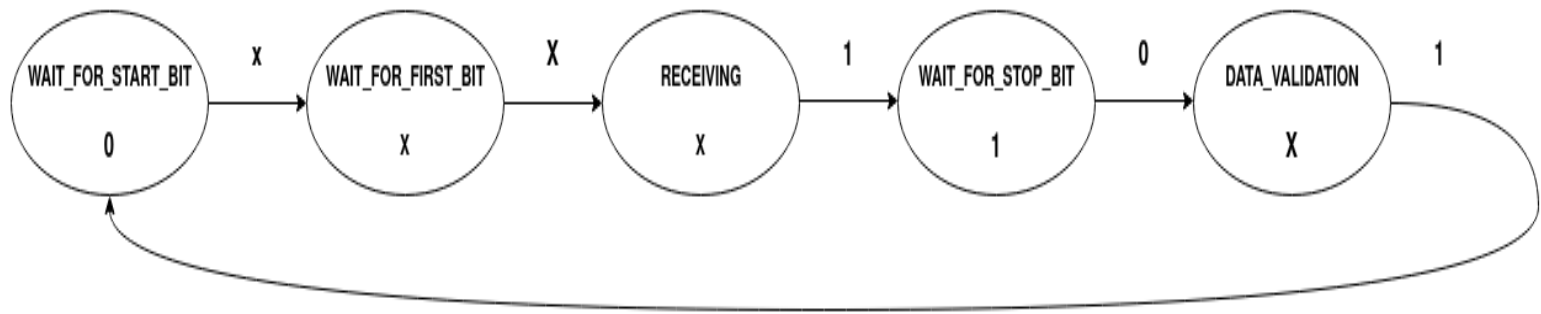


b. Popis funkce

Funkcia obvodu sa začína prijatím inputu z **DIN** na **FSM**. Keď sa signál **DIN** dostane na logickú 0 **FSM** aktivuje main counter pomocou **mCntBool**. Po 24 cykloch narátaných na mainCounter sa začne preklad slova na output. Ak je písmeno slova v správnom rozpätí (0,7) a logická hodnota **Receiving** bola nastavená na 1 začne sa preklad.

2. Návrh automatu (Finite State Machine)

a. Schéma automatu



b. Popis funkce

Konečný automat popísaný v súbore `uart_fsm.vhd` má za úlohu správu stavov. Na začiatku keď je DIN na prvotnej hodnote logickej 1 sa nastaví stav **čakania na štartovací bit**, následne keď sa zmení na logicú 0 nastane stav **čakania na prvý bit**. Tu sa čaká na `mainCounter` ktorý musí nadobudnúť hodnotu 24, po čom sa nastaví stav na **primanie dát** a taktiež sa nastaví logická hodnota premennej `receiving` a `mCntBool` na 1. Tieto hodnoty sú využité v hlavnom procese v súbore `uart.vhd`, kde sa slovo preloží z DIN na DOUT a zároveň sa zväčší `wordCounter` o počet preložených bitov.

Keď ten dosiahne hodnoty celého slova (8bitov) `uart_fsm.vhd` zmení stav na **čakanie na konečný bit**. Potom ako ho automat z DIN dostane sa nastaví posledný **validačný stav**. Ten za pomoci premennej `valBool` nastavuje na `DOUT_VLD` hodnotu logickej 1. Pri ďalšom cykle sa stav znova nastaví na **čakanie na štartovací bit** a celý proces sa reštartuje.

3. Snímek obrazovky ze simulací

