

TEMA - 3

LÓGICA SECUENCIAL.

REGISTROS DE DESPLAZAMIENTO Y CONTADORES.

1.- Introducción.

Hemos visto que en la lógica combinacional las salidas están determinadas sólo por los estados existentes en las entradas. En la **lógica secuencial** sin embargo, las salidas están determinadas no sólo por las entradas sino también por la secuencia de entradas que condujeron al estado existente, las que precedieron. En otras palabras el circuito posee **memoria**.

La Figura 3-1 muestra un sistema secuencial general, la salida en cualquier momento está determinada por las entradas presentes y por la información almacenada en los elementos de memoria. La información almacenada en la memoria determina el **estado** del circuito.

La mayoría de los sistemas digitales requieren la función de almacenamiento, cuyo objetivo es mantener los datos binarios durante un periodo de tiempo. Algunos dispositivos de almacenamiento se usan para almacenamiento temporal y otros para almacenamiento permanente y pueden memorizar un bit o un grupo de bits.

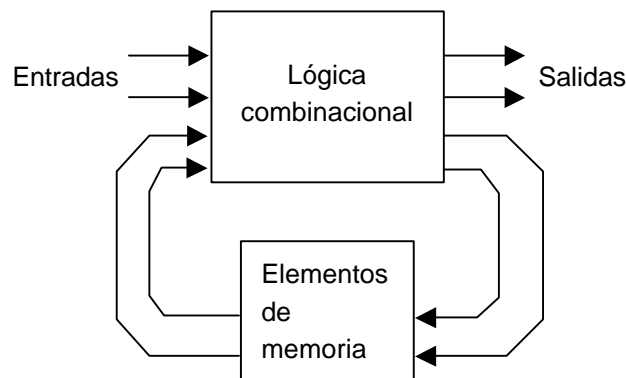


Figura 3-1. Esquema general de un sistema secuencial.

Algunos tipos comunes de dispositivos de almacenamiento son: flip-flops, registros, memorias semiconductoras, discos magnéticos, cintas magnéticas y discos ópticos. En este capítulo estudiaremos los circuitos biestables (flip-flops, latches y registros) y el tema 5 describiremos los tipos de memorias semiconductoras.

El **flip-flop**¹ es un circuito lógico biestable, es decir posee dos estados estables, denominados SET ('1' o activación) y RESET ('0' o desactivación), en los cuales se puede mantener indefinidamente, lo que permite el almacenamiento de un bit. Los flip-flops se implementan con puertas lógicas y son los bloques básicos de construcción de contadores, registros y otros circuitos de control secuencial. También se emplean en ciertos tipos de memorias.

Un **registro** se forma combinando varios flip-flops de manera que se puedan almacenar grupos de bits. Por ejemplo un registro de 8 bits se construye a partir de 8 flip-flops. Además de almacenar bits los registros se pueden emplear para desplazar los bits de una posición a otra dentro del propio registro o fuera del mismo. Estos dispositivos reciben el nombre de registros de desplazamiento y los veremos en secciones posteriores.

Los circuitos secuenciales se pueden dividir en **síncronos** y **asíncronos**.

1. **Síncronos:** las entradas, salidas y los estados internos se muestrean en instantes de tiempo definidos que son controlados por una señal de reloj.
2. **Asíncronos:** los circuitos responden a cambios en las entradas que se pueden producir en cualquier momento.

2. Biestables sensibles por nivel o *latches*.

El latch es un tipo de dispositivo de almacenamiento temporal de dos estados (biestable).

2.1.- Biestable R-S con puertas NOR.

El latch R-S (Reset-Set) con entrada activa a nivel alto es un tipo de dispositivo lógico biestable con dos salidas Q \bar{Q} (una la complementaria de la otra), compuesto de dos puertas NOR acopladas tal y como muestra la Figura 3-2. Se puede observar que la salida de cada puerta NOR se conecta a la entrada de la puerta opuesta.

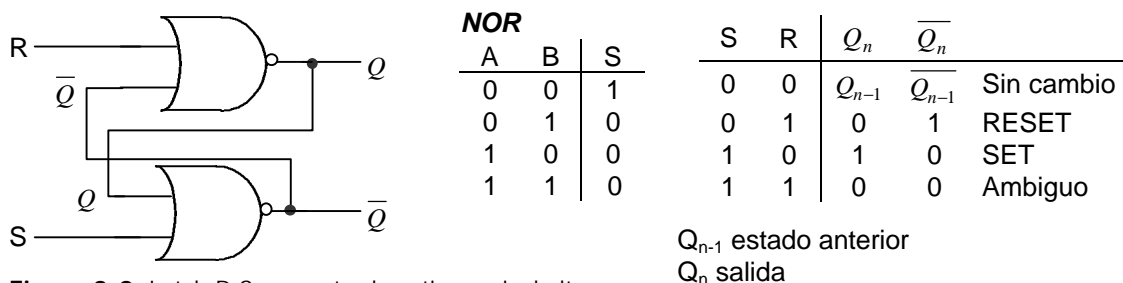


Figura 3-2. Latch R-S con entrada activa a nivel alto.

¹ La diferencia básica entre latches y flip-flops es la manera en que cambian de un estado a otro.

El funcionamiento del latch R-S con entrada activa a nivel alto se deriva del comportamiento de la puerta NOR (ver tabla de verdad de la figura 3-2). Si una de las entradas de una puerta NOR (de dos entradas) se mantiene a '0' la salida será la inversa de la otra entrada. En consecuencia si en el latch R y S son '0', la salida del circuito se mantendrá en el estado en el estuviera (ver tabla de verdad del latch en la figura 3-2). Si la entrada R del latch se pone a '1' mientras que la entrada S permanece a '0', la salida Q se pondrá a '0' sin importar su estado previo (en una puerta NOR en cuanto hay una entrada a '1' la salida es '0') y a su vez la salida negada, \bar{Q} se pondrá a '1', el latch pasará al estado de Reset. Si ahora R vuelve a '0' el circuito entrará de nuevo en su modo de memoria. De manera similar si S se lleva a '1' mientras R permanece a '0', entonces la salida negada \bar{Q} se pondrá a '0', con lo que la salida Q se colocará a '1'. En resumen el funcionamiento del latch es el siguiente:

- La entrada R activa ('1') realiza un RESET del latch (pone la salida a '0').
- La entrada S activa ('1') realiza un SET del latch (pone la salida a '1').
- Si las entradas están desactivadas ($R=0$ y $S=0$) la salida del latch no cambia ($Q_n=Q_{n-1}$).
- Si se activan las dos entradas ($R=1$ y $S=1$) el circuito no funciona correctamente ($Q=0$ y $\bar{Q}=0$).

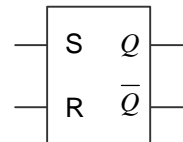


Figura 3-3. Latch R-S.

El símbolo lógico del latch R-S con entrada activa se muestra en la Figura 3-3.

2.2.- Biestable R-S con puertas NAND.

El latch R-S (Reset-Set) con entrada activa a nivel bajo es un tipo de dispositivo lógico biestable compuesto de dos puertas NAND acopladas tal y como muestra la Figura 3-4.

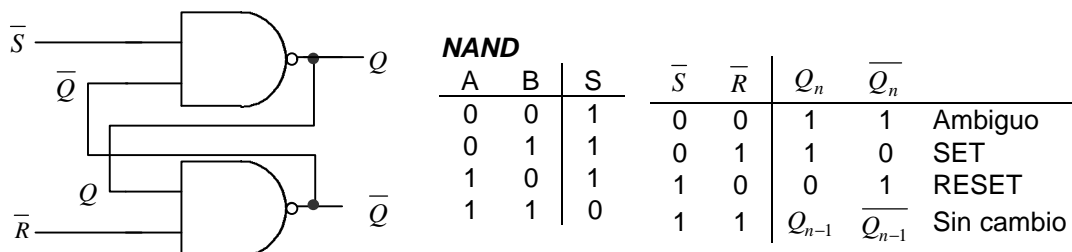


Figura 3-4. Latch R-S con entrada activa a nivel bajo.

Al comparar el funcionamiento de una puerta NAND con otra NOR podemos ver que si bien una puerta NOR se asemeja a un inversor cuando una de sus entradas está conectada a '0', la puerta NAND se asemeja a un inversor cuando una de sus entradas está conectada a '1' (ver tabla de verdad de una puerta NAND en la figura 3-4). Por tanto el modo de memoria del latch ($Q_n=Q_{n-1}$) corresponde en este caso con las dos entradas a '1'. Si la entrada \bar{S} se lleva a nivel bajo '0' la salida Q se pone a '1' (SET) y si la entrada \bar{R} se lleva a nivel bajo '0' la salida Q será '0' (RESET). De ahí que a este latch se le dé el nombre de latch con entrada activa a nivel bajo.

En la Figura 3-4 podemos apreciar la tabla de verdad correspondiente a este latch y la Figura 3-5 su símbolo lógico.

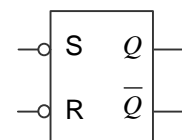


Figura 3-5. Latch R-S con entrada activa a nivel bajo

2.3.- Latch R-S con entrada de habilitación.

A menudo resulta de utilidad poder controlar el funcionamiento del latch de manera que las entradas se puedan activar en unos instantes determinados. El diagrama y el símbolo lógico de un latch con entrada de habilitación se muestra en la Figura 3-6. Las entradas S y R controlan el estado al que va a cambiar el latch cuando se aplica un '1' en la entrada de habilitación (E, *enable*). El latch no cambiará de estado hasta que la entrada E esté a nivel alto. Esta tercera entrada (E) permite habilitar o inhibir las acciones del resto de entradas.

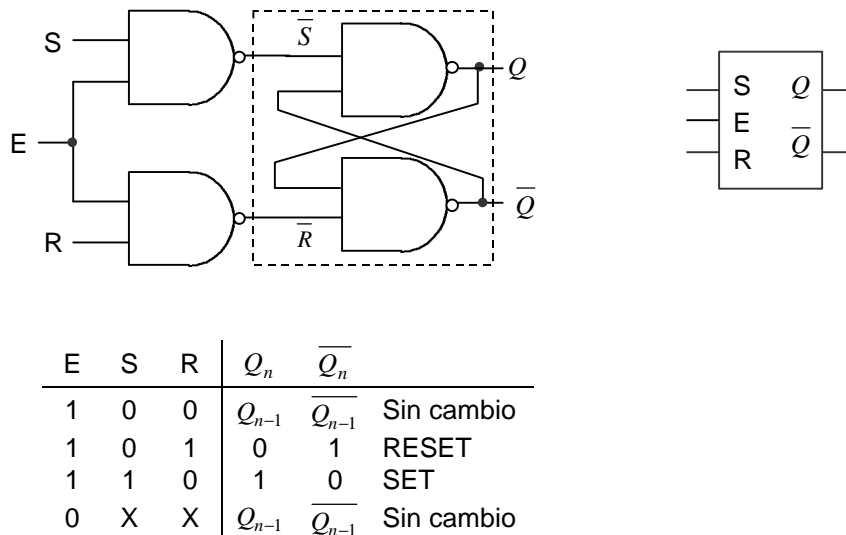


Figura 3-6. Latch R-S con entrada de habilitación.

Cuando la señal de habilitación E esté a nivel bajo, las señales \overline{S} y \overline{R} estarán a nivel alto sin importar el valor de las entradas R y S. Esto coloca al latch en su modo de memoria, evitando que la salida cambie de estado. Cuando se activa la entrada de habilitación, las señales R y S se invierten y se aplican al latch $\overline{S} - \overline{R}$, es decir, el circuito actúa como un latch R-S con entrada activa a nivel alto. La tabla de verdad se puede apreciar en la Figura 3-6.

2.4.- Latch D con entrada de habilitación.

Existe otro tipo de latch con entrada de habilitación que se denomina latch D. Se diferencia del latch S-R en que sólo tiene una entrada (D), además de la de habilitación (E). La figura 3-7 muestra el diagrama, el símbolo lógico y la tabla de verdad de este tipo de latch.

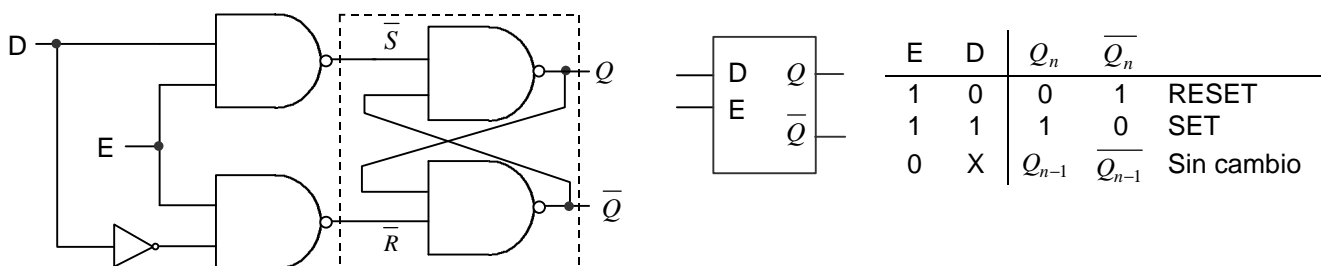


Figura 3-6. Latch R-S con entrada de habilitación.

Al igual que antes, cuando la entrada de habilitación E está a nivel bajo las señales \bar{S} y \bar{R} estarán a nivel alto y la salida del circuito no variará (modo memoria). Si la habilitación está activa, la entrada D determina el valor de las señales \bar{S} y \bar{R} . Si D es '1' \bar{S} será '0' y \bar{R} '1', lo que realizará el SET del circuito ($Q=1$). Si D es '0' \bar{S} será '1' y \bar{R} '0', lo que pondrá el circuito a RESET ($Q=0$).

En resumen cuando la habilitación (E) está activa la salida Q toma el valor de la entrada D , y cuando está desactiva, la salida permanece en su estado anterior. Este dispositivo también es conocido como báscula D transparente y se emplea para almacenar un bit de información como veremos en el capítulo 5.

3.- Biestables disparados por flancos o *flip-flops*.

En muchas situaciones es necesario sincronizar el funcionamiento de muchos circuitos diferentes y resulta de utilidad poder controlar el momento en el que un circuito cambiará de estado.

Algunos biestables están contruidos de manera que sólo cambian de estado ante la aplicación de una señal de disparo, en concreto ante el **flanco** de bajada o de subida de una señal de entrada llamada **reloj** (CLK). Estos biestables reciben el nombre de biestables disparados por flanco, o más comúnmente flip-flops.

Los flip-flops son dispositivos síncronos. El término síncrono significa que la salida cambia de estado únicamente en un instante específico de una entrada de disparo (reloj), es decir, los cambios en la salida se producen sincronizadamente con el reloj.

Podemos encontrar dos tipos de flip-flops:

1. Los que son disparados por el **flanco de subida** de la señal de reloj.
2. Los que son disparados por el **flanco de bajada** de la señal de reloj.

3.1.- *Flip-flops S-R disparado por flanco.*

Se asemeja al latch R-S excepto en que el circuito sólo responde a sus entradas en el flanco ascendente o descendente de la señal de reloj. Los símbolos gráficos (figura 3-7) se asemejan a los de los latches con entrada de habilitación, excepto en que esta última entrada se reemplaza por una entrada de reloj.

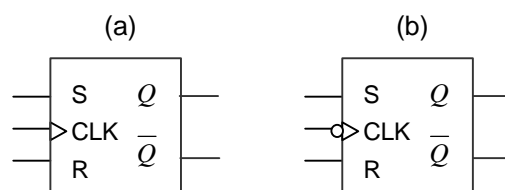


Figura 3-7. Flip-flop R-S (a) disparado por flanco de subida. (b) disparado por flanco de bajada.

En ausencia de la transición de reloj el flip-flop permanece en su modo de memoria, como se aprecia en el diagrama de la Figura 3-8, correspondiente a un flip-flop disparado con flanco de subida.

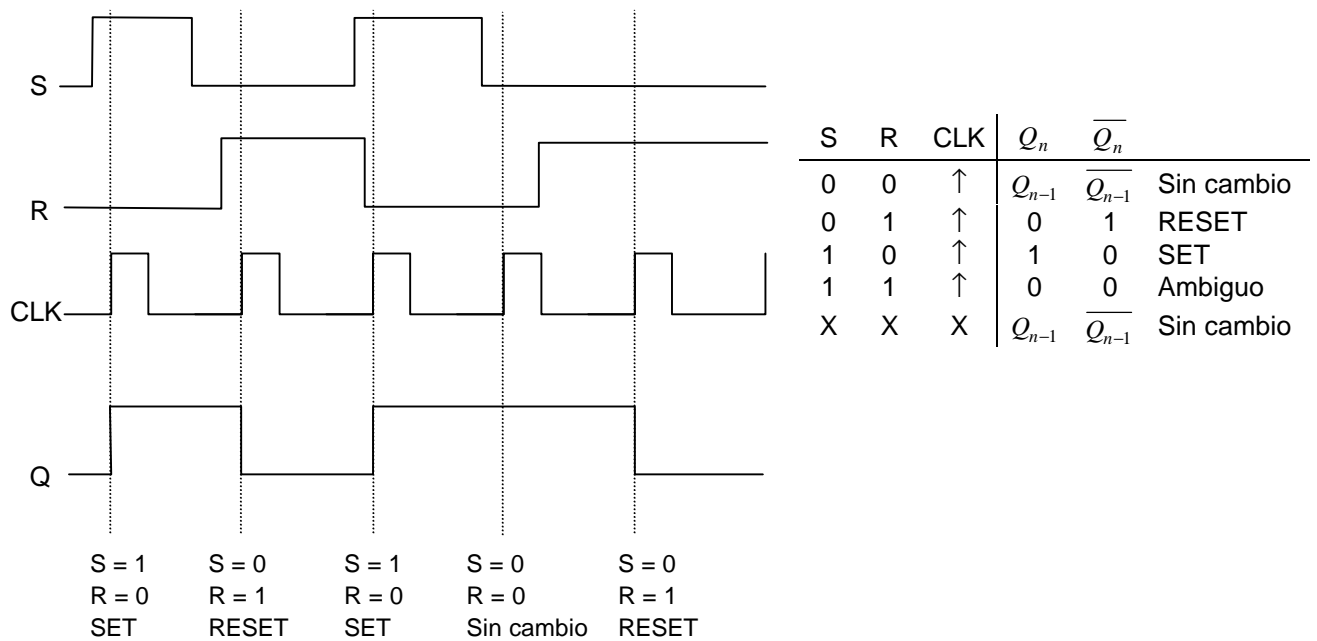


Figura 3-8. Ejemplo de formas de onda en las entradas y en la salida de un flip-flop disparado por flanco ascendente.

El funcionamiento de un flip-flop R-S activado por flanco descendente es, por supuesto, idéntico, excepto que el disparo tiene lugar en el flanco de bajada de la señal de reloj (cuando cambia de '1' a '0').

3.2.- Flip-flop D disparado por flanco.

Su comportamiento es similar al del latch D descrito con anterioridad, la salida del flip-flop tipo D se igualará a la entrada en el instante en el que se produzca el flanco ascendente o descendente (según el tipo de flip-flop) de la señal de reloj (CLK). En la Figura 3-9 se observa el símbolo lógico y la tabla de verdad de un flip-flop tipo D disparado por flanco ascendente.

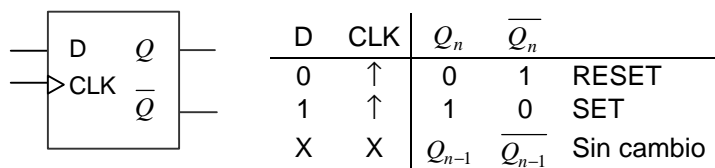


Figura 3-9. Flip-flop D disparado por flanco ascendente.

El funcionamiento de un flip-flop D disparado por flanco ascendente se resume en la Figura 3-10.

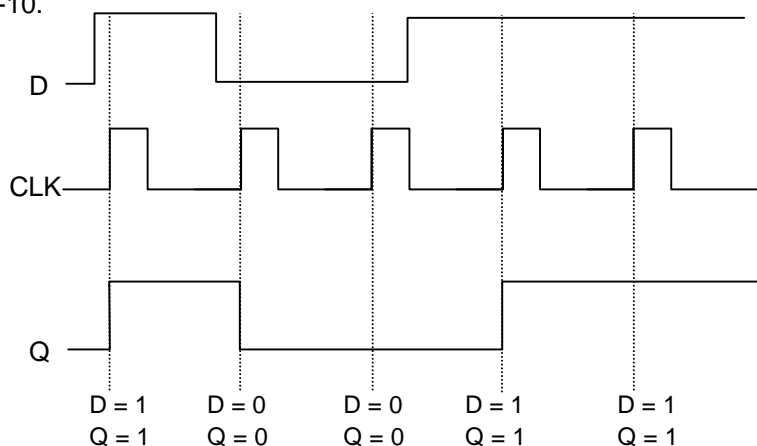


Figura 3-10. Ejemplo de formas de onda en las entradas y en la salida de un flip-flop D disparado por flanco ascendente.

3.3.- Flip-flop J-K disparado por flanco.

El flip-flop J-K se comporta como el flip-flop R-S a excepción de que resuelve el problema de tener una salida indeterminada cuando las entradas se encuentran activas a la vez. La entrada J es la equivalente a la entrada S de un flip-flop R-S y la entrada K, al equivalente a la entrada R. En este dispositivo cuando las dos entradas se colocan a nivel alto la salida cambia al estado opuesto al que se encontraba. A este modo de funcionamiento se le denomina modo de basculación.

La tabla de transición muestra las características de un flip-flop J-K disparado por flanco ascendente.

J	K	CLK	Q_n	$\overline{Q_n}$	
0	0	↑	Q_{n-1}	$\overline{Q_{n-1}}$	Sin cambio
0	1	↑	0	1	RESET
1	0	↑	1	0	SET
1	1	↑	$\overline{Q_{n-1}}$	Q_{n-1}	Báscula

La Figura 3-11 ilustra el funcionamiento del flip-flop J-K disparado por flanco ascendente y su símbolo lógico.

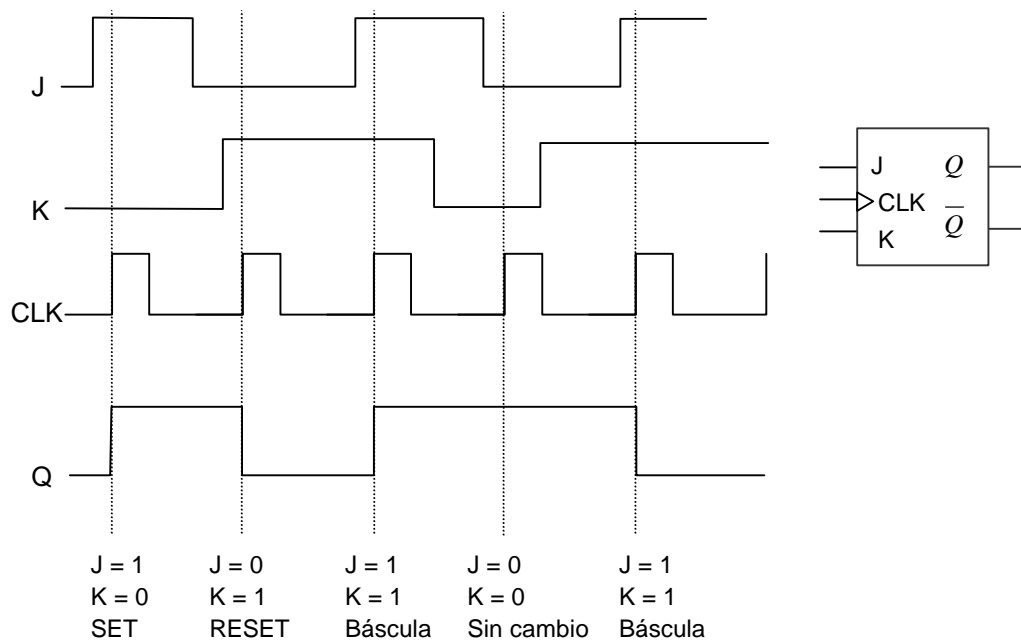


Figura 3-11. Ejemplo de formas de onda en las entradas y en la salida de un flip-flop J-K disparado por flanco ascendente.

El flip-flop J-K es uno de los flip-flops más ampliamente utilizados.

3.4.- Flip-flop T.

Existe otro tipo de flip-flop con una única entrada (T). El comportamiento de un flip-flop tipo T es equivalente al de un flip-flop tipo J-K con sus entradas J y K unidas. De este modo, si la entrada T presenta un nivel bajo '0' el dispositivo está en su modo de memoria, y si al entrada T se encuentra a nivel alto '1' el dispositivo cambia de estado, es decir la salida bascula. En la Figura 3-12 se aprecia este comportamiento y el símbolo lógico.

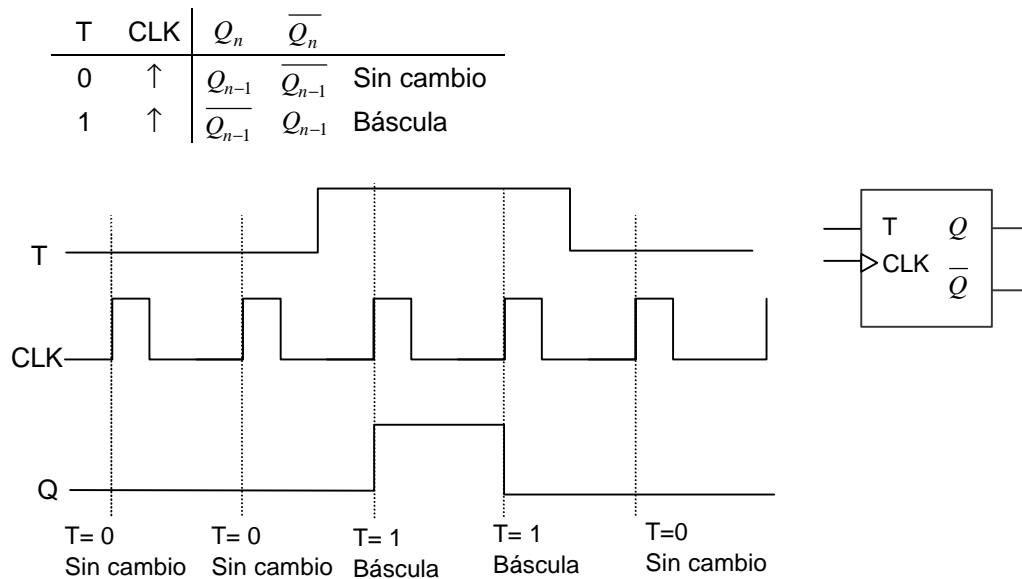


Figura 3-12. Comportamiento y símbolo lógico de un flip-flop.

3.5.- Flip-flops *maestro/esclavo*.

En muchos sistemas digitales es necesario sincronizar el funcionamiento de un gran número de circuitos con una sola señal de reloj. En la Figura 3-13 se muestra un ejemplo en el que la salida de un flip-flop se une a la entrada de otro y se sincronizan ambos con la misma señal de reloj..

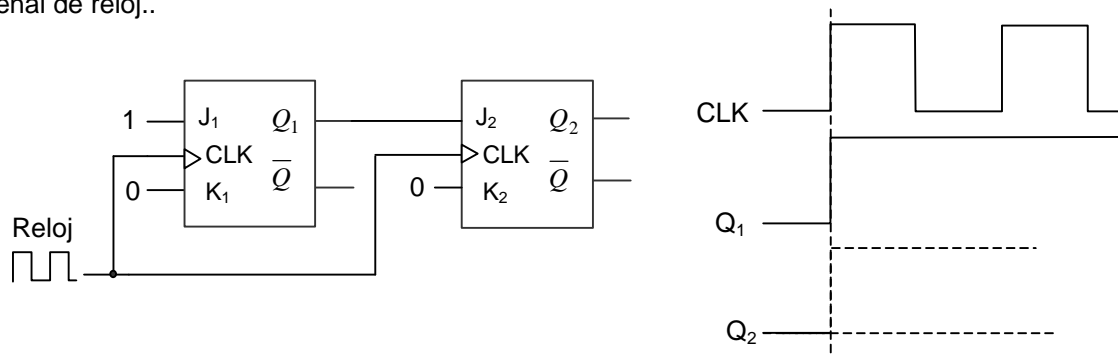


Figura 3-13. Conexión de flip-flops.

Para analizar el comportamiento del circuito supondremos que inicialmente la salida de los dos flip-flops están a '0'. Si aplicamos al primer flip-flop un nivel alto en la entrada J y un nivel bajo en la entrada K y al segundo flip-flop la salida de primero y un nivel bajo en su entrada K observamos en las formas de onda que el funcionamiento del circuito es incierto. Si el segundo flip-flop responde con rapidez a la señal de reloj, quizá responda antes de que cambie el primer dispositivo, en este caso verá un '0' a la entrada y la salida no cambiará. Sin embargo, si la respuesta del segundo flip-flop es lenta, el primer dispositivo habrá tenido tiempo de cambiar y el segundo flip-flop verá un '1' en su entrada, con lo que pondrá a '1' su salida.

Este problema se puede resolver mediante el uso de **flip-flops maestro/esclavo**, que no son más que biestables conectados en serie. Este tipo de flip-flop lo podemos encontrar para los modelos R-S, D y J-K. A continuación se describe el funcionamiento de un flip-flop R-S maestro/esclavo.

El *flip-flop* S-R maestro/esclavo básico se muestra en la Figura 3-14. El circuito representa dos biestables S-R con entrada de habilitación conectados en serie, en los que la entrada de reloj se usa para habilitar cada uno.

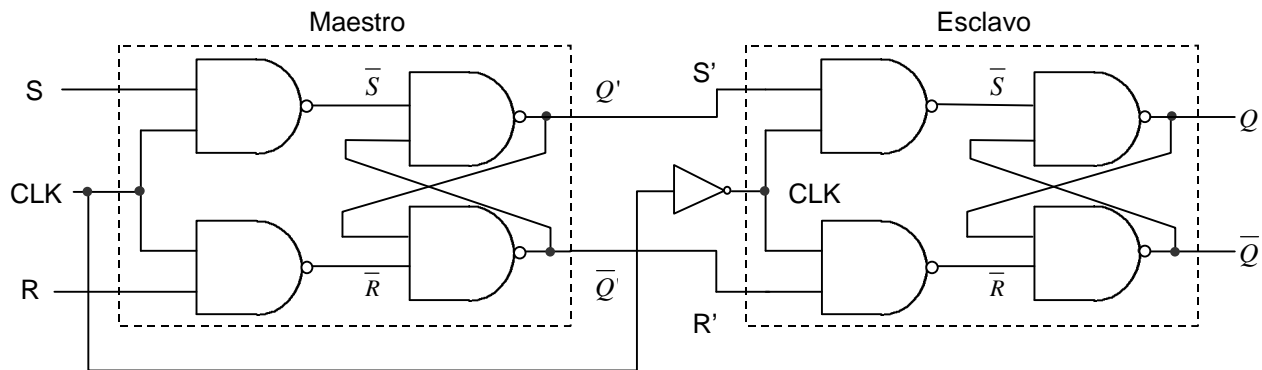


Figura 3-14. Diagrama de un flip-flop R-S maestro/esclavo.

Cuando la señal de entrada de reloj pasa a nivel alto, se habilita el maestro y se deshabilita el esclavo. El maestro se comporta como un latch con entrada de habilitación R-S, y el esclavo como no está habilitado continua en su estado previo, las salidas no cambian. Cuando el reloj se hace '0', el maestro se deshabilita y mantiene su estado previo. El esclavo está ahora habilitado y responde a sus entradas. Como la salida Q' del maestro está conectada a la entrada S' del esclavo y la salida \bar{Q} del maestro está conectada a la entrada R' del esclavo, este siempre verá un '1' en una entrada y un '0' en la otra. Si la salida Q del maestro es '1', el esclavo estará en el estado SET y si es '0', estará en el estado RESET. Por tanto, cuando el esclavo está habilitado toma el estado de salida del maestro.

La tabla de verdad de un flip-flop R-S maestro esclavo es la misma que la de los flip-flops R-S disparado por flanco, excepto en la manera en que se sincroniza con la señal de reloj. El dispositivo responde a sus entradas mientras el reloj está alto, pero las salidas no se actualizan hasta que el reloj se hace bajo (Figura 3-15), es decir, el dispositivo maestro/esclavo responde al final del pulso de entrada de reloj, en lugar de hacerlo en el flanco ascendente o descendente. La tabla de verdad y el símbolo lógico se muestran en la Figura 3-15.

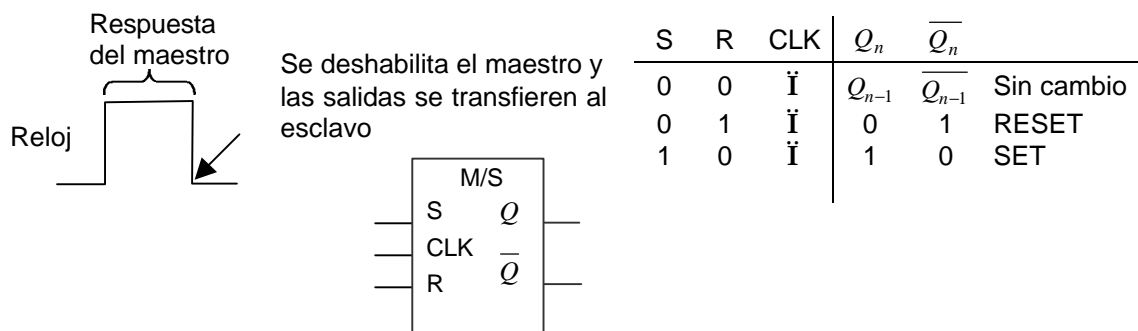


Figura 3-15. Flip-flop R-S maestro/esclavo. Tabla de verdad y símbolo lógico.

Si volvemos a analizar el problema anterior en la conexión de dos biestables, sincronizados con la misma entrada de reloj, el circuito sería el de la Figura 3-16.

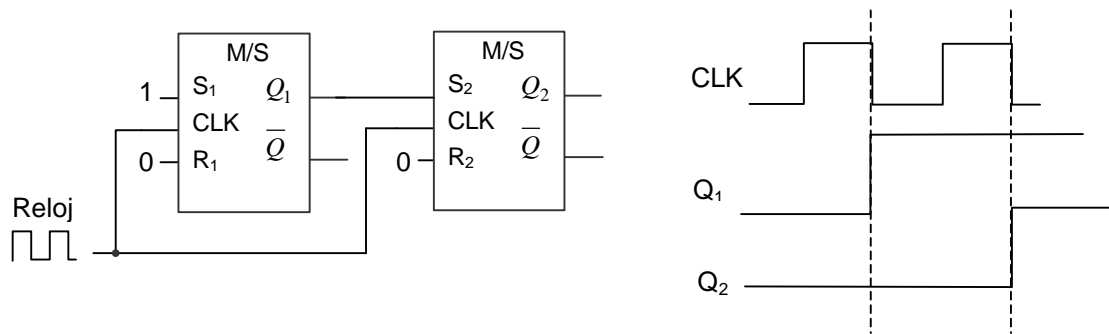


Figura 3-16. Conexión de flip-flops maestro/esclavo.

Al igual que antes el primer flip-flop responde al pulso de reloj que entra, pero esta vez la salida cambia en el flanco descendente del pulso. La entrada S_2 del segundo flip-flop es '0' mientras el reloj está a nivel alto, y por lo tanto el circuito permanece en su estado de memoria. Después del primer pulso de reloj la salida Q_1 se pone a nivel alto '1' y con ella la entrada S_2 . Entonces cuando termine el segundo pulso de reloj la salida del segundo flip-flop se pondrá a nivel alto.

4.- Entradas asíncronas de inicialización y borrado.

Las entradas de los diversos flip-flops, es decir, R, S, J, K, D y T, sólo tienen efecto en el momento de una transición apropiada de la señal de reloj (CLK). Por tanto, nos referimos a estas entradas de control como **síncronas**, pues su funcionamiento está sincronizado con la entrada de reloj.

En muchas aplicaciones resulta útil poner la salida de un flip-flop a '0' o a '1' en cualquier momento, independientemente del reloj. Por tanto, algunos dispositivos tienen entradas adicionales para efectuar estas funciones. Estas reciben el nombre de entradas **asíncronas** pues no están controladas por el estado del reloj.

Entre ellas se encuentran la entrada PRESET (PRE), que cuando se active colocará la salida a nivel alto ($Q=1$) y la entrada CLEAR (CLR) que cuando se active llevará a la salida a nivel bajo ($Q=0$). Como ocurre con el resto de entradas éstas pueden ser activas a nivel alto o a nivel bajo (lo normal). Las entradas PRESET y CLEAR pueden anular las otras entradas al circuito. Es necesario asegurarse de que ambas entradas asíncronas no están activas simultáneamente.

En la Figura 3-17 se muestra el circuito correspondiente a las entradas asíncronas de PRESET y CLEAR y el símbolo lógico, en el caso de un flip-flop J-K.

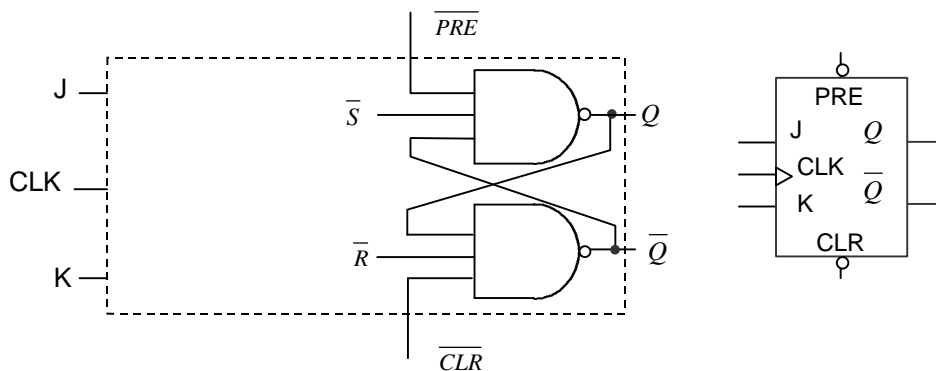


Figura 3-17. Entradas asíncronas en un flip-flop J-K.

5.- Registros de desplazamiento.

Los registros de desplazamiento están formados por un conjunto de flip-flops, y son muy importantes en las aplicaciones que precisan almacenar y transferir datos dentro de un sistema digital.

Un registro es un circuito digital con dos funciones básicas, almacenamiento y movimiento de datos. Se diferencian de las memorias (tema 5), en que el tiempo de almacenamiento es menor. La capacidad de desplazamiento de un registro es la que permite el movimiento de los datos de una etapa a otra dentro del registro.

Los dos tipos de registros de desplazamiento son serie y paralelo. En un registro paralelo los bits se almacenan simultáneamente a partir de líneas paralelas, mientras que en un registro de desplazamiento serie, los bits se almacenan de uno a uno.

Estos dos tipos se emplean, entre otras cosas, para transformar (Figura 3-18) palabras de información en paralelo a una sucesión de bits sobre una línea, es decir, datos serie (registro de desplazamiento paralelo-serie), o una sucesión de datos en serie en una palabra de datos en paralelo (registro de desplazamiento serie- paralelo).

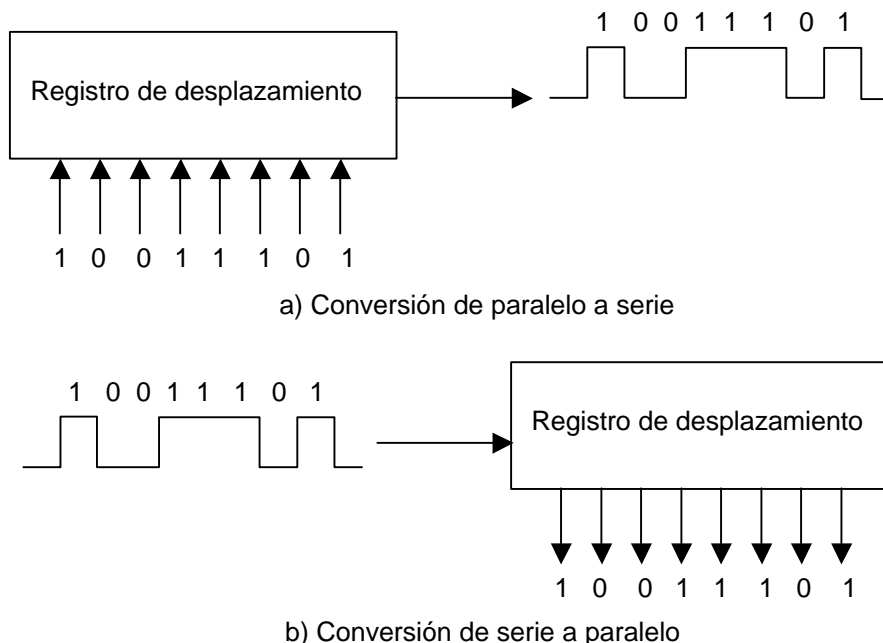


Figura 3-18. Funcionamiento de un registro de desplazamiento.

Un registro de desplazamiento que permite almacenar temporalmente n bits estará formado por n biestables.

5.1.- Entrada serie salida paralelo.

En este tipo de registro los bits de datos se introducen en serie y se dispone de la salida en cada etapa.

En la Figura 3-19 se muestra un ejemplo de un registro de desplazamiento serie-paralelo de cuatro bits. El circuito está formado por cuatro flip-flops D conectados en serie. Suponemos que inicialmente la entrada de datos serie está a '0' y que la salida de cada flip-flop es '0'. Se aplica al circuito una secuencia de pulsos regulares, que forman la señal de reloj. Si la entrada serie permanece a '0', las salida de cada uno de los flip-flops no varía.

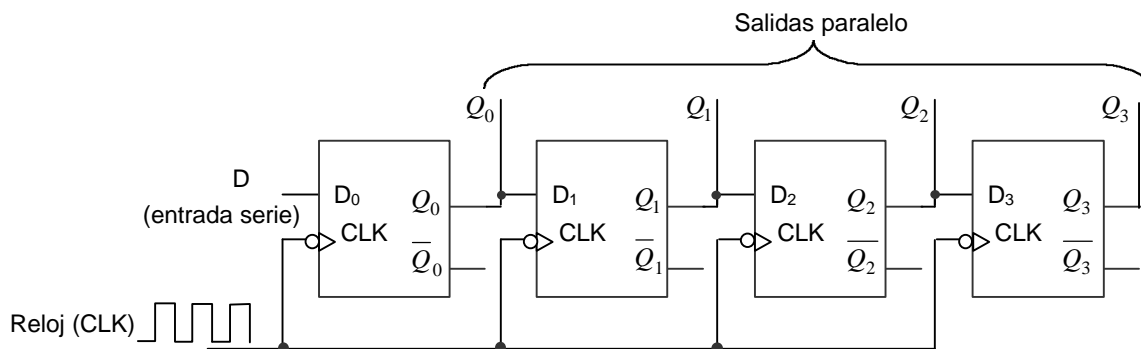


Figura 3.19. Registro de desplazamiento serie-paralelo.

El símbolo y la tabla de verdad de un flip-flop tipo D con flanco descendente se recuerda en la Figura 3-20.

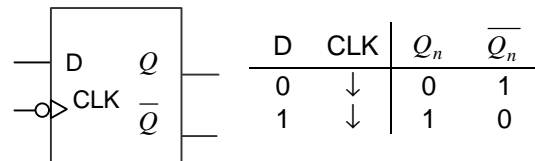


Figura 3-20. Registro de desplazamiento serie-paralelo.

Si suponemos una secuencia de datos de entrada '1011' la evolución de cada una de las salidas sería la mostrada en la Figura 3-21. Cada bit de la secuencia se aplica a la entrada del primer flip-flop y se va desplazando hacia la derecha. Se puede observar que al estar formado el registro de desplazamiento por cuatro bits, la secuencia de entrada estará disponible en paralelo (en las cuatro salidas) después del cuarto flanco descendente de la señal de reloj.

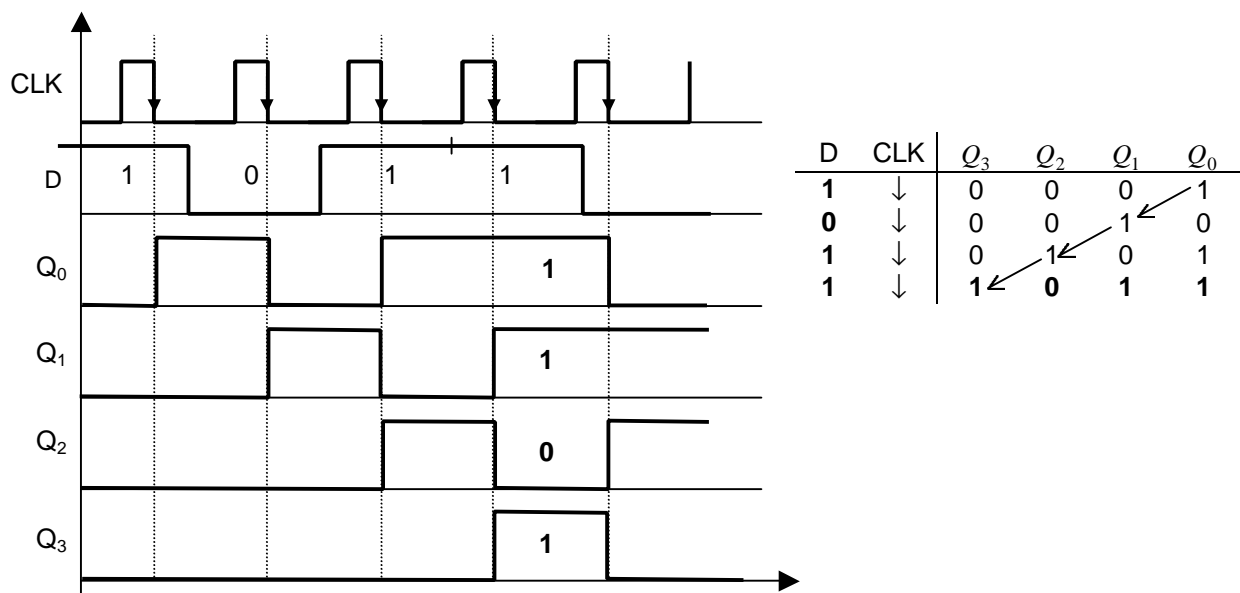


Figura 3-21. Evolución de entradas y salidas en un registro serie-paralelo de 4 bits.

5.2.- Entrada paralelo salida serie.

Es un registro con entradas de datos paralelo, los bits se introducen simultáneamente en sus respectivas etapas a través de líneas paralelo, en lugar de bit a bit a través de una única línea como sucede en la entrada serie. Para describir el comportamiento de un registro paralelo-serie vamos a considerar el circuito de la Figura 3-22 formado por cuatro flip-flops D conectados en serie (registro de cuatro bits). Partimos de que inicialmente la salida de cada flip-flop está a '0' y que se aplica al circuito una señal de reloj.

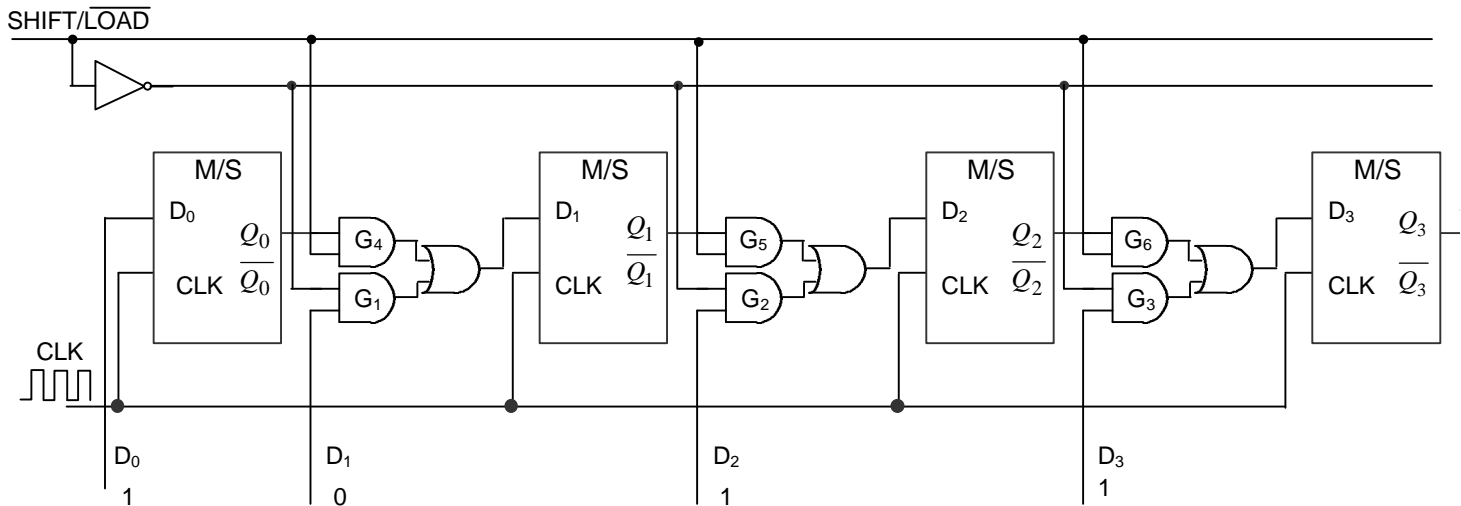


Figura 3-22. Registro de desplazamiento de 4 bits serie-paralelo.

Obsérvese que el circuito tiene cuatro líneas de entrada de datos, D_0 , D_1 , D_2 y D_3 y una entrada $\overline{\text{SHIFT/LOAD}}$ (desplazamiento/carga), que permite cargar en paralelo los cuatro bits de datos en el registro. Cuando esta entrada esté a nivel bajo, las puertas G_1 , G_2 y G_3 se activan, permitiendo que cada bit sea aplicado a la entrada D de su respectivo flip-flop. Cuando se aplica un pulso de reloj, los flip-flops con $D=1$ pasan a SET ($Q=1$), y los flip-flops con $D=0$ pasan a RESET ($Q=0$), almacenándose de este modo los cuatro bits simultáneamente.

Cuando la entrada $\overline{\text{SHIFT/LOAD}}$ está a nivel alto, las puertas G_1 , G_2 y G_3 se inhiben y las puertas G_4 , G_5 y G_6 se activan, permitiendo que los bits de datos se desplacen hacia la derecha, pasando de una etapa a la siguiente. Las puertas OR permiten el desplazamiento normal o la introducción de datos en paralelo, dependiendo de qué puerta AND se haya activado, es decir, del valor de la entrada $\overline{\text{SHIFT/LOAD}}$.

En la Figura 3-23 se muestra la evolución temporal (cronograma) de un registro de desplazamiento paralelo-serie de cuatro bits al introducir a las entradas los bits '1011'.

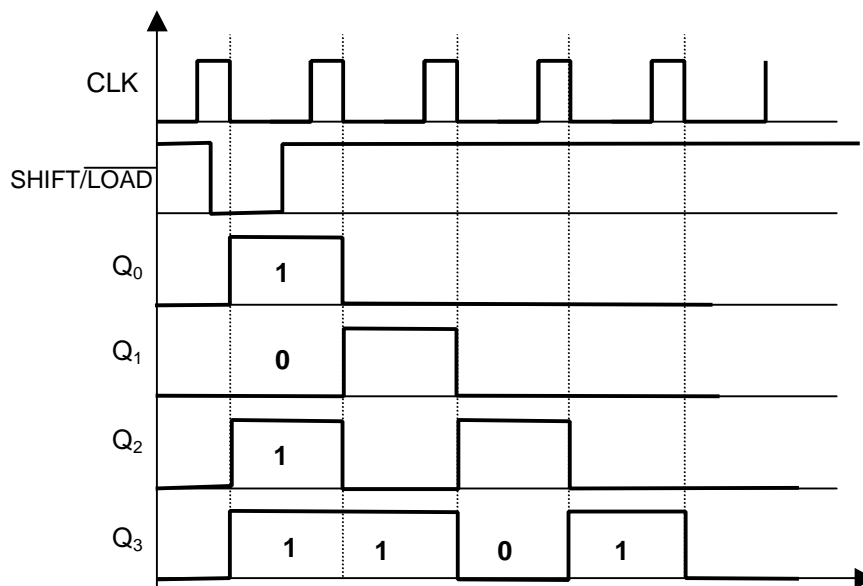


Figura 3-23. Cronograma de un registro de desplazamiento de 4 bits paralelo-serie.

Una aplicación de estos registros de desplazamiento es para comunicación a larga distancia, en la que se pueden transformar palabras de información paralelas en forma serie para enviarlas a través de una sola línea.

6. Contadores.

La función de recuento es muy importante en los sistemas digitales. Existen muchos tipos de contadores digitales, pero su objetivo básico es contar sucesos representados por cambios de nivel o impulsos, o generar una secuencia de códigos particular. Para contar, el contador debe recordar el número actual, con el fin de poder pasar correctamente al siguiente valor de la secuencia. Por tanto la capacidad de almacenamiento es una característica importante en todos los contadores, por lo que generalmente se utilizan flip-flops para su implementación.

6.1- Contadores asíncronos.

Un contador asíncrono es aquel en el que los flip-flops del contador no cambian de estado exactamente al mismo tiempo, dado que no comparten la misma señal de reloj.

6.1. Contador binario ascendente.

La Figura 3-24 presenta un contador binario de cuatro bits conectado para que funcione de modo asíncrono (la entrada de reloj sólo está conectada al primer flip-flop). El segundo flip-flop se dispara mediante la señal Q_0 (salida del primer flip-flop), el tercer flip-flop mediante la señal Q_1 (salida del anterior) y así sucesivamente. Cada flip-flop cambia durante el flanco descendente de la señal que se aplica a su entrada de reloj.

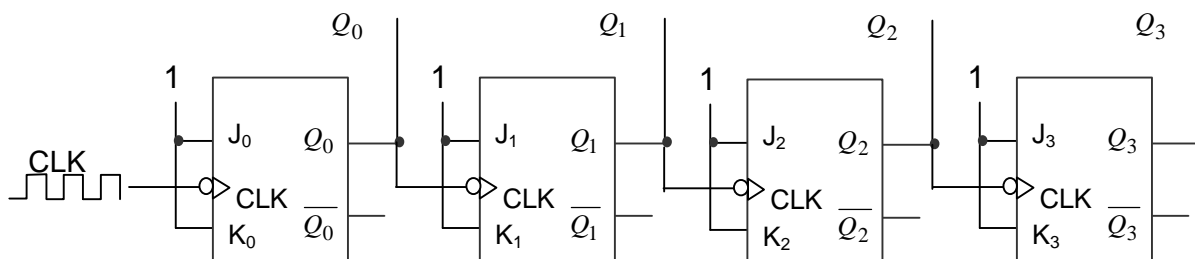


Figura 3-24. Contador asíncrono binario ascendente de 4 bits.

El contador de cuatro bits dispone de dieciséis estados diferentes ($2^4=16$). Hay que tener en cuenta que Q_0 representa el bit menos significativo (LSB) y Q_3 el bit más significativo (MSB). La secuencia de estados del contador se muestra en la Tabla 3-1.

En el diagrama de tiempos de la Figura 3-25 se puede apreciar el funcionamiento del contador asíncrono. Todos los flip-flops J-K están conectados en modo de basculación ($J=1$, $K=1$) y se supone que, inicialmente, están en estado de RESET ($Q=0$).

El flanco de bajada de la señal CLK (primer impulso de reloj) hace que la salida Q_0 bascule, pase de nivel bajo a nivel alto. Este cambio no afecta a los siguientes flip-flops, ya que tiene que producirse una transición descendente en las entradas de reloj. Después de este pulso de reloj, las salidas son $Q_0=1$, $Q_1=0$, $Q_2=0$ y $Q_3=0$.

El siguiente flanco descendente de la señal CLK, hace que el primer flip-flop bascule de nuevo, Q_0 pasa de 1 a 0, haciendo que el segundo flip-flop también bascule ($Q_1=1$).

Tabla 3-1.

Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

El tercer flanco negativo de CLK hace que Q_0 pase a nivel alto de nuevo, mientras que Q_1 , Q_2 y Q_3 no se ven afectados ($Q_1 = 1$, $Q_2 = 0$, $Q_3 = 0$).

En el cronograma (figura 3-25), las formas de onda de las salidas de los flip-flops se muestran en función de los impulsos de reloj. Para simplificar, se muestran las transiciones simultáneas, aunque existe, por supuesto, un ligero retardo entre las transiciones de la señal de reloj de cada flip-flop y su salida.

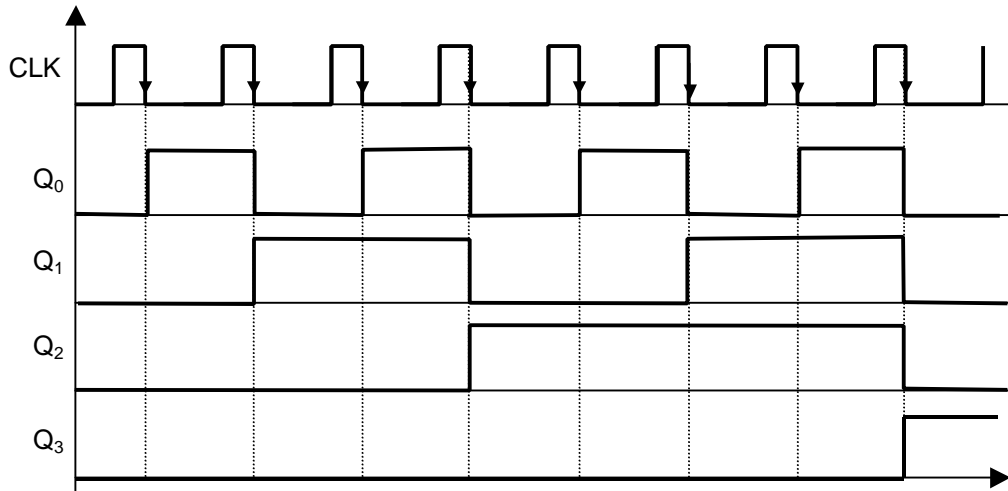


Figura 3-25. Diagrama de tiempos del contador binario ascendente de 4 bits.

6.2. Contador binario descendente.

En la Figura 3-26 se observa un contador asíncrono binario descendente de cuatro bits. El circuito es similar al anterior, con la excepción de que las entradas de cada flip-flop se conectan a la salida complementaria del flip-flop anterior. Cada flip-flop bascula al recibir un flanco descendente en su señal de reloj, que en este caso se produce cuando la salida anterior cambia de '0' a '1', o lo que es lo mismo la salida complementaria cambia de '1' a '0'.

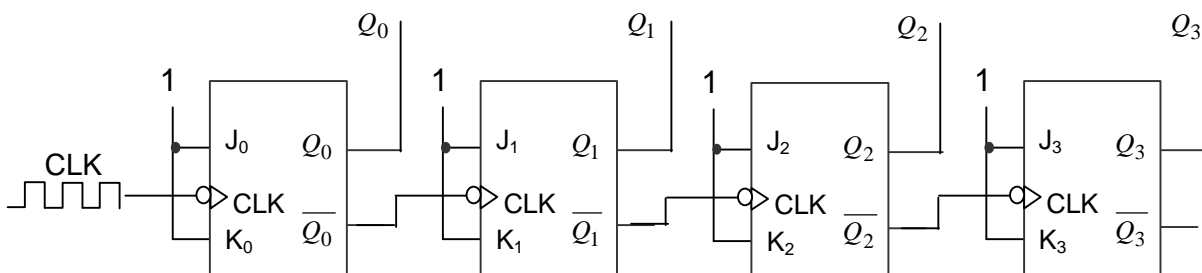


Figura 3-26. Contador asíncrono binario descendente de 4 bits.

La tabla de verdad correspondiente al contador mostrado en la Figura 3-2 es la que aparece en la Tabla 3-2.

Tabla 3-2.

Q_3	Q_2	Q_1	Q_0	
0	0	0	0	15
0	0	0	1	14
0	0	1	0	13
0	0	1	1	12
0	1	0	0	11
0	1	0	1	10
0	1	1	0	9
0	1	1	1	8
1	0	0	0	7
1	0	0	1	6
1	0	1	0	5
1	0	1	1	4
1	1	0	0	3
1	1	0	1	2
1	1	1	0	1
1	1	1	1	0

6.3. Contador binario ascendente de módulo N.

El **módulo** de un contador indica el número de estados distintos por el que el contador puede pasar de forma secuencial. El máximo número de estados posibles de un contador (módulo) es 2^n , donde n representa el número de flip-flops del contador.

También se puede diseñar contadores con módulo menor de 2^n , truncando la secuencia.

Un contador típico es el de décadas (módulo diez), cuya secuencia va desde 0 (0000) hasta 9 (1001). La secuencia se aprecia en la Tabla 3-3. Un contador de décadas requiere cuatro flip-flops.

Tabla 3-3.

Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9

Una manera de hacer que un contador inicie un nuevo ciclo después de haber llegado a nueve (1001) consiste en decodificar el estado siguiente, diez (1010) con una puerta NAND y conectar la salida de la puerta NAND a las entradas de borrado (CLR) de los flip-flops, como se muestra en la Figura 3-27. De esta manera en cuando el contador llegue a diez (de forma asíncrona, sin esperar un flanco en la señal de reloj) se aplicará un nivel bajo en las entradas de borrado y se podrán todas las salidas a '0'. Para decodificar el estado diez basta con detectar los bits que se encuentran a nivel alto (Q_1 y Q_3).

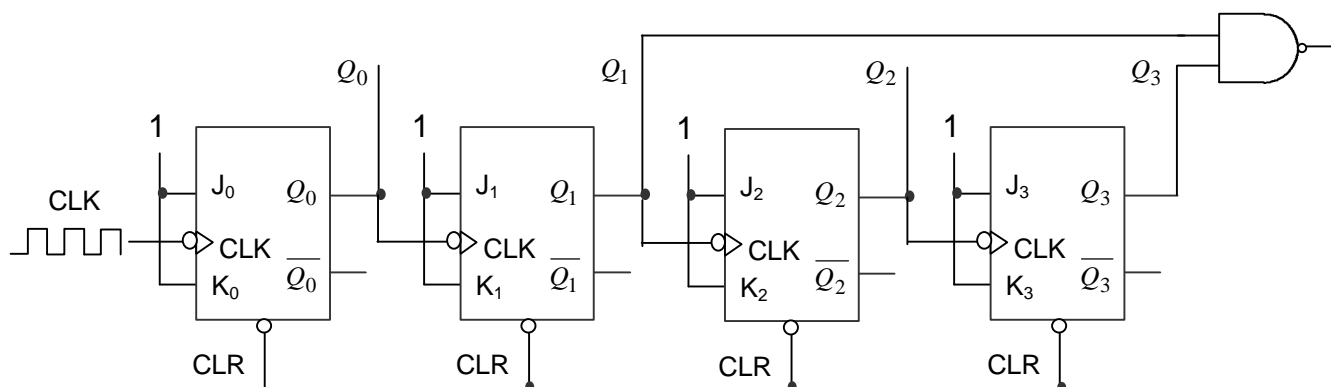


Figura 3-27. Contador asíncrono binario ascendente de módulo 10.

7.- Diseño de circuitos secuenciales.

Como se comentó con anterioridad los sistemas secuenciales pueden ser de naturaleza síncrona o asíncrona. Los sistemas síncronos se basan en circuitos que están controlados por un reloj maestro. En los sistemas asíncronos no existe un reloj común, los estados internos y las salidas pueden resultar afectados en cualquier momento por un cambio en las entradas. En general el diseño síncrono es más sencillo que su equivalente asíncrono, éste último es susceptible de presentar problemas de inestabilidad, por lo tanto en este apartado nos centraremos en el diseño de sistemas secuenciales síncronos.

Un circuito secuencial está formado por una etapa de lógica combinacional y una etapa de memoria (flip-flops). Para el funcionamiento del circuito se requiere la información almacenada en la etapa de memoria (estado), así como las entradas de la lógica

combinacional. Con esta información y cuando se produzca un pulso de reloj el sistema evolucionará al estado siguiente. No todos los circuitos secuenciales tienen entradas combinacionales, como sucede con los contadores del apartado anterior, sin embargo todos tienen variables de estado. Los contadores son un caso particular de circuitos secuenciales. En este apartado se verá un método de diseño general de estos circuitos secuenciales.

En primer lugar se construye una **tabla de transición de estados**² (también llamada tabla de estados). Esta tabla enumera cada estado del contador (estado actual) junto con el correspondiente estado siguiente (estado al que el contador pasa desde su estado actual, al aplicar un pulso de reloj). La tabla de estados de un contador síncrono de módulo 5 (de 0 a 4) se muestra en la Tabla 3-4.

Tabla 3.4. Tabla de estados de un contador de módulo 5.

Estado presente			Estado siguiente		
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0

Para diseñar un sistema a partir de esta tabla, necesitamos decidir sobre la naturaleza de los biestables que se usarán y determinar cuál debe ser la entrada de cada biestable para producir la transición al estado siguiente.

La Tabla 3-5 es una tabla de transiciones del flip-flop J-K. Se enumeran todas las posibles transiciones de salida, mostrando cómo evoluciona la salida Q del flip-flop. Para cada transición de salida, se indican las entradas J y K que dan lugar a esa transición. Las 'X' indican condiciones indiferentes (la entrada puede ser '1' o '0').

Tabla 3.5. Entradas de control de un flip-flop J-K

Estado presente Q_n	Estado siguiente Q_{n+1}	Entradas	
		J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Al diseñar el contador, se aplica la tabla de transiciones a cada flip-flop del contador. Por ejemplo, para el estado actual 000, Q_0 pasa del estado '0' a '1'. Para que esto ocurra, J_0 tiene que ser '1' y es indiferente el valor que tome K_0 , como se indica en la tabla de transiciones 3-5.

A partir de la tabla de estados y la tabla de transición del biestable seleccionado se construye la tabla de transiciones (Tabla 3-6). En ella se muestra qué señales se deben aplicar a las entradas de cada uno de los biestables para lograr las transiciones apropiadas.

² En sistemas sencillos los estados pueden deducirse directamente de la definición del problema, pero en los casos más complejos puede ser necesario modelar el sistema mediante un **diagrama de estados**.

Tabla 3.6. Tabla de transiciones de un contador de módulo 5.

Estado presente			Estado siguiente			Entradas de flip-flop					
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	0	1	1	0	X	X	0	1	X
0	1	1	1	0	0	1	X	X	1	X	1
1	0	0	0	0	0	X	1	0	X	0	X

La etapa final del diseño consiste en crear circuitos que produzcan estas señales. Los mapas de Karnaugh se utilizan para determinar la lógica requerida para las entradas J y K de cada flip-flop del contador. Se debe utilizar un mapa de Karnaugh para la entrada J y otro para la entrada K de cada flip-flop. Cada celda del mapa de Karnaugh representa uno de los estados actuales de la secuencia del contador de módulo 5 (Figura 3-28).

		J_2			
$Q_2 \backslash Q_1$	Q_0	00	01	11	10
0	0	0	0	X	X
1	0	0	1	X	X

$J_2 = Q_1 \cdot Q_0$

		K_1			
$Q_2 \backslash Q_1$	Q_0	00	01	11	10
0	0	X	0	X	X
1	0	X	1	X	X

$K_1 = Q_0$

		K_2			
$Q_2 \backslash Q_1$	Q_0	00	01	11	10
0	0	X	X	X	1
1	0	X	X	X	X

$K_2 = 1$

		J_0			
$Q_2 \backslash Q_1$	Q_0	00	01	10	11
0	0	1	1	X	0
1	0	X	X	X	X

$J_0 = \overline{Q_2}$

		J_1			
$Q_2 \backslash Q_1$	Q_0	00	01	11	10
0	0	0	X	X	0
1	0	1	X	X	X

$J_1 = Q_0$

		K_0			
$Q_2 \backslash Q_1$	Q_0	00	01	10	11
0	0	X	X	X	X
1	0	1	1	X	X

$K_0 = 1$

Figura 3-28. Mapas de Karnaugh para las entradas J y K de un contador de módulo 5.

El paso final consiste en implementar la lógica a partir de las expresiones de las entradas J y K, y conectar los flip-flops para conseguir un contador de módulo 5, como muestra la Figura 3-29.

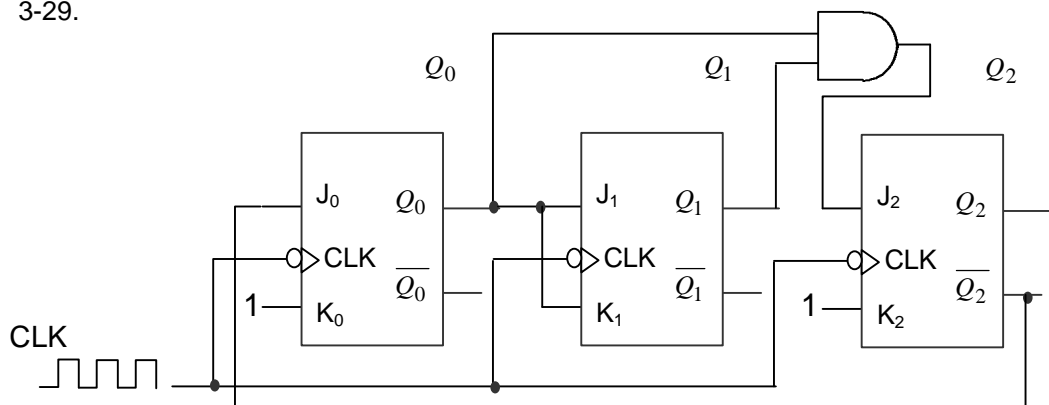


Figura 3-29. Contador de módulo 5 con flip-flops J-K.