

Proposta exercici d'examen DGD

Daniel Vilardell

17-10-2020

La solució del exercici és extensa i detallada, no s'espera que l'alumnat aprofundeixi tant
en les respostes

1

a) A partir de una taula de Karnaugh i comprovant tots els casos troba la funció que et permetria dissenyar un circuit que et deixi veure si un nombre de 4 bits és divisible per 6. Quants components i quins de dos entrades es necessitarien per a una implementació?

Per a fer això primer trobeu la taula de Karnaugh i feu una cerca exhaustiva que miri si un nombre és divisible per 3. Trobeu també la del 2 i multipliqueu els resultats ja que si és divisible per 2 i per 3, és divisible per 6.

b) És ben conegut que tot nombre binari és divisible per 2 si i només si el seu últim dígit és 0. Un criteri més interessant encara, i potser una mica menys trivial és el criteri de divisibilitat del 3 per nombres binaris. Aquest anuncia el següent:

- Si la suma dels bits parells menys la suma dels bits senars és divisible per 3, aleshores el nombre original és divisible per 3.

Tenint en compte que en un nombre de quatre bits com a molt els bits en posicions parells i senars sumen 2, proposi un disseny d'un circuit que permeti distingir els nombres de 5 bits que són divisibles per 6 dels que no usant el criteri donat.

c) Finalment, amb l'ajuda de multiplexors i un component que anomenarem `DIV_6`(creat a l'exercici anterior que per cada nombre de 5 bits que li dones treu 1 si és múltiple de 6 i 0 si no ho és) dissenyeu un circuit lògic que faci el següent: Donats dos nombres de 5 bits a i b

- Si cap dels dos és divisible per 6 retorni 0
- Si un d'ells és divisible per 6 retorni aquell nombre
- Si els dos ho són, retorni a

Resolució a: Considerem la taula de Karnaugh dels nombres divisibles per 3 de 4 bits on les files x_0 i x_1 i les columnes marquen les x_2 i x_3 :

	00	01	11	10
00	1	0	1	0
01	0	0	0	1
11	1	0	1	0
10	0	1	0	0

Vist això només podem trobar una única simplificació que es basa en fer 6 grups de minterms, i per tant:

$$F_3 = \bar{x}_0\bar{x}_1\bar{x}_2\bar{x}_3 + \bar{x}_0\bar{x}_1x_2x_3 + \bar{x}_0x_1x_2\bar{x}_3 + x_0x_1\bar{x}_2\bar{x}_3 + x_0x_1x_2x_3 + x_0\bar{x}_1x_2\bar{x}_3$$

Ara fem el mateix per 2

	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	1	0	0	1
10	1	0	0	1

Aquí sí que podem fer un grup de 8 uns i per tant és trivial que $F_2 = \bar{x}_3$. Ara, per tant, multipliquem $F_2 \cdot F_3$

$$\begin{aligned} \bar{x}_3(\bar{x}_0\bar{x}_1\bar{x}_2\bar{x}_3 + \bar{x}_0\bar{x}_1x_2x_3 + \bar{x}_0x_1x_2\bar{x}_3 + x_0x_1\bar{x}_2\bar{x}_3 + x_0x_1x_2x_3 + x_0\bar{x}_1x_2\bar{x}_3) = \\ = \bar{x}_3(\bar{x}_0\bar{x}_1\bar{x}_2 + \bar{x}_0\bar{x}_1x_2 + x_0x_1\bar{x}_2 + x_0\bar{x}_1x_2) \end{aligned}$$

Vista la funció, per a implementar tal circuit es necessitarien 2 portes *and* per cada multiplicació de tres digits, 3 portes *or* per a la suma dels quatre sumands i finalment una porta *and* més per a fer el producte amb \bar{x}_3 . Per tant en total es necessitarien 10 components lògics per a fer el circuit buscat.

Resolució b: Notem primer, que un nombre sigui divisible per 6 implica que ho és tant per 2 com per 3. Dit això anem a veure com comprovar aquestes dues afirmacions.

Veiem que si el nombre és de 4 bits, l'únic que hem de comprovar és que la suma de bits parells sigui igual a la dels senars, ja que si $x - y$ és divisible per 3 amb $x < 3$ i $y < 3$ mai pot donar un nombre diferent de 0. Això ens porta a pensar que hem de trobar una manera de passar de mirar aquests 5 bits a mirar quatre bits per a comprovar la divisibilitat, així poder demostrar simplement la igualtat prèviament mencionada.

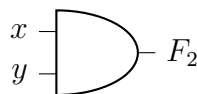
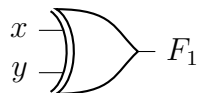
Si en primer lloc mirem la divisibilitat per 2, en el cas que no sigui parell ja ho tindriem, podem confirmar que el nombre no és divisible per 6. En el cas que sí ho sigui, podem dividir el nombre original per 2, és a dir, eliminar l'últim dígit, i així passariem a comprovar la divisibilitat per 3 en un nombre de només 4 xifres.

Vist amb portes lògiques, si tenim la divisibilitat del 3 i la del 2, amb una porta and en tindriem prou per saber la divisibilitat del 6.

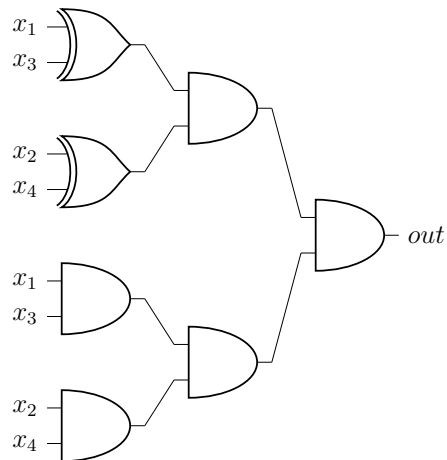
Ara per tal de veure si les 4 primeres xifres són divisibles per 3, mirarem si $x_1 + x_3 = x_2 + x_4$. Necessitem, per tant, dos sumadors de dos bits i després tres portes *and* per a comprovar el resultat. Suposem que $x + y = F_1 F_2$ on cada F és un bit del resultat. Constrüim la taula de veritat de cada funció per a veure que necessitem per a fer el sumador.

x	y	F_1	F_2
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

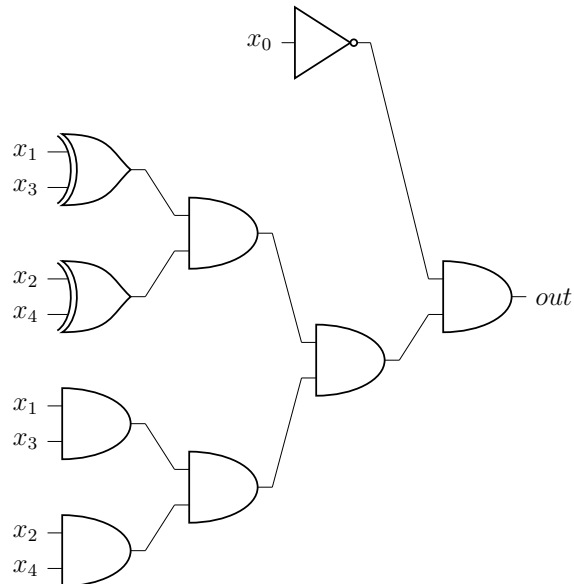
I per tant el circuit logit tindrà la següent forma



Finalment per a comprovar si els dos nombres són els mateixos usarem comparadors *and* com hem comentat anteriorment. Per tant el circuit que verificarà la divisibilitat per 3 tindrà la següent forma



Ara només cal verificar la divisibilitat del 2, és a dir, que el bit en la posició x_0 sigui igual a 0, això és fàcil de fer i només ens caldrà usar un *not* i un *and* per a tenir el disseny complet. El circuit lògic final és el següent:



Resolució c: Per tal de solucionar aquest apartat usarem 5 multiplexors, un per a cada dígit, de 4 entrades de dades, i per tant dos entrades de control i una sortida Z . Les entrades de control estaran dotades amb la informació de si A és divisible per 6, i la segona de sí B és divisible per 6. Vist això considerem la taula de veritat i mirem quines hauran de ser les entrades de dades.

$div_6(A)$	$div_6(B)$	Z
0	0	0
0	1	A_i
1	0	B_i
1	1	A_i

Vist això haurem de posar la primera entrada a terra, la segona i la quarta a A_i i finalment la tercera a B_i .

