

1. Num sistema computacional com um espaço de endereçamento de memória de N bits, o conjunto de endereços possíveis será:
 - a) $[2^{N-1}, \dots, 0]$
 - b) $[2^N, \dots, 0]$
 - c) $[2^N - 1, \dots, 0]$
 - d) $[2^{N-1}, \dots, 0]$
2. Dizer-se que, num sistema computacional, a memória apresenta uma organização do tipo byte-addressable significa que:
 - a) cada posição de memória é identificada com um endereço de 1 byte
 - b) o barramento de dados tem a dimensão de 1 byte
 - c) os barramentos de endereços e de dados tem obrigatoriamente a mesma dimensão
 - d) uma word de 32 bits é armazenada em 4 posições de memória consecutivas de 1 byte
3. No PIC32, os registos TRIS, LAT e PORT do PIC32 permitem, respetivamente:
 - a) o output e input de informação e o controlo da direcionalidade de um porto digital
 - b) o input e output de informação e o controlo da direcionalidade de um porto digital
 - c) o controlo da direcionalidade, o input e output de informação de um porto digital
 - d) o controlo da direcionalidade, o output e input de informação de um porto digital
4. Quando, num periférico, é usada a técnica entrada/saída de dados por software(programada):
 - a) o periférico faz um pedido de interrupção ao CPU após a conclusão da transferência de dados
 - b) o CPU verifica através de um ciclo de polling se o periférico está pronto para transferir os dados
 - c) o periférico faz um pedido de interrupção ao CPU quando estiver pronto para transferir os dados
 - d) o CPU interrompe a execução do programa para configurar o controlador de DMA que faz a propiamente dita
5. A função de um bootloader num sistema baseado em microcontrolador é:
 - a) transferir o código executável para a memória do microcontrolador a partir de um sistema de desenvolvimento, permitindo a sua posterior execução
 - b) realizar a compilação do software de alto nível(i.e. C) e iniciar a sua execução após o reset
 - c) executar o software, e auxiliar no seu debug através da introdução de breakpoints, visualizar registos e de posições de memória
 - d) interagir com o cross-compiler para efeitos de debug da aplicação
6. Para construir um módulo de memória SRAM de 512k x 8 bits, são necessários:
 - a) 4 circuitos de 64k x 8 bits
 - b) 8 circuitos de 64k x 4 bits
 - c) 8 circuitos de 64k x 8 bits
 - d) 16 circuitos de 64k x 8 bits

7. O diagrama temporal da figura do lado representa um ciclo de:
- leitura de um dispositivo mapeado no espaço de endereçamento de memória
 - escrita num dispositivo mapeado no espaço de endereçamento de memória
 - escrita num dispositivo mapeado no espaço de endereçamento I/O
 - leitura de um dispositivo mapeado no espaço de endereçamento I/O

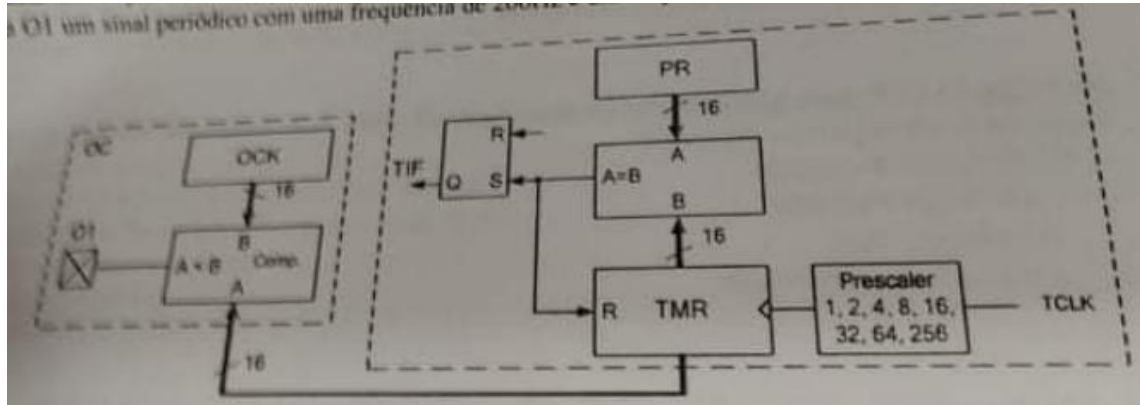


8. Numa memória estática SRAM:
- as células necessitam de refrescamento regular
 - cada célula de 1 bit é implementada com um mínimo de 6 transistores
 - o tempo de acesso aumenta com o valor do endereço
 - existe um único barramento para dados e endereços por forma a diminuir o número de pinos do dispositivo
9. Numa transferência por DMA, em modo bloco, quando o controlador de DMA pretende dar início a uma transferência:
- ativa o sinal busreq , iniciando a transferência logo que reconheça a ativação do sinal bus Grant
 - ativa o sinal busreq durante um número fixo de CPU que vai iniciar uma transferência de dados
 - gera uma interrupção sinalizando desse modo o CPU que vai iniciar uma transferência de dados
 - sinaliza o CPU através da linha busreq, que vai dar início a transferência e inicia-a de imediato. O sinal busgrant é utilizado pelo CPU para suspender a atividade do DMA
10. Alguns timers que estudou tem, como último andar do temporizador um divisor por dois. A finalidade desse divisor por dois é:
- dividir por dois o período do sinal de saída do timer
 - assegurar um sinal de saída com um duty cycle de 50%
 - aumentar a resolução do timer
 - aumentar a precisão do timer
11. Numa RSI, o conjunto de instruções designado por “prólogo” destina-se, no essencial, a:
- alterar a tabela de vetores de modo a impedir que novos pedidos de interrupção sejam atendidos
 - identificar a fonte de interrupção (nos casos em que tal é feito por hardware) e obter o endereço inicial da RSI
 - regressar ao programa interrompido reativando as interrupções
 - copiar para a stack o contexto do programa que foi interrompido pela interrupção, i.e., registos internos do CPU.

12. Um barramento paralelo de tipo síncrono:
- a) inclui um sinal de relógio e o protocolo de comunicação é síncrono ou semi-síncrono
 - b) não inclui um sinal de relógio e o protocolo de comunicação é “handshaken”
 - c) permite a ligação de uma grande variedade de dispositivos operando com relógios de diferentes frequências
 - d) assegura “fairness” no acesso ao barramento (quando há mais do que um master)
13. Diz-se que um barramento de comunicação série usa comunicação associativa quando:
- a) o relógio não é explicitamente transmitido e por isso, o relógio do receptor é recuperado o ponto das transições de nível lógico na linha de dados
 - b) não é enviado o relógio na transmissão, nem há recuperação do relógio na receção
 - c) o módulo de recessão pode gerar um sinal para atrasar o envio de dados do emissor
 - d) o sinal de relógio é codificado nos dados xxxinerrxx?? (f clocking)?
14. O barramento SPI é caracterizado por:
- a) ter uma arquitetura master-slave com ligação ponto a ponto e comunicação full duplex
 - b) ter uma arquitetura master-slave com ligação multi-ponto e comunicação full duplex
 - c) ter uma arquitetura multi-master com ligação multi-ponto e comunicação half duplex
 - d) ter uma arquitetura multi-master com ligação ponto a ponto e comunicação half duplex
15. Na interface de comunicação I2C o primeiro byte de uma comunicação contém a seguinte informação:
- a) o endereço do master, o endereço do slave com o qual este quer comunicar e a operação a realizar
 - b) os parâmetros de comunicação a utilizar (taxa de transferência e número total de bits a transferir)
 - c) o endereço do master e a operação a realizar
 - d) o endereço do slave e a operação a realizar
16. Na interface RS-232C o desvio de frequência entre os sinais de relógio do transmissor e recetor pode originar um erro, no instante de amostragem dos vários bits. Esse erro cresce de forma:
- a) inversamente proporcional ao fator de sobre-amostragem
 - b) diretamente proporcional ao número de stop-bits
 - c) diretamente proporcional à dimensão da trama
 - d) inversamente proporcional a taxa de transmissão
17. No protocolo USB, para transferir grandes quantidades de dados assegurando um valor de latência máximo e largura de banda requerida são usadas:
- a) transferências de controlo
 - b) transferências isócronas
 - c) transferências “bulk”
 - d) transferências de interrupção

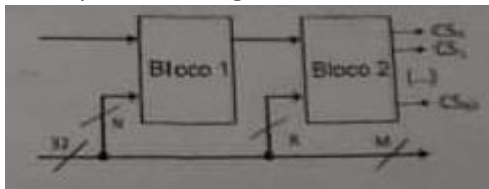
18. As principais características/objetivos de um device driver são:
- a) permitir o uso de buffers circulares entre o CPU e o dispositivo periférico
 - b) permitir um acesso mais rápido a um dispositivo periférico através de implementação de rotinas de serviço a interrupção
 - c) criar um nível de abstração, uniformização de acesso e independência entre aplicações/SO e o hardware do dispositivo periférico
 - d) descrever ao programador o modelo de programação de um dispositivo periférico
19. Num barramento CAN:
- a) cada tipo de mensagem tem um id único
 - b) cada dispositivo ligado ao barramento tem um id único
 - c) um master pode enviar duas tramas simultâneas para dois slaves, desde que os ids das tramas seja único
 - d) uma mensagem produzida por um master pode ser recebida apenas por um e um só slave
20. O número de comparadores necessários para a implementação de uma cache de 16kB, que usa uma arquitetura de mapeamento direto, blocos de 64 bytes e 256 linhas:
- a) 256
 - b) 16
 - c) 1
 - d) 64
21. Num sistema com memória virtual, o valid bit de uma entrada de uma page table, quando não ativo significa que:
- a) a respetiva página foi acedida recentemente
 - b) a respetiva página está residente em memória física
 - c) a informação da respetiva página foi alterada
 - d) a respetiva página não está residente em memória física
22. Numa memória virtual, o TLB(translation-Lookaside Buffer):
- a) armazena a totalidade das entradas da page table que tenham o valid bit a '1'
 - b) destina-se a acelerar a tradução de endereços virtuais em endereços físicos
 - c) é normalmente baseado numa arquitetura do tipo mapeamento direto
 - d) serve para obter de forma mais rápida o conteúdo de uma VPN na Page Table

23. Considere um timer tipo 2 como o da figura abaixo(semelhante aos dos PIC32) com a sua saída ligada a uma unidade OC. Admita que a frequência do relógio TCLK é de 20MHz e que a frequência no pino O1 é de 200Hz. Assuma ainda que o fator de divisão prescaler é o menor que for possível para estas condições. Para obter na saída O1 um sinal periódico com uma frequência de 200MHz e um duty cycle de 25%



- a) os valores armazenados respectivamente em PR e OCK devem ser 49999 e 12500
b) os valores armazenados respectivamente em PR e OCK devem ser 12499 e 3125
c) os valores armazenados respectivamente em PR e OCK devem ser 24999 e 6250
d) os valores armazenados respectivamente em PR e OCK devem ser 12499 e 9375

24. Suponha que pretenda implementar um circuito gerador de sinais de seleção programável (semelhante ao que estudou nas aulas teóricas e ilustrado na figura abaixo) que permita gerar 64 linhas de seleção, cada uma delas ativa em 32k endereços consecutivos, num espaço de endereçamento de 32 bits. Ao Bloco 1 da figura devem ser ligado N bits, correspondendo a gama:



- a) A14 a A0
b) A20 a A0
c) A31 a A21
d) A31 a A15

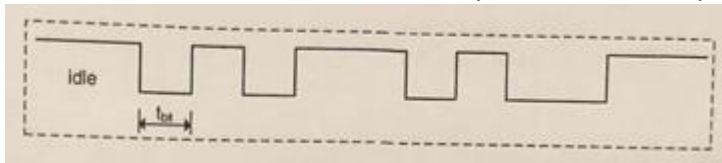
25. Considere um controlador DMA de 32 bits não dedicado , a funcionar em modo cycle-stealing, em que um bus cycle é realizado em 3 ciclos de relógio e o tempo mínimo entre operações elementares é de 2 ciclos de relógio. Se a frequência de funcionamento do DMA for 250MHz, o tempo mínimo necessário para transferir 500 palavras de 32 bits é, aproximadamente:
- a) $16 \mu s$
 - b) $20 \mu s$**
 - c) 500ns
 - d) $25 \mu s$

26. Considere um sistema baseado num CPU a funcionar a uma frequência de 200 MHz com uma taxa de execução média de 50 MIPS (50x10⁶ instruções por segundo, CPI = 4) que processa, por interrupção , eventos externos periódicos. Se o overhead total do atendimento a à interrupção for de 160 ciclos de relógio, e a rotina de serviço a interrupção tiver 60 instruções, a máxima frequência a que esses eventos podem ocorrer é aproximadamente:
- a) 50MHz
 - b) 2MHz
 - c) 909 kHz
 - d) 500kHz
27. Considere um espaço de endereçamento de 32 bits e uma memória cache, parcialmente capacidade de 64 kByte, associatividade de 8 e blocos de 64 bytes. O número de bits do endereço é:
- a) 10
 - b) 7
 - c) 6
 - d) 5
28. Suponha um sistema de memória organizada em 2 níveis que responde a um acesso a uma posição de memória que se encontra na cache em 1 ciclo de relógio e a um acesso a uma posição de memória que se encontra na memória principal em 51 ciclos de relógio. Para que o tempo médio de acesso ao sistema de memória seja 11 ciclos de relógio o hit ratio da cache deverá ser, aproximadamente:
- a) 85%
 - b) 90%
 - c) 75%
 - d) 80%
29. Um sistema computacional com uma memória byte-addressable, possui um espaço de endereçamento virtual de 4G, um espaço de endereçamento físico de 1G e páginas de memória de 4 kBytes. Admita ainda que o Page Table Register tem o valor 0x3FF28000, que cada entrada da Page Table está alinhada em endereços múltiplos de 4 e que o seu conteúdo tem 32 bits. Quando é gerado o endereço virtual 0x00006058, o endereço da Page Table acedido para obter a tradução para o endereço físico será:
- a) 0x3FF28058
 - b) 0x3FF28006
 - c) 0x3FF28018
 - d) 0x3FF28000

30. Admita agora que, no sistema descrito na questão 29, o conteúdo de cada entrada da Page Table tem o formato descrito na figura abaixo. Quando o CPU acede ao endereço virtual 0x000C80FC para ler uma instrução, o conteúdo da page table para esse endereço é 0xA7FE2030. Nesse caso, o gestor de memória:

Valid, Dirty, Read, Write, Execute [31:27]	Bits não usados [26:18]	PPN [17:0]
---	----------------------------	---------------

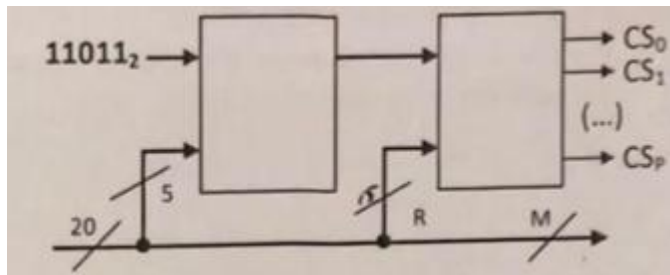
- a) traduz o endereço virtual para o endereço físico de acordo com a informação da page table
 - b) não traduz o endereço virtual para o endereço físico e gera uma exceção porque a página respetiva não tem permissão de escrita
 - c) não traduz o endereço virtual para o endereço físico e gera uma exceção porque a página respetiva não tem permissão de execução
 - d) não traduz o endereço virtual para o endereço físico e gera uma exceção porque a página respetiva não tem o dirty bit ativo
31. Um dispositivo com interface RS232C, configurado para transmitir 7 bits de dados, paridade par e 2 stop bits, produz a trama da figura que é recebida por outro dispositivo RS232C incorretamente configurado para 8 bits de dados, paridade ímpar e 1 stop bit, mas com o mesmo baudrate. Para a trama apresentada, o receptor:



- a) não vai detectar qualquer erro, mas o valor recebido não é igual ao valor transmitido.
 - b) vai detectar um erro de framing.
 - c) não vai detectar qualquer erro e recebe corretamente o valor transmitido.
 - d) vai detectar um erro de paridade.
32. Considere um controlador de DMA não dedicado de 32 bits (i.e. com barramento de dados de 32 bits), a funcionar a 120 MHz. Suponha ainda que são necessários 2 ciclos de relógio ($= 1 T_{bc}$) para efetuar uma operação de leitura ou escrita. A taxa de transferência de pico desses DMA (expressa em Bytes/s), em modo cycle-stealing e com um tempo mínimo entre operações elementares de $2 T_{bc}$ é:
- a) 120 MByte/s
 - b) 1.25 MByte/s
 - c) 40 MByte/s
 - d) 60 MByte/s
33. Considere um espaço de endereçamento de 32 bits e uma memória cache de 128 kByte, com uma organização parcialmente associativa com 8 vias, e blocos de 32 bytes. O número de linhas da cache é:
- a) 8
 - b) 1024
 - c) 32
 - d) 512

34. Um sistema computacional com um sistema de memória byte-addressable, possui um espaço de endereçamento virtual de 16M e um espaço de endereçamento físico de 2M. Sabendo que a page table tem 8k entradas, podemos concluir que o sistema de memória virtual está organizado em páginas de:
- a) 1 kByte
 - b) 2 kBytes
 - c) 4 kBytes
 - d) 512 Bytes
35. Um microcontrolador é um sistema computacional programável que:
- a) disponibiliza, através dos seus portos de I/O, a generalidade dos sinais dos barramentos do microprocessador para ligação direta a sensores e atuadores de um sistema embutido.
 - b) inclui, num único dispositivo integrado, CPU, memória e um conjunto variável de periféricos e portos de I/O.
 - c) devido à restrição de espaço, não suporta um número reduzido de instruções e de registos.
 - d) ao contrário do microprocessador, não utiliza mecanismos de multiplexagem para partilha de portos de I/O e diversas funcionalidades internas.
36. Quando nos referimos a um “Módulo de I/O” estamos a referir-nos:
- a) a um periférico que permite operações de escrita e leitura.
 - b) ao software (device-driver) que assegura que o acesso ao periférico é transparente para as aplicações.
 - c) ao tipo de conector que permite a interface entre um periférico e o canal de comunicação do mesmo com o mundo exterior.
 - d) a parte de um dispositivo periférico que funciona como adaptador entre as características intrínsecas do periférico e as características da CPU e do sistema de memória.
37. O modelo de programação de um periférico especifica:
- a) o sub-conjunto de instruções assembly do CPU suportadas por esse periférico.
 - b) quais os sinais elétricos usados na ligação do periférico a dispositivos externos, tais como sensores e atuadores.
 - c) as arquiteturas e as ferramentas de desenvolvimento com as quais o periférico pode ser usado.
 - d) a funcionalidade do periférico e o seu conjunto de registos de dados, de controlo e de status.

38. Considere um espaço de endereçamento de 20 bits e o circuito gerador de sinais de seleção programável da figura (igual ao que estudou nas aulas teóricas). Na situação apresentada e considerando que a linha de seleção CS1 está ativa na gama 0xD8400 a 0xD87FF, podemos concluir que este circuito gera:



- a) 16 linhas de seleção
 - b) 64 linhas de seleção
 - c) 32 linhas de seleção
 - d) 8 linhas de seleção
39. Considere uma memória DRAM de 1Mx8, implementada com matrizes quadradas, que utiliza um ciclo de refrescamento do tipo RAS only. Sabendo que o parâmetro cycle time do ciclo RAS only é 40 ns, o tempo necessário para fazer um refrescamento completo à memória é, aproximadamente:
- a) 41 μ s
 - b) 328 μ s
 - c) 320 ns
 - d) 40 ns
40. Considere um timer em que a relação entre as frequências de entrada e de saída é uma constante "k" configurável. Considere ainda que se usaram dois desses timers e se ligaram em cascata (i.e., em série). Supondo que a frequência à entrada do primeiro timer é 1 MHz, para obter à saída do segundo timer uma frequência de 200 Hz, as constantes de configuração dos dois timers, "k1" e "k2", poderão ter os seguintes valores:
- a) K1 = 200, K2 = 250
 - b) K1 = 1000, K2 = 200
 - c) K1 = 200, K2 = 25
 - d) K1 = 3500, K2 = 1500
41. Considere um sistema de supervisão, baseado no protocolo I²C, que recolhe periodicamente informação proveniente de 30 sensores de temperatura, cada um deles com uma resolução de 8 bits (i.e. 8 bits de dados + 8 bits de endereçamento). O tempo mínimo que o master, a funcionar com uma frequência de relógio de 50 kHz, necessita para adquirir os valores de todos os sensores (cada um implementado num slave distinto) é:
- a) 20 μ s
 - b) 12 ms
 - c) 0.6 ms
 - d) 6.6 ms

42. Num barramento série que use a técnica de sincronização de relógio designada por “relógio codificado”:
- a) O relógio é gerado pelo recetor e enviado de forma codificada para o transmissor
 - b) O relógio é gerado pelo transmissor que o envia, para o recetor, codificado nos dados
 - c) O transmissor e o recetor têm os seus próprios relógios que se sincronizam mutuamente
 - d) O transmissor e o recetor têm relógios independentes; o relógio do recetor é sincronizado ocasionalmente com o do transmissor por meio da receção de símbolos codificados nos dados
43. No método de sincronização dos relógios utilizado na interface RS-232C, o “erro de fase”:
- a) Introduce um desvio constante entre o instante ideal e o instante real de amostragem no recetor.
 - b) Introduce um desvio cumulativo e proporcional ao comprimento da trama, entre o instante ideal e o instante real de amostragem no recetor
 - c) Não tem qualquer implicação no instante real de amostragem no recetor
 - d) É proporcional à frequência do relógio do transmissor
44. Na interface de comunicação I2C, quando existe mais do que um master a tentar aceder simultaneamente ao barramento, a arbitragem é feita:
- a) Por bit dominante/bit recessivo e processa-se bit a bit
 - b) Atribuindo o barramento ao master com o endereço mais alto.
 - c) Dando prioridade ao master que foi servido pela última vez há mais tempo
 - d) Através do bit que determina a operação a efetuar
45. Suponha que no barramento CAN, após uma situação de meio livre, três masters acedem simultaneamente ao barramento. O master 1 produz uma mensagem com o identificador 0x34, o master 2 produz uma mensagem com o identificador 0x15 e o master 3 produz uma mensagem com o identificador 0x5A. Nessa situação:
- a) O acesso ao barramento é ganho pelo master 1
 - b) O acesso ao barramento é ganho pelo master 3
 - c) O acesso ao barramento é ganho pelo master 2
 - d) Não há necessidade de arbitrar o acesso ao barramento, porque as mensagens produzidas pelos 3 masters têm identificadores diferentes
46. No barramento CAN a codificação das tramas de dados utiliza a técnica de bit stuffing. Essa técnica consiste em:
- a) Por cada 5 bits iguais é inserido um de polaridade oposta
 - b) Por cada 5 bits com o valor ‘1’, é inserido um bit com o valor ‘0’
 - c) Por cada bit enviado é inserido um de polaridade oposta
 - d) Por cada 5 bits com o valor ‘0’, é inserido um bit com o valor ‘1’

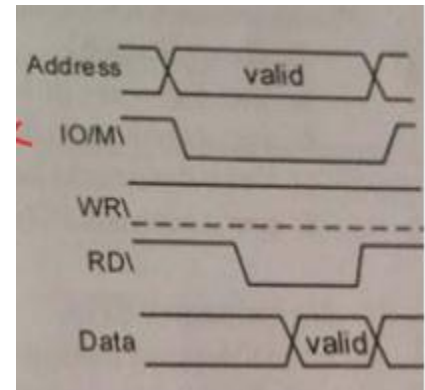
47. Para construir um módulo de memória SRAM de 256k x 16 bits, são necessários:
- a) 8 circuitos de 32k x 8 bits
 - b) 16 circuitos de 16k x 8 bits
 - c) 32 circuitos de 16k x 4 bits
 - d) 32 circuitos de 32k x 4 bits
48. Na implementação da parte de dados de um porto de entrada:
- a) Devem ser usados buffers tri-state para que a informação presente no barramento de dados só fique disponível para o periférico quando o porto for ativado
 - b) Devem ser usados buffers tri-state para que a informação só seja colocada no barramento de dados quando o porto for selecionado
 - c) Devem ser usados flip-flops para armazenar o valor presente no barramento de endereços, se este coincidir com o endereço do porto
 - d) Devem ser usados flip-flops para armazenar o valor transferido através do barramento de dados durante um ciclo de escrita
49. Suponha que os bits 7 e 6 do porto B do PIC32 estão configurados como saída e que se pretende colocar esses dois bits com o valor "10", respetivamente, sem alterar o valor dos restantes. Para isso, em linguagem C, pode fazer-se:"
- a) $LATB = LATB \& 0xFFBF$
 - b) $LATB = (LATB \& 0xFF3F) | 1 \ll 7$
 - c) $LATB = LATB | 0x0080$
 - d) $LATB = LATB \& 0x0080$
50. O método de transferência de informação entre um CPU e um módulo de E/S, em que o programa executado no CPU inicia, monitoriza e controla a transferência de informação, designa-se por:
- a) Entrada/saída por polling com vectorização
 - b) Entrada/saída por interrupção iniciada pelo CPU
 - c) Entrada/saída programada (método de polling)
 - d) Entrada/saída por interrupção iniciada pelo periférico
51. Na organização do sistema de interrupções designada por "interrupções vetorizadas", o processador identifica o periférico gerador da interrupção:
- a) Por hardware através da leitura do valor presente no barramento de endereços uma vez que quando o periférico ativa a linha de interrupção coloca simultaneamente nesse barramento o seu vetor
 - b) Por hardware num ciclo de interrupt acknowledge durante o qual o periférico gerador da interrupção coloca o vetor no barramento de dados
 - c) Por software, antes de chamar a rotina de serviço à interrupção lendo o registo de estado de cada um dos periféricos do sistema
 - d) Por software na rotina de serviço à interrupção lendo o registo de estado de cada um dos periféricos do sistema

52. Numa transferência por DMA, o mecanismo de interrupção é utilizado pelo respectivo controlador para:
- a) Sinalizar o CPU que a transferência de informação foi completada
 - b) Efetuar ao CPU o pedido de cedência dos barramentos; a transferência tem início quando o DMA receber a confirmação, através do sinal busgrant, de que os barramentos foram libertados
 - c) Informar o CPU que a transferência vai ter início, permitindo desse modo que o CPU suspenda a atividade de acesso ao exterior
 - d) Informar o CPU da existência de uma anomalia ocorrida durante o processo de transferência
53. Memória dinâmica (tecnologia DRAM) de 4GX64, implementada com matrizes quadradas, o número de bits do barramento de endereços é:
- a) 16
 - b) 6
 - c) 64
 - d) 32
54. Considere uma memória DRAM em que o address(high) é composto por 5 bits, o address (low) é composto por 7 bits e a memória é composta por 8 planos de células de 1 bit. Neste caso estamos perante uma memória de:
- a) 4 kbit com matrizes de 128 linhas por 128 colunas
 - b) 32 kbit com matrizes de 256 linhas por 128 colunas
 - c) 4 kByte com matrizes de 128 linhas por 32 colunas
 - d) 4 kByte com matrizes de 32 linhas por 128 colunas
55. Num determinado sistema com um espaço de endereçamento de 16 bits foi implementado um decodificador de endereços usando a seguinte expressão lógica (lógica negativa): $CE = A_{15} + A_{14} + A_{12}$. Com este decodificador pode ser selecionada uma memória:
- a) De 4k posições, na gama 0x3000 a 0x3FFF
 - b) De 4k posições, na gama 0xC000 a 0xCFFF
 - c) De 2k posições, na gama 0xE000 a 0xE7FF
 - d) De 8k posições, na gama 0xC000 a 0xDFFF
56. O número de comparadores necessário para a implementação de uma cache parcialmente associativa de 64 kB de 4 vias e blocos de 64 bytes é:
- a) 1
 - b) 8
 - c) 16
 - d) 4

57. O dirty bit é usado numa cache quando esta usa uma política de escrita:
- a) Write-back, para indicar que o respetivo bloco não está a ser usado
 - b) Write-back, para indicar que a informação armazenada no respetivo bloco foi alterada
 - c) Write-through, para indicar que a informação armazenada no respetivo bloco foi alterada na memória principal
 - d) Write-through para indicar que o respetivo bloco não está a ser usado
58. Na técnica designada por “memória virtual”, o endereço da memória física é obtido através:
- a) Da tradução do physical page number no virtual page number e sua concatenação com o page offset do endereço produzido pelo CPU
 - b) Da tradução do virtual page offset no physical page offset e sua concatenação com o virtual page number do endereço produzido pelo CPU
 - c) Da tradução do physical page offset no virtual page offset e sua concatenação com o virtual page number do endereço produzido pelo CPU
 - d) Da tradução do virtual page number no physical page number e sua concatenação com o page offset do endereço produzido pelo CPU
59. O modelo de programação de um periférico especifica:
- a) A funcionalidade do periférico e o conjunto de registos de dados de controlo e de status
 - b) O sub-conjunto de instruções assembly do CPU suportadas por esse periférico
 - c) Os sinais elétricos usados na ligação do periférico a dispositivos externos, tais como sensores e atuadores
 - d) As arquiteturas e as ferramentas de desenvolvimento com as quais o periférico pode ser usado
60. Na arquitetura de um sistema computacional, o Data Bus permite:
- a) Identificar, na memória externa/periférico, a origem/destino dos dados
 - b) Especificar o tipo de operação efetuada sobre a memória
 - c) Transferir dados entre a memória externa/periféricos e os registos do CPU
 - d) Transferir o código máquina das instruções para o program counter
61. Quando é usada a técnica de entrada/saída de dados por interrupção?
- a) O periférico faz um pedido de interrupção ao CPU após a conclusão da transferência de dados.
 - b) O periférico faz um pedido de interrupção ao CPU quando estiver pronto para transferir os dados.
 - c) O CPU interrompe a execução do programa para configurar o controlador de DMA que fará a transferência propriamente dita.
 - d) O DMA verifica através de um ciclo de polling se o periférico está pronto para transferir os dados e quando tal se verifica gera um pedido de interrupção ao CPU.

62. O diagrama temporal da figura ao lado representa um ciclo de:

- a) **Leitura de um dispositivo mapeado no espaço de endereçamento de memória.**
- b) Escrita num dispositivo mapeado no espaço de endereçamento de I/O.
- c) Escrita num dispositivo mapeado no espaço de endereçamento de memória.
- d) Leitura de um dispositivo mapeado no espaço de endereçamento de I/O.



63. O overhead da transferência de informação por interrupção é devido, no..., a:

- a) Retorno ao programa interrompido
- b) Salto para a rotina de serviço à interrupção
- c) Salvaguarda e reposição do contexto do programa interrompido, i.e., registos internos do CPU
- d) Configuração do controlador de interrupções

64. A figura do lado corresponde ao diagrama temporal de:

- a) **Uma operação de escrita numa transferência síncrona com dados e endereços multiplexados numa configuração micro-ciclo**
- b) Uma operação de escrita numa transferência síncrona com dados e endereços não multiplexados numa configuração merged
- c) Uma operação de leitura numa transferência assíncrona com dados e endereços multiplexados numa configuração micro-ciclo
- d) Uma operação de escrita numa transferência assíncrona com dados e endereços não multiplexados numa configuração merged

65. Na interface RS-232 uma das fontes de erro do instante de amostragem dos vários bits no recetor é o “erro de fase”. Esse erro diminui:

- a) Com o aumento do número de stop bits
- b) Com a diminuição do tamanho da trama
- c) Com a diminuição do fator de sobreamostragem
- d) **Com o aumento do fator de sobreamostragem**

66. No barramento SPI:

- a) Só é possível transmitir dados entre dois dispositivos em modo half duplex
- b) O slave e o master utilizam relógios independentes para sincronizar as transferências de informação
- c) **As transferências de informação são sincronizadas pelo relógio do master**
- d) O master usa o relógio do slave para sincronizar as transferências de informação

67. Na interface I2C o endereçamento/seleção dos dispositivos é realizado através de:
- a) Um sinal específico ativado pelo dispositivo que comanda a transferência
 - b) Informação transmitida na linha de relógio pelo dispositivo que comanda a transferência
 - c) Um barramento de endereços de 7 bits a partir do qual cada dispositivo descodifica o seu próprio endereço
 - d) Informação transmitida na linha de dados pelo dispositivo que comanda a transferência
68. A interface I2C é caracterizada fisicamente por apresentar:
- a) Uma linha de relógio e duas linhas de dados (uma para transmitir e outra para receber)
 - b) Uma linha de relógio, uma linha de seleção e uma linha de dados
 - c) Uma linha de relógio e uma linha de dados
 - d) Uma linha de relógio, uma linha de seleção e duas linhas de dados (uma para transmitir e outra para receber)
69. No protocolo USB para transferir grandes quantidades de dados com garantia de entrega são usadas:
- a) Transferência de controlo
 - b) Transferências "bulk"
 - c) Transferências isócronas
 - d) Transferências de interrupção
70. A topologia das ligações físicas, no protocolo USB, é:
- a) Um anel com um máximo de 7 dispositivos
 - b) Uma estrela com um máximo de 7 dispositivos
 - c) Uma árvore com um máximo de 127 níveis
 - d) Uma árvore com um máximo de 7 níveis
71. No barramento CAN, cada trama de dados contém:
- a) A identificação do no produtor da informação
 - b) A identificação do no destino da informação
 - c) A identificação do conteúdo da informação
 - d) A identificação dos dois nos: o produtor e o destino da informação

72. Na técnica normalmente designada por “memória virtual” o número de entradas da page table é:

- a) Igual ao número de entradas da memória TLB
- b) Igual ao número máximo de páginas físicas
- c) Igual ao número de páginas de memória usadas pelo processo em execução
- d) Igual ao número máximo de páginas virtuais

73. O valid bit de uma entrada da page table, quando ativo, indica que:

- a) A respetiva página foi acedida recentemente
- b) A respetiva página esta residente em memória física
- c) A informação da respetiva página foi alterada
- d) A respetiva página esta residente em disco

74. A tradução de endereços virtuais em endereços físico consiste:

- a) Na tradução do physical page number no virtual page number e sua concatenação com o page offset do endereço produzido pelo CPU
- b) Na tradução do virtual page offset no physical page offset e sua concatenação com o virtual page number do endereço produzido pelo CPU
- c) Na tradução do virtual page number no physical page number e sua concatenação com o page offset do endereço produzido pelo CPU
- d) Na tradução do physical page offset no virtual page offset e sua concatenação com o virtual page number do endereço produzido pelo CPU

75. Num sistema que suporte memória virtual e cache qual das seguintes situações pode ocorrer num acesso á memória:

- a) TLB miss, page table miss, cache hit
- b) TLB miss, page table hit, cache miss
- c) TLB hit, page table miss, cache miss
- d) TLB hit, page table miss, cache hit