

- c. obtenha a expressão do sinal "Sel" (ativo baixo) de uma memória de 16k endereços mapeado na gama de endereços **0x8C000...0x8FFFF**, num espaço de endereçamento de 20 bits
 - d. Obtenha a expressão do sinal "Sel" (ativo alto) de um porto mapeado na gama de endereços 0x0000...0x03FF de um processador com um espaço de endereçamento de 16 bits
 - e. Obtenha a expressão do sinal "Sel" (ativo alto) de uma memória de 4k endereços mapeado na gama de endereços **0x9000...0x9FFF**, num espaço de endereçamento de 16 bits
79. Determine qual a(s) gama(s) de endereço(s) decodificada(s), num espaço de endereçamento de 16 bits, por um decodificador implementado através das seguintes expressões lógicas
- a. **"CE\ = A15 + A14 + A12\"**
 - b. **"CE\ = A15 + A13\ + A12\"**
 - c. **$\overline{CE} = A23 + A21 + \overline{A20}$** . Admita neste caso que o espaço de endereçamento é de 24 bits
 - d. **$\overline{CE} = A31 + \overline{A29} + A28$** . Admita neste caso que o espaço de endereçamento é de 32 bits

BARRAMENTOS DE COMUNICAÇÃO SÉRIE

80. Classifique as vantagens dos barramentos série (ao nível físico) quando comparados com barramentos paralelo:
- a. ao nível da implementação **Implementação mais simples**
 - b. ao nível da cablagem de suporte (em barramentos com fios) **Utilização de menos cablagem pois apenas pode seguir um fio**
 - c. ao nível do custo **Menor pois é mais simples e consome menos recursos**
 - d. ao nível da distância de transmissão **Transmissão possível a longas distancias**
 - e. ao nível do débito de transmissão **É elevado**
81. O que caracteriza topologicamente um barramento de comunicação série para podermos afirmar que este é um barramento:
- a. síncrono **O sinal de relógio é transmitido de forma explícita através de um sinal adicional**
 - b. assíncrono **Não é usado um clock na transmissão. Neste modo é necessário acrescentar bits para sinalizar o início e o fim da transmissão.**
82. Nos barramentos série com comunicação síncrona, quais os métodos mais comuns para assegurar que os relógios de dois ou mais nós ligados ao barramento se mantêm sincronizados?
- Ter uma linha extra onde há um sinal de clock explícito ou misturar o clock com a linha de dados**
83. Nos barramentos série com comunicação síncrona, o que entende por codificação Manchester?
- A codificação Manchester passa por codificar o clock do transmissor na linha de dat**
84. Qual a diferença entre um protocolo de comunicação série *full-duplex* e um protocolo de comunicação série *half-duplex*? **Half-duplex permite a comunicação bidirecional mas apenas um de cada vez(apenas usa uma linha), enquanto que Full-duplex permite a comunicação bidirecional simultânea(possui 2 linhas)**
85. Dos protocolos de comunicação série que estudou nas aulas teóricas dê exemplos de:
- a. protocolos *full-duplex* **SPI, USB 3.0, RS232**
 - b. protocolos *half-duplex* **I2C e CAN, USB2.0**
86. Dos protocolos de comunicação série que estudou nas aulas teóricas existem casos em que a transmissão é orientada ao bit e casos em que a transmissão é orientada ao byte. Explique sucintamente a diferença e dê exemplos de protocolos que usam cada um dos dois. **Bit a Bit: CAN, RS232, USB**
Byte: SPI, I2C

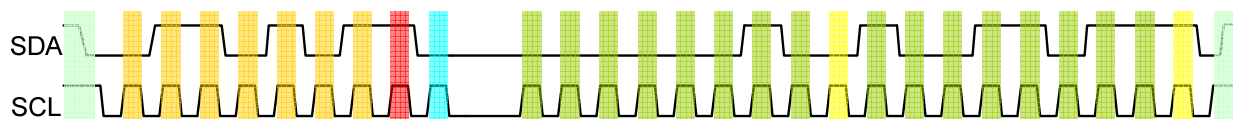
PROTOCOLO SPI

87. Como caracterizaria o barramento SPI no que respeita:
- a. ao tipo de ligação entre dispositivos **Ligacao ponto a ponto**
 - b. ao tipo de sincronização entre dispositivos **Sincrono**
 - c. à natureza da transferência de dados (bi-direcional, unidirecional) **Bidirecional**

88. Suponha um sistema de medida, baseado no protocolo SPI, que recolhe periodicamente informação proveniente de vários sensores, cada um deles com uma resolução igual (i.e. nº de bits de dados). Determine o tempo mínimo de que o master necessita para adquirir os valores de todos os sensores (cada um implementado num *slave* distinto), sabendo que:
 - a. o número de sensores é 20, a frequência de relógio é de 100KHz e a resolução dos sensores é de 16 bits
 - b. o número de sensores é 8, a frequência de relógio é de 20KHz e a resolução dos sensores é de 8 bits
 - c. o número de sensores é 10, a frequência de relógio é de 100KHz e a resolução dos sensores é de 8 bits
 - d. o número de sensores é 30, a frequência de relógio é de 50KHz e a resolução dos sensores é de 8 bits
89. Como caracterizaria um sistema SPI entre as seguintes opções: *multi-master* assíncrono; *multi-master* síncrono; ponto a ponto assíncrono; ponto a ponto síncrono.
90. Diria que o protocolo SPI é adequado para ligação entre dispositivos a longas distâncias? Justifique adequadamente a sua resposta.
91. Numa arquitetura em que um *master* SPI de 8bits se encontra ligado a um conjunto de três *slaves* organizados em *daisy chain* como descreveria a interligação dos principais sinais entre o *master* e os *slaves* e qual a dimensão das palavras trocadas entre o *master* e o conjunto de *slaves*.
92. Descreva sucintamente qual a sequência de operações que são realizadas ao nível do *master* por forma a assegurar que os seus parâmetros são adequados a realizar validamente troca de informação com um *slave* a que se encontre ligado.

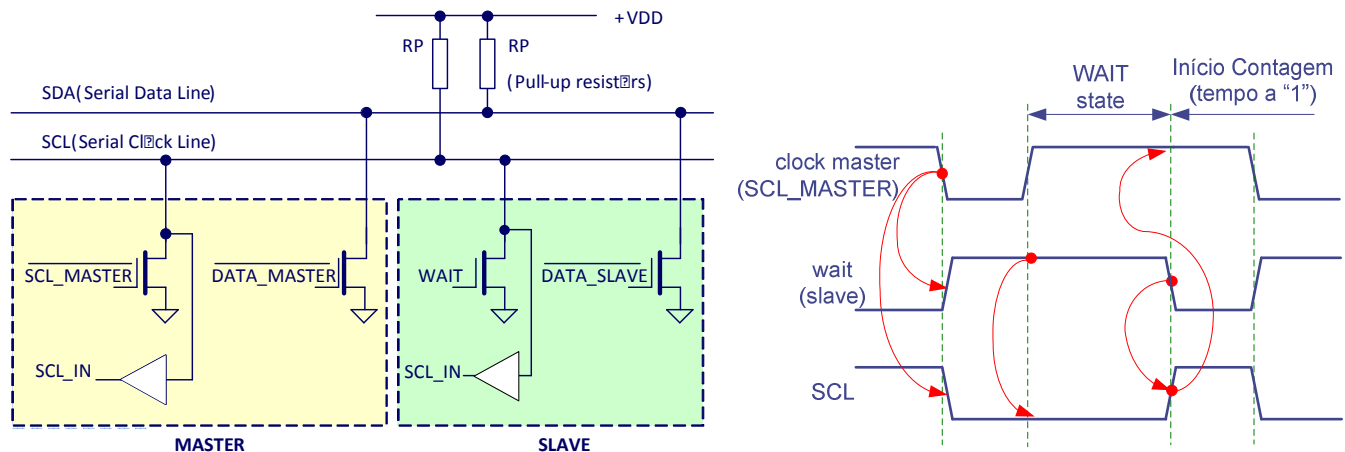
I2C

93. Considere o diagrama temporal representado abaixo. Admita que representa a comunicação I2C entre um *master* (μC) e um *slave* (ADC de 10 bits).
- qual o endereço do elemento *slave* (ADC)?
 - estamos perante uma operação de escrita ou de leitura?
 - quantos ACKs são gerados pelo *slave*?
 - quantos ACKs são gerados pelo *master*?
 - quantos NACKs são gerados? Por quem?
 - qual o valor (expresso em hexadecimal) que foi fornecido pela ADC ao μC , sabendo que este começa sempre pelo MSBit?
 - quantas situações de *clock stretch* são gerados nesta transação? Por quem?
 - supondo que a frequência do relógio é de 1MHz e que o *stretch* corresponde a dois ciclos de relógio, qual a duração total da transação?



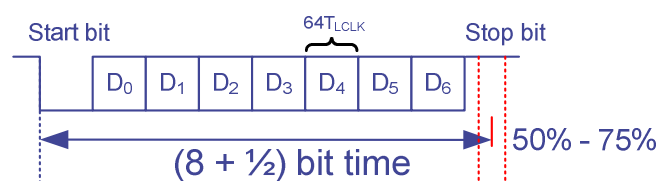
94. Descreva sucintamente, no protocolo I2C, como é realizado o endereçamento/seleção do dispositivo a quem é destinada a mensagem ou de quem se pretende obter informação.
95. Quantas linhas (físicas) compõem um barramento I2C? Qual a sua designação e finalidade?
96. No protocolo I2C em que condições se considera que o barramento de comunicação está livre?
97. Descreva sucintamente, no protocolo I2C, quem é responsável pela geração do sinal de relógio e como é possível assegurar a sincronização do mesmo entre *master* e *slave*
98. Descreva sucintamente, no protocolo I2C, o processo de arbitragem no acesso ao barramento quando dois ou mais masters tentam aceder simultaneamente ao mesmo.

99. No protocolo I2C, os bits que circulam no barramento têm uma característica que os distingue dos bits normalmente gerados à saída de um circuito digital convencional. Como designa, no I2C, cada um dos dois estados lógicos, e qual a sua utilidade para o funcionamento do barramento.
100. O esquema e o diagrama temporal mostrados abaixo exemplificam a interligação entre um *master* e um *slave* e a forma como o *slave* pode alterar o período do sinal de relógio gerado pelo *master*. Descreva os princípios de funcionamento envolvidos neste processo justificando por que razão esta solução funciona. Apresente uma razão pela qual esta método pode ser particularmente interessante numa dada arquitetura.



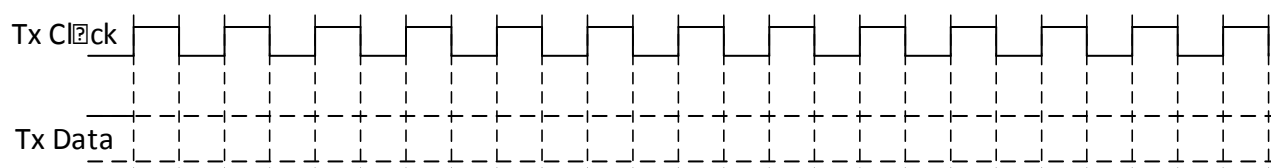
RS232

101. Como classificaria a interface RS-232 relativamente:
- topologia da ligação (ponto a ponto, *multi-drop*, *multi-master*, ...) e número de ligações físicas do barramento
 - direccionalidade das comunicações (*half duplex*, *full-duplex*, ...)
 - natureza da sincronização (síncrona com relógio explícito, síncrona com relógio implícito, assíncrona, ...)
 - formatação da informação (*byte oriented*, *bit oriented*, ...)
102. Na interface RS-232, caso o desvio de frequência entre o emissor e o recetor seja elevado a informação recebida pode conter erros nos dados recebidos. Indique quais os tipos de erro que podem ocorrer, e descreva os mecanismos que permitem detetar tais erros.
103. Na interface RS-232 uma das fontes de erro, do lado do recetor, do instante de amostragem dos vários bits é o "erro de fase". Indique qual a metodologia que é usada para diminuir o impacto dessa fonte de erro e explique sucintamente porque é que esse método contribui para diminuir esse erro.
104. Admita que a configuração numa comunicação RS-232 (figura abaixo) é 38400 bps, 7 bits sem paridade, 1 stop bit e fator de sobre amostragem de 64. Calcule o valor de frequência ideal no recetor e os intervalos admissíveis dessa frequência para os casos limite (+-25% do tempo de bit e +-37.5% do tempo de bit). Para isso calcule sucessivamente o seguinte:

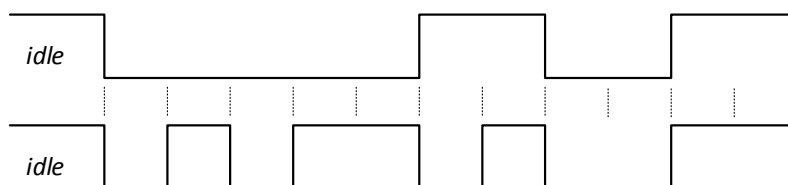


- intervalo de validação em períodos do sinal de relógio (T_{LCLK}) para os dois casos limite.
- número de períodos de relógio para amostrar a trama.
- variação máxima de frequência (em percentagem) para os dois casos limite.
- qual o intervalo de frequência que é possível usar para que não haja erros nos casos limite.

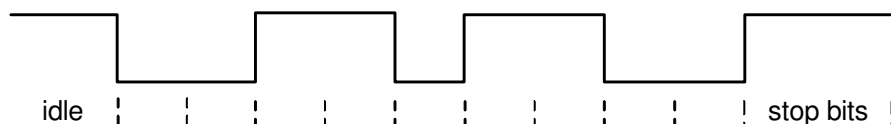
105. Repita o exercício anterior admitindo agora que o *baudrate* é 57600 bps, a trama é composta por 8 bits com paridade par e 2 stop bits, sendo o fator de sobre amostragem de 16.
106. Determine a máxima taxa de transmissão de dados líquida (net bit rate) numa ligação RS-232, expressa em *bps*, admitindo as seguintes configurações:
- baudrate* de 19200 bps, 7 bits de dados, 1 bit de paridade e 1 stop bit.
 - baudrate* de 115200 bps, 8 bits de dados, sem bit de paridade e 2 stop bits.
 - baudrate* de 9600 bps, 8 bits de dados, 1 bit de paridade e 2 stop bits.
 - baudrate* de 1200 bps, 7 bits de dados, sem bit de paridade e 1 stop bit.
107. Considere uma UART configurada para transmitir com os seguintes parâmetros: 100.000 bps, 8 data bits, paridade ímpar e 1 stop bit. Desenhe na figura abaixo a trama completa gerada no envio do valor 0x5A. Indique de forma inequívoca os bits de start, de stop e de paridade.



108. Um dispositivo com interface RS-232, configurado para transmitir com 7 bits de dados, paridade par e 2 stop bits, produz as duas tramas representadas nos diagramas seguintes que são recebidas por outro dispositivo RS-232 incorretamente configurado para 8 bits de dados, sem paridade e 1 stop bit mas com o mesmo *baudrate*. Nestas circunstâncias, determine se no recetor vais ser detetado algum erro e porquê. Caso não seja detetado nenhum erro, determine, em hexadecimal, qual o valor recebido.



109. Um dispositivo com interface RS232, configurado para transmitir 8 bits de dados, paridade ímpar e 1 stop bits, produz a trama acima (2ª) que é recebida por outro dispositivo RS232 incorretamente configurado para 7 bits de dados, sem paridade e 1 stop bit, mas com o mesmo *baudrate*. Nestas circunstâncias, determine se no recetor vais ser detetado algum error e porquê. Caso não seja detetado nenhum erro, determine, em hexadecimal, qual o valor recebido.
110. Um dispositivo com interface RS232, configurado para transmitir com 7 bits de dados, paridade par e 2 stop bits, produz a trama seguinte que é recebida por outro dispositivo RS232 configurado com os mesmos parâmetros. No entanto, devido a imprecisão do relógio, o *baudrate* efetivo do recetor é 7% inferior ao valor do *baudrate* do transmissor. Nestas circunstâncias, determine se no recetor vais ser detetado algum error e porquê. Caso não seja detetado nenhum erro, determine, em hexadecimal, qual o valor recebido.



DEVICE DRIVERS

111. Se tivesse que identificar as principais características/objetivos de um *device driver* como o descreveria na perspetiva:
- do Sistema Operativo ou das aplicações
 - do lado da interface com o dispositivo periférico

112. Quando se interliga um periférico com um sistema de processamento, quem é responsável por fornecer o software do *device driver*? Porquê?
113. Nas aulas teórico práticas foi apresentado um *device driver* para um dispositivo UART (RS-232C). Esse *device driver* usava, para a transmissão e para a receção, dois buffers circulares.
- O que entende por buffer circular?
 - Quais são as principais variáveis necessárias para gerir um buffer circular?
 - Destas variáveis há uma cuja gestão é gerida pela aplicação e pelo *device driver*. Qual é essa variável e que cuidados há a ter com ela quando é atualizada do lado da aplicação?
114. Descreva por palavras suas o que se entende por secção crítica num trecho de código?

CAN

115. Como classificaria o protocolo CAN relativamente:
- à topologia da ligação (ponto a ponto, *multi-drop*, *multi-master*, ...)
 - direccionalidade das comunicações (*half duplex*, *full duplex*, ...)
 - natureza da sincronização (síncrona com relógio explícito, síncrona com relógio implícito, assíncrona, ...)
 - formatação da informação (*byte oriented*, *bit oriented*, ...)
116. No barramento CAN a codificação das tramas de dados utiliza a técnica de "*bit stuffing*". Descreva sucintamente o motivo por que esta técnica é aplicada e em que consiste.
117. No barramento CAN, na composição de uma trama de dados existe um campo de 11 bits designado por "*identifier*". Descreva sucintamente qual a finalidade deste campo.
118. É ou não é verdade que, no barramento CAN, qualquer nó da rede pode desempenhar o papel de master. Se sim, será possível que dois masters enviem mensagens em simultâneo? Porquê?
119. Descreva sucintamente o mecanismo através do qual, no barramento CAN, é realizado o controlo de acesso ao meio (arbitragem) quando mais do que um *master* tentam enviar mensagens em simultâneo.
120. Quando, num barramento CAN, um *master* envia uma trama de dados, quantos dispositivos irão receber essa mensagem? Porquê?
121. O protocolo adotado pelos barramentos CAN apresenta uma muito elevada capacidade de detetar erros do lado dos recetores (probabilidade de não detetar um erro inferior a $4,7 \times 10^{-11}$). Para tal, este protocolo recorre a um total de cinco técnicas complementares para detetar erros. Nomeie e descreva sucintamente cada uma dessas técnicas.

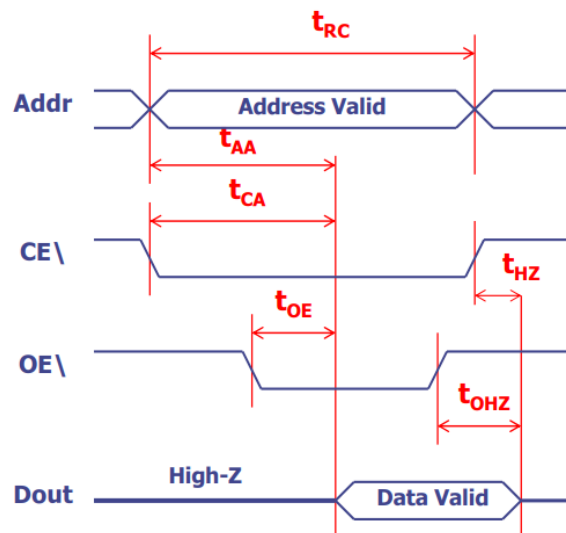
122. Admita que, numa aplicação a usar CAN 2.0A (trama com identificador standard), o mecanismo de aceitação de mensagens do controlador CAN foi configurado com os seguintes valores: máscara=0x7FA, filtro=0x5C0. Determine, nesta situação, quais os identificadores de mensagens que são aceites e passadas ao software que está a usar o controlador.

Mask bit	Filter bit	Message Id bit	Res. bit
0	X	X	Accept
1	0	0	Accept
1	0	1	Reject
1	1	0	Reject
1	1	1	Accept

123. Resolva novamente o problema anterior admitindo que o mecanismo de aceitação de mensagens do controlador CAN foi configurado com os seguintes valores:
- máscara=0x4CC, filtro=0x088.
 - máscara=0x7FF, filtro=0x253.
 - máscara=0x7F0, filtro=0x0A0.

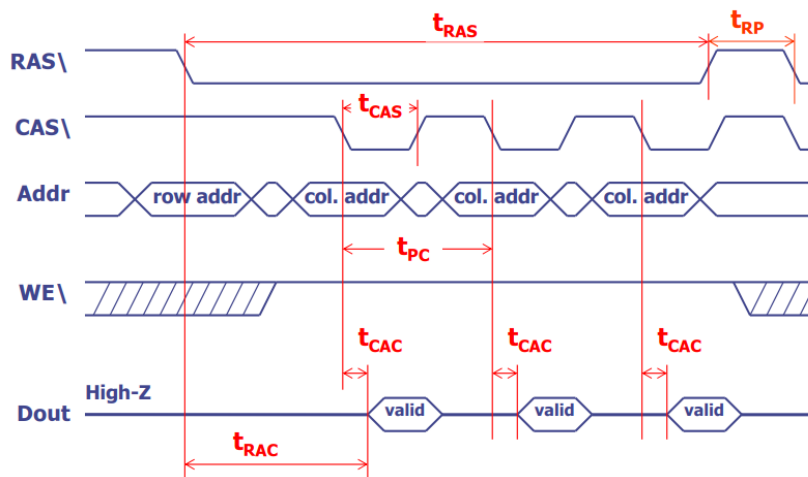
TECNOLOGIA, ORGANIZAÇÃO E FUNCIONAMENTO DE RAMs

124. Numa memória estática SRAM, uma célula de um bit é composta por seis transístores. Descreva sucintamente as vantagens e desvantagens entre a solução SRAM quando comparada com e a versão de uma célula DRAM de um bit.
125. A solução de organização matricial de uma memória RAM apresenta vantagens quando comparada com uma organização linear. Explique qual é essa vantagem e dê um exemplo que demonstre essa vantagem.
126. Quando falamos em t_{RC} (*Read Cycle Time*) de uma memória nas operações de leitura estamos a referir-nos especificamente a que tempo?



127. Descreva sucintamente os conceitos de:
- Access Time
 - taxa de transferência
128. Para construir um módulo de memória SRAM de 128k x 8 bits, são necessários quantos circuitos, admitindo que dispõe de:
- circuitos de 32k x 1 bit
 - circuitos de 32k x 4 bits
 - circuitos de 16k x 8 bits
 - circuitos de 64k x 8 bits
 - circuitos de 128k x 1 bit
129. Admita que dispõe de uma memória estática SRAM de $256k \times 8$ (num único circuito) com uma organização matricial. Determine por quantas matrizes de células é constituída e qual é o número de linhas e colunas que compõe cada matriz.
130. Suponha que dispõe de 16 circuitos de memória de $1M \times 4$. Usando todos estes circuitos, determine qual a capacidade de armazenamento da memória quando:
- a largura da palavra é 4bits
 - a largura da palavra é 8bits
 - a largura da palavra é 32bits
 - a memória tem 2M endereços
 - a memória tem 8M endereços

131. Determine o número de bits do barramento de endereços de uma memória dinâmica DRAM, se este tiver as seguintes características:
- 512M x 8 bits, implementada com uma matriz de células com 16k linhas
 - 256M x 1 bit, implementada com uma matriz de células com 16k linhas
 - 4G x 4 bit, implementada com uma matriz quadrada
 - 1G x 1 bit, implementada com uma matriz de células com 32k linhas
 - 2G x 8 bit, implementada com uma matriz de células com 64k linhas
 - 256M x 1 bit, implementada com uma matriz de células com 8K linhas
132. Considere uma memória DRAM de 2Mx16, implementada com matrizes de armazenamento de 2048 colunas. Determine aproximadamente o tempo necessário para efetuar um refreshamento completo dessa memória se os seus parâmetros relativos a um ciclo de refreshamento, do tipo *RAS Only*, forem os seguintes:
- RAS width=50 ns; Precharge time=25 ns:
 - RAS width=40 ns; Precharge time=15 ns:
 - RAS width=65 ns; Precharge time=30 ns:
133. Repita o exercício anterior admitindo agora:
- uma memória DRAM de 8Mx16, implementada com matrizes de armazenamento de 1024 colunas
 - uma memória DRAM de 512Mx16, implementada com uma matriz de células com 16k linhas
 - uma memória DRAM de 4Mx32, implementada com matrizes de armazenamento de 4096 colunas
 - uma memória DRAM de 8Mx16, implementada com matrizes de armazenamento de 1024 colunas.
134. Descreva os passos necessários para efetuar uma operação de leitura de uma célula numa memória do tipo DRAM.
135. O diagrama apresentado abaixo representa uma operação efetuada numa memória DRAM. Identifique o modo adotado nesta operação, a natureza da operação e descreva sucintamente o seu funcionamento.

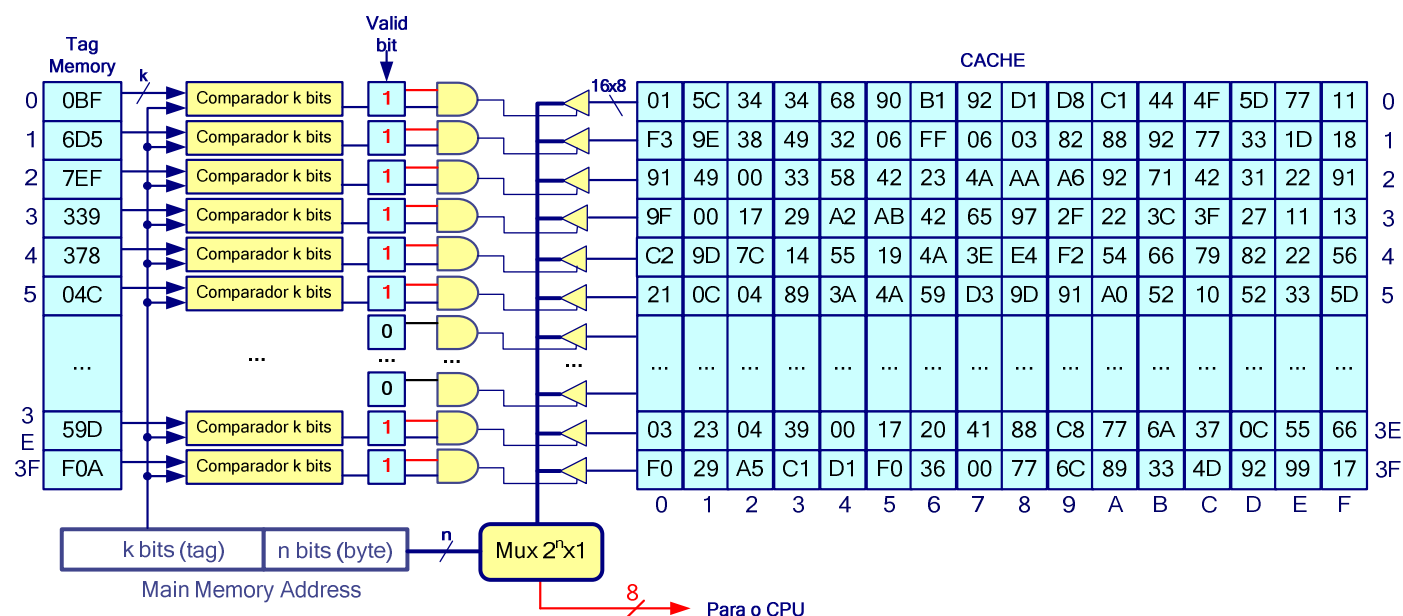


MEMÓRIA CACHE

136. Determine o número de comparadores necessário para a implementação de uma *cache*:
- de mapeamento direto, dimensão de 16 kB, blocos de 64 bytes e 256 linhas
 - de mapeamento direto, dimensão de 32 kB, blocos de 128 bytes e 256 linhas
 - parcialmente associativa, dimensão de 64 kB, com associatividade de 4 e blocos de 64 bytes
 - parcialmente associativa, dimensão de 128 kB, com associatividade de 8 e blocos de 64 bytes
 - totalmente associativa, dimensão de 256 kB e blocos de 256 bytes
137. Para o problema anterior, determine, para cada alínea, a dimensão em bits dos registos da *Tag Memory*, assumindo que o espaço de endereçamento é de 32 bits.

138. Descreva, sucintamente, as vantagens e desvantagens de uma *cache* totalmente associativa quando comparada com uma *cache* de mapeamento direto.
139. Descreva, sucintamente, as várias técnicas de substituição no caso de ocorrência de um *miss* e de não haver blocos livres na *cache*.
140. Descreva, sucintamente, as duas técnicas de política de escrita na *cache*, por forma a assegurar a consistência entre esta memória (*SRAM*) e a memória principal (*DRAM*).
141. Explique, sucintamente, qual a finalidade do *dirty bit* e em que condições este bit é necessário.
142. Considere uma memória *cache* parcialmente associativa. Determine o número de bits do campo "*group/set*" do endereço quando:
- a *cache* é de 512 kByte, o espaço de endereçamento é de 32 bits, o nível de associatividade é 4, e os blocos são compostos por 32 bytes.
 - a *cache* é de 64 kByte, o espaço de endereçamento é de 32 bits, o nível de associatividade é 8, e os blocos são compostos por 64 bytes.
 - a *cache* é de 512 kByte, o espaço de endereçamento é de 32 bits, o nível de associatividade é 4, e os blocos são compostos por 64 bytes.
 - a *cache* é de 1 MByte, o espaço de endereçamento é de 32 bits, o nível de associatividade é 4, e os blocos são compostos por 128 bytes.
143. Explique, sucintamente, qual a finalidade do *valid bit* e quantos destes bits são necessários para uma determinada *cache* com N linhas.
144. Explique, sucintamente, o conceito de princípio da localidade, incluindo em quantas formas este se apresenta e dando exemplos que justificam a sua existência.
145. Determine o tempo médio de acesso (em ns) a uma memória hierárquica sabendo que:
- o *hit_ratio* é 90%, o tempo de acesso ao nível superior é de 6ns e o tempo de acesso ao nível inferior é de 60ns
 - o *hit_ratio* é 95%, o tempo de acesso ao nível superior é de 4ns e o tempo de acesso ao nível inferior é de 35ns
 - o *hit_ratio* é 85%, o tempo de acesso ao nível superior é de 5ns e o tempo de acesso ao nível inferior é de 50ns
146. Determine o tempo médio de acesso (em ciclos de relógio) a uma memória hierárquica sabendo que:
- o *hit_ratio* é 90%, o tempo de acesso à *cache* é de 2 ciclos de relógio e o tempo de acesso à memória principal é de 100 ciclos de relógio
 - o *hit_ratio* é 95%, o tempo de acesso à *cache* é de 2 ciclos de relógio e o tempo de acesso à memória principal é 80 ciclos de relógio
 - o *hit_ratio* é 85%, o tempo de acesso à *cache* é de 4 ciclos de relógio e o tempo de acesso à memória principal é 120 ciclos de relógio
147. Considere uma *cache* parcialmente associativa, com associatividade de 4, dimensão de 8 kBytes e com blocos de 32 bytes. Determine a linha em que será colocado o bloco que contém o endereço de memória:
- 0x12B8**
 - 0x355f**
 - 0x2760**
148. Considere uma *cache* parcialmente associativa, com associatividade de 8, dimensão de 16 kBytes e com blocos de 32 bytes. Determine a linha em que será colocado o bloco que contém o endereço de memória:
- 0x56B9**
 - 0x7041**
 - 0x23F2**
149. Numa *cache* com mapeamento direto, ao dividir-se o endereço real pela dimensão do bloco obtém-se o quê?

150. Indique como pode ser obtido aritmeticamente o endereço do “grupo” (linha da cache), numa *cache* com mapeamento direto.
151. Considere um espaço de endereçamento de 30 bits, em que se encontra implementada uma *cache* parcialmente associativa. Determine o número de bits respetivamente da *Tag address*, do *Group address* e do *Byte address*, admitindo que:
- a *cache* é de 64Kbytes, a associatividade é 4 e o bloco é composto por 16 bytes
 - a *cache* é de 128Kbytes, a associatividade é 8 e o bloco é composto por 64 bytes
 - a *cache* é de 256Kbytes, a associatividade é 4 e o bloco é composto por 32 bytes
 - a *cache* é de 1Mbyte, a associatividade é 16 e o bloco é composto por 32 bytes
152. Considere a estrutura de uma memória *cache* totalmente associativa de acordo com o esquema da figura abaixo. Admita ainda que o espaço de endereçamento é de 16 bits e que entre o grupo **6** e o grupo **3D** todos os *Valid bits* têm o valor zero.
- determine os valores de **k** e **n**, e ainda a dimensão da *cache* em bytes
 - determine o valor entregue ao CPU (ou a eventual existência de uma *cache miss*) para os seguintes endereços de leitura: 0x3785, 0xF0A3, 0x1932, 0x6D51, 0x0FB7, 0x59E5, 0x04CF



MEMÓRIA VIRTUAL

153. Determine o número de bits de um espaço de endereçamento virtual quando:
- as páginas têm 8 kBytes, e a *page table* de cada processo tem 256k entradas
 - as páginas têm 4 kBytes, e a *page table* de cada processo tem 1M entradas
 - as páginas têm 4 kBytes, e a *page table* de cada processo tem 256k entradas
 - as páginas têm 16 kBytes, e a *page table* de cada processo tem 128k entradas
154. Num sistema com memória virtual, descreva sucintamente qual a finalidade do TLB (Translation-Lookaside Buffer), que tipo de tecnologia usa e qual a dimensão relativa quando comparado com a *page table*.
155. Num sistema que suporte memória virtual e *cache* classifique as seguintes situações como podendo ou não podendo ocorrer:
- TLB miss, *page table* miss, *cache* hit
 - TLB miss, *page table* hit, *cache* miss
 - TLB hit, *page table* miss, *cache* miss
 - TLB hit, *page table* miss, *cache* hit
 - TLB hit, *page table* hit, *cache* hit

156. Na técnica normalmente designada por "memória virtual" a que é igual o número de entradas da *page table*?
157. Descreva sucintamente no que consiste a tradução de endereços virtuais em endereços físicos.
158. Considere um sistema de memória virtual. Determine a dimensão (em endereços) das páginas de memória sabendo que:
- o espaço de endereçamento virtual é 32 bits e o número de entradas da *page table* é 512 k
 - o espaço de endereçamento virtual é 48 bits e o número de entradas da *page table* é 2 M
 - o espaço de endereçamento virtual é 30 bits e o número de entradas da *page table* é 128 k
159. Na técnica normalmente designada por "memória virtual" o número de entradas da *page table* é sempre igual a quê?
160. Qual o significado do *valid bit* de uma entrada da *page table*, quando este se encontra ativo?
161. Para aumentar a performance de uma TLB (*Translation-lookaside buffer*) esta adota uma organização particular. Descreva-a sucintamente.
162. Descreva sucintamente algumas das vantagens da organização de memória designada por memória virtual, em particular em sistemas operativos que suportam múltiplos processos em modo concorrente.
163. Caracterize as principais vantagens de um sistema de memória virtual, nomeadamente no que se refere a:
- eficiência na utilização da memória
 - segurança
 - transparência
 - partilha de memória entre processos
164. Descreva sucintamente o procedimento adotado quando ocorre um *Page Fault*, evidenciando os vários passos que são adotados para resolver o problema.
165. Descreva sucintamente qual a política de substituição de páginas de memória quando ocorre um *Page Fault* e todas as páginas da memória física estão ocupadas.
166. A política de escrita adotada num esquema de memória virtual é designada por *Write-back*. Descreva sucintamente em que consiste esta política e qual o papel que o "*Dirty bit*" desempenha na mesma.
167. Considere um sistema de memória virtual com um espaço de endereçamento virtual de 26 bits, páginas de 512 bytes, em que cada entrada da "*Page Table*" está alinhada em endereços múltiplos de 2, tem 16 bits de dimensão, e está organizada do seguinte modo:
- Valid bit, Dirty bit, Read flag, Write flag, PPN**
- em quantas páginas está organizado o espaço de endereçamento virtual? Quantas entradas tem a "*Page Table*"?
 - qual a dimensão do espaço de endereçamento físico?
 - em quantas páginas está organizado o espaço de endereçamento físico?
168. Ainda relativamente ao problema anterior, suponha que o "*Page Table register*" de um processo em execução tem o valor **0x1A0** e que no endereço **0x252** (e **0x253**) está armazenado o valor **0xA26C**
- quais os atributos da página física referenciada por essa entrada da tabela? Onde reside a página física?
 - qual é o VPN representado nessa entrada da "*Page Table*"?
 - qual o endereço inicial e final da página física?
 - qual a gama de endereços virtuais que indexa esta entrada da "*Page Table*"?

169. Complete a seguinte tabela, preenchendo as quadrículas em falta e substituindo o ? pelo valor adequado. Utilize as seguintes unidades: K = 2^{10} (Kilo), M = 2^{20} (Mega), G = 2^{30} (Giga), T = 2^{40} (Tera), P = 2^{50} (Peta) ou E = 2^{60} (Exa).

Virtual address size (n)	# Virtual addresses (N)	Maior endereço virtual (hexadecimal)
8	$2^8 = 256$	0xFF
	$2^7 = 64$ K	
		0xFFFFFFFF
	$2^7 = 256$ T	
64		

170. Determine o número de entradas da *Page Table* (PTE) para as seguintes combinações de número de bits do espaço de endereçamento virtual (n) e dimensão da página (P):

n	P	# PTEs
16	4 KB	
	8 KB	
16		
32	4 KB	
32	8 KB	
48	4 KB	

171. Suponha um espaço de endereçamento virtual de 32 bits e um espaço de endereçamento físico de 24 bits:

a. determine o número de bits dos campos: VPN (*virtual page number*), VPO (*virtual page offset*), PPN (*physical page number*), PPO (*physical page offset*) para as dimensões de página P:

P	VPN	VPO	PPN	PPO	# virtual pages	# physical pages
1 KB						
2 KB						
4 KB						
8 KB						

b. para cada dimensão de página, determine o número de páginas virtuais e físicas

172. Considere que num sistema computacional, com memória virtual, cada entrada de *page table* tem 32 bits, está alinhada em endereços múltiplos de 4 e contém a seguinte informação e *flags*:

31	27	26	NN	KK	0
Valid, Dirty, Read, Write, Execute			Bits não usados		PPN

Considere ainda que o espaço de endereçamento virtual é de **4 GBytes**, as páginas de memória são de **4 kBytes** e o espaço de endereçamento físico é de **1 GByte**. Considere também que o *Page Table Register* tem o valor **0x03C14300** e que a tabela seguinte representa um conjunto de valores armazenados num segmento contíguo de endereços da memória principal (DRAM):

Endereço	Valor
...	
0x03C14328	0xA8002743
0x03C14324	0xF0011500
0x03C14320	0x81030308
0x03C1431C	0x28007A39
0x03C14318	0xF0008F0C
0x03C14314	0x70006004
0x03C14310	0xB0003207
0x03C1430C	0xA0000105
0x03C14308	0xA000007E
...	

a. Considerando a informação fornecida, determine o valor de **NN** e **KK**:

173. Numa sequência de acessos à memória, o CPU produz os endereços **0x000031F8**, **0x000031FC**, **0x000062C0**, **0x00009FFC** e **0x000091E4**.

- determine qual a página de memória física acedida por cada um destes endereços
- determine os endereços físicos em que são traduzidos cada um destes mesmos endereços virtuais

174. Admita que ao ler uma instrução, o CPU gera o endereço **0x000079C0**. Indique, descrevendo sucintamente, o que acontece neste caso.

175. Repita o exercício anterior supondo agora que, ao ler uma instrução, o CPU gera o endereço **0x00004238**. Indique, descrevendo sucintamente, o que acontece neste caso.

176. Num acesso do CPU ao endereço virtual **0x0000620C**, identifique se, e quais são, as instruções *assembly* do MIPS que poderiam estar em execução.

177. Para o endereço do problema anterior, indique, justificando, o que vai acontecer se vier a ser necessário substituir a página em causa, na memória física, por uma outra obtida do disco.

178. Repita os exercícios 172 a 177, admitindo agora que a dimensão das páginas é de **64KBytes**.

Versão de 26/01/2024