1. Num sistema computacional com um espaço de endereçamento de memória de N bits, o conjunto de endereços possíveis será:
2. [ 2N−1, ..., 0]
3. [ 2N , ..., 0]
4. [ 2N − 1, ..., 0]
5. [ 2N−1, ..., 0]
6. Dizer-se que, num sistema computacional, a memória apresenta uma organização do tipo byte-addressable significa que:
7. cada posição de memória é identificada com um endereço de 1 byte
8. o barramento de dados tem a dimensão de 1 byte
9. os barramentos de endereços e de dados tem obrigatoriamente a mesma dimensão
10. uma word de 32 bits é armazenada em 4 posições de memória consecutivas de 1 byte
11. No PIC32, os registos TRIS, LAT e PORT do PIC32 permitem, respetivamente:
12. o output e input de informação e o controlo da direcionalidade de um porto digital
13. o input e output de informação e o controlo da direcionalidade de um porto digital
14. o controlo da direcionalidade, o input e output de informação de um porto digital
15. o controlo da direcionalidade, o output e input de informação de um porto digital
16. Quando, num periférico, é usada a técnica entrada/saída de dados por software(programada):
    1. o periférico faz um pedido de interrupção ao CPU após a conclusão da transferência de dados
    2. o CPU verifica através de um ciclo de polling se o periférico está pronto para transferir os dados
    3. o periférico faz um pedido de interrupção ao CPU quando estiver pronto para transferir os dados
    4. o CPU interrompe a execução do programa para configurar o controlador de DMA que faz a propriamente dita
17. A função de um bootloader num sistema baseado em microcontrolador é:
    1. transferir o código executável para a memória do microcontrolador a partir de um sistema de desenvolvimento, permitindo a sua posterior execução
    2. realizar a compilação do software de alto nível(i.e. C) e iniciar a sua execução após o reset
    3. executar o software, e auxiliar no seu debug através da introdução de breakpoints, visualizar registos e de posições de memória
    4. interagir com o cross-compiler para efeitos de debug da aplicação
18. Para construir um módulo de memória SRAM de 512k x 8 bits, são necessários:
    1. 4 circuitos de 64k x 8 bits
    2. 8 circuitos de 64k x 4 bits
    3. 8 circuitos de 64k x 8 bits
    4. 16 circuitos de 64k x 8 bits
19. O diagrama temporal da figura do lado representa um ciclo de:
20. leitura de um dispositivo mapeado no espaço de endereçamento de memória
21. escrita num dispositivo mapeado no espaço de endereçamento de memória
22. escrita num dispositivo mapeado no espaço de endereçamento I/O
23. leitura de um dispositivo mapeado no espaço de endereçamento I/O
24. Numa memória estática SRAM:
    1. as células necessitam de refrescamento regular
    2. cada célula de 1 bit é implementada com um mínimo de 6 transistores
    3. o tempo de acesso aumenta com o valor do endereço
    4. existe um único barramento para dados e endereços por forma a diminuir o número de pinos do dispositivo
25. Numa transferência por DMA, em modo bloco, quando o controlador de DMA pretende dar início a uma transferência:
26. ativa o sinal busreq , iniciando a transferência logo que reconheça a ativação do sinal bus Grant
27. ativa o sinal busreq durante um número fixo de CPU que vai iniciar uma transferência de dados
28. gera uma interrupção sinalizando desse modo o CPU que vai iniciar uma transferência de dados
29. sinaliza o CPU através da linha busreq, que vai dar início a transferência e inicia-a de imediato. O sinal busgrant é utilizado pelo CPU para suspender a atividade do DMA
30. Alguns timers que estudou tem, como último andar do temporizador um divisor por dois. A finalidade desse divisor por dois é:
31. dividir por dois o período do sinal de saída do timer
32. assegurar um sinal de saída com um duty cycle de 50%
33. aumentar a resolução do timer
34. aumentar a precisão do timer
35. Numa RSI, o conjunto de instruções designado por “prólogo” destina-se, no essencial, a:
36. alterar a tabela de vetores de modo a impedir que novos pedidos de interrupção sejam atendidos
37. identificar a fonte de interrupção (nos casos em que tal é feito por hardware) e obter o endereço inicial da RSI
38. regressar ao programa interrompido reativando as interrupções
39. copiar para a stack o contexto do programa que foi interrompido pela interrupção, i.e., registos internos do CPU.
40. Um barramento paralelo de tipo síncrono:
    1. inclui um sinal de relógio e o protocolo de comunicação é síncrono ou semi-síncrono
    2. não inclui um sinal de relógio e o protocolo de comunicação é “handshaken”
    3. permite a ligação de uma grande variedade de dispositivos operando com relógios de diferentes frequências
    4. assegura“ fairness ”no acesso ao barramento ( quando há mais do que um master)
41. Diz-se que um barramento de comunicação série usa comunicação associativa quando:
42. o relógio não é explicitamente transmitido e por isso, o relógio do receptor é recuperado o ponto das transições de nível lógico na linha de dados
43. não é enviado o relógio na transmissão, nem há recuperação do relógio na receção
44. o módulo de recessão pode gerar um sinal para atrasar o envio de dados do emissor
45. o sinal de relógio é codificado nos dados xxxinerxx?? (f clocking)?
46. O barramento SPI é caracterizado por:
    1. ter uma arquitetura master-slave com ligação ponto a ponto e comunicação full duplex
    2. ter uma arquitetura master-slave com ligação multi-ponto e comunicação full duplex
    3. ter uma arquitetura multi-master com ligação multi-ponto e comunicação half duplex
    4. ter uma arquitetura multi-master com ligação ponto a ponto e comunicação half duplex
47. Na interface de comunicação I2C o primeiro byte de uma comunicação contém a seguinte informação:
48. o endereço do master, o endereço do slave com o qual este quer comunicar e a operação a realizar
49. os parâmetros de comunicação a utilizar (taxa de transferência e número total de bits a transferir)
50. o endereço do master e a operação a realizar
51. o endereço do slave e a operação a realizar
52. Na interface RS-232C o desvio de frequência entre os sinais de relógio do transmissor e recetor pode originar um erro, no instante de amostragem dos vários bits. Esse erro cresce de forma:
53. inversamente proporcional ao fator de sobre-amostragem
54. diretamente proporcional ao número de stop-bits
55. diretamente proporcional à dimensão da trama
56. inversamente proporcional a taxa de transmissão
57. No protocolo USB, para transferir grandes quantidades de dados assegurando

um valor de latência máximo e largura de banda requerida são usadas:

1. transferências de controlo
2. transferências isócronas
3. transferências “bulk”
4. transferências de interrupção
5. As principais características/objetivos de um device driver são:
   1. permitir o uso de buffers circulares entre o CPU e o dispositivo periférico
   2. permitir um acesso mais rápido a um dispositivo periférico através de implementação de rotinas de serviço a interrupção
   3. criar um nível de abstração, uniformização de acesso e independência entre aplicações/SO e o hardware do dispositivo periférico
   4. descrever ao programador o modelo de programação de um dispositivo periférico
6. Num barramento CAN:
7. cada tipo de mensagem tem um id único
8. cada dispositivo ligado ao barramento tem um id único
9. um master pode enviar duas tramas simultâneas para dois slaves, desde que os ids das tramas seja único
10. uma mensagem produzida por um master pode ser recebida apenas por um e um só slave
11. O número de comparadores necessários para a implementação de uma cache de 16kB, que usa uma arquitetura de mapeamento direto, blocos de 64 bytes e 256 linhas:
    1. 256
    2. 16
    3. 1
    4. 64
12. Num sistema com memória virtual, o valid bit de uma entrada de uma page table, quando não ativo significa que:
    1. a respetiva página foi acedida recentemente
    2. a respetiva página está residente em memória física
    3. a informação da respetiva página foi alterada
    4. a respetiva página não está residente em memória física
13. Numa memória virtual, o TLB(translation-Lookaside Buffer):
    1. armazena a totalidade das entradas da page table que tenham o valid bit a ‘1’
    2. destina-se a acelerar a tradução de endereços virtuais em endereços físicos
    3. é normalmente baseado numa arquitetura do tipo mapeamento direto
    4. serve para obter de forma mais rápida o conteúdo de uma VPN na Page Table
14. Considere um timer tipo 2 como o da figura abaixo( semelhante aos dos PIC32) com a sua saída ligada a uma unidade OC. Admita que a frequência do relógio TCLK é de 20MHz e que a frequência no pino O1 é de 200Hz. Assuma ainda que o fator de divisão prescaler é o menor que for possível para estas condições. Para obter na saída O1 um sinal periódico com uma frequência de 200MHz e um duty cycle de 25%Uma imagem com texto, Esquema, diagrama, esquemático

    Descrição gerada automaticamente
    1. os valores armazenados respectivamente em PR e OCK devem ser 49999 e 12500
    2. os valores armazenados respectivamente em PR e OCK devem ser 12499 e 3125
    3. os valores armazenados respectivamente em PR e OCK devem ser 24999 e 6250
    4. os valores armazenados respectivamente em PR e OCK devem ser 12499 e 9375
15. Suponha que pretende implementar um circuito gerador de sinais de seleção programável ( semelhante ao que estudou nas aulas teóricas e ilustrado na figura abaixo) que permita gerar 64 linhas de seleção, cada uma delas ativa em 32k endereços consecutivos, num espaço de endereçamento de 32 bits. Ao Bloco 1 da figura devem ser ligado N bits, correspondendo a gama:

Uma imagem com texto, desenho, diagrama, esboço

Descrição gerada automaticamente

* 1. A14 a A0
  2. A20 a A0
  3. A31 a A21
  4. A31 a A15

1. Considere um controlador DMA de 32 bits não dedicado , a funcionar em modo cycle-stealing, em que um bus cycle é realizado em 3 ciclos de relógio e o tempo mínimo entre operações elementares é de 2 ciclos de relógio. Se a frequência de funcionamento do DMA for 250MHz, o tempo mínimo necessário para transferir 500 palavras de 32 bits é, aproximadamente:
   1. 16μs
   2. 20μs
   3. 500ns
   4. 25μs
2. Considere um sistema baseado num CPU a funcionar a uma frequência de 200 MHz com uma taxa de execução média de 50 MIPS ( 50x106 instruções por segundo, CPI = 4) que processa, por interrupção , eventos externos periódicos. Se o overhead total do atendimento a à interrupção for de 160 ciclos de relógio, e a rotina de serviço a interrupção tiver 60 instruções, a máxima frequência a que esses eventos podem ocorrer é aproximadamente:
   1. 50MHz
   2. 2MHz
   3. 909 kHz
   4. 500kHz
3. Considere um espaço de endereçamento de 32 bits e uma memória cache, parcialmente capacidade de 64 kByte, associatividade de 8 e blocos de 64 bytes. O número de bits do endereço é:
4. 10
5. 7
6. 6
7. 5
8. Suponha um sistema de memória organizada em 2 níveis que responde a um acesso a uma posição de memória que se encontra na cache em 1 ciclo de relógio e a um acesso a uma posição de memória que se encontra na memória principal em 51 ciclos de relógio. Para que o tempo médio de acesso ao sistema de memória seja 11 ciclos de relógio o hit ratio da cache deverá ser, aproximadamente:
   1. 85%
   2. 90%
   3. 75%
   4. 80%
9. Um sistema computacional com uma memória byte-addressable, possui um espaço de endereçamento virtual de 4G, um espaço de endereçamento físico de 1G e páginas de memória de 4 kBytes. Admita ainda que o Page Table Register tem o valor 0x3FF28000, que cada entrada da Page Table está alinhada em endereços múltiplos de 4 e que o seu conteúdo tem 32 bits. Quando é gerado o endereço virtual 0x00006058, o endereço da Page Table acedido para obter a tradução para o endereço físico será:
   1. 0x3FF28058
   2. 0x3FF28006
   3. 0x3FF28018
   4. 0x3FF28000
10. Admita agora que, no sistema descrito na questão 29, o conteúdo de cada entrada da Page Table tem o formato descrito na figura abaixo. Quando o CPU acede ao endereço virtual 0x000C80FC para ler uma instrução, o conteúdo da page table para esse endereço é 0xA7FE2030. Nesse caso , o gestor de memória:



* 1. traduz o endereço virtual para o endereço físico de acordo com a informação da page table
  2. não traduz o endereço virtual para o endereço físico e gera uma exceção porque a página respetiva não tem permissão de escrita
  3. não traduz o endereço virtual para o endereço físico e gera uma exceção porque a página respetiva não tem permissão de execução
  4. não traduz o endereço virtual para o endereço físico e gera uma exceção porque a página respetiva não tem o dirty bit ativo

1. Um dispositivo com interface RS232C, configurado para transmitir 7 bits de dados, paridade par e 2 stop bits, produz a trama da figura que é recebida por outro dispositivo RS232C incorretamente configurado para 8 bits de dados, paridade ímpar e 1 stop bit, mas com o mesmo baudrate. Para a trama apresentada, o receptor:

Uma imagem com texto, captura de ecrã, Retângulo, Tipo de letra

Descrição gerada automaticamente

* 1. não vai detectar qualquer erro, mas o valor recebido não é igual ao valor transmitido.
  2. vai detectar um erro de framing.
  3. não vai detectar qualquer erro e recebe corretamente o valor transmitido.
  4. vai detectar um erro de paridade.

1. Considere um controlador de DMA não dedicado de 32 bits (i.e. com barramento de dados de 32 bits), a funcionar a 120 MHz. Suponha ainda que são necessários 2 ciclos de relógio (= 1 Tec) para efetuar uma operação de leitura ou escrita. A taxa de transferência de pico desses DMA (expressa em Bytes/s), em modo cycle-stealing e com um tempo mínimo entre operações elementares de 2 Tbc é:
   1. 120 MByte/s
   2. 1.25 MByte/s
   3. 40 MByte/s
   4. 60 MByte/s
2. Considere um espaço de endereçamento de 32 bits e uma memória cache de 128 kByte, com uma organização parcialmente associativa com 8 vias, e blocos de 32 bytes. O número de linhas da cache é:
   1. 8
   2. 1024
   3. 32
   4. 512
3. Um sistema computacional com um sistema de memória byte-addressable, possui um espaço de endereçamento virtual de 16M e um espaço de endereçamento físico de 2M. Sabendo que a page table tem 8k entradas, podemos concluir que o sistema de memória virtual está organizado em páginas de:
   1. 1 kByte
   2. 2 kBytes
   3. 4 kBytes
   4. 512 Bytes
4. Um microcontrolador é um sistema computacional programável que:
   1. disponibiliza, através dos seus portos de I/O, a generalidade dos sinais dos barramentos do microprocessador para ligação direta a sensores e atuadores de um sistema embutido.
   2. inclui, num único dispositivo integrado, CPU, memória e um conjunto variável de periféricos e portos de I/O.
   3. devido à restrição de espaço, não suporta um número reduzido de instruções e de registos.
   4. ao contrário do microprocessador, não utiliza mecanismos de multiplexagem para partilha de portos de I/O e diversas funcionalidades internas.
5. Quando nos referimos a um “Módulo de I/O” estamos a referir-nos:
   1. a um periférico que permite operações de escrita e leitura.
   2. ao software (device-driver) que assegura que o acesso ao periférico é transparente para as aplicações.
   3. ao tipo de conector que permite a interface entre um periférico e o canal de comunicação do mesmo com o mundo exterior.
   4. a parte de um dispositivo periférico que funciona como adaptador entre as características intrínsecas do periférico e as características da CPU e do sistema de memória.
6. O modelo de programação de um periférico especifica:
   1. o sub-conjunto de instruções assembly do CPU suportadas por esse periférico.
   2. quais os sinais elétricos usados na ligação do periférico a dispositivos externos, tais como sensores e atuadores.
   3. as arquiteturas e as ferramentas de desenvolvimento com as quais o periférico pode ser usado.
   4. a funcionalidade do periférico e o seu conjunto de registos de dados, de controlo e de status.
7. Considere um espaço de endereçamento de 20 bits e o circuito gerador de sinais de seleção programável da figura (igual ao que estudou nas aulas teóricas). Na situação apresentada e considerando que a linha de seleção CS1 está ativa na gama 0xD8400 a 0xD87FF, podemos concluir que este circuito gera:

Uma imagem com texto, diagrama, file, escrita à mão

Descrição gerada automaticamente

* 1. 16 linhas de seleção
  2. 64 linhas de seleção
  3. 32 linhas de seleção
  4. 8 linhas de seleção

1. Considere uma memória DRAM de 1Mx8, implementada com matrizes quadradas, que utiliza um ciclo de refrescamento do tipo RAS only. Sabendo que o parâmetro cycle time do ciclo RAS only é 40 ns, o tempo necessário para fazer um refrescamento completo à memória é, aproximadamente:
   1. 41 µs
   2. 328 µs
   3. 320 ns
   4. 40 ns
2. Considere um timer em que a relação entre as frequências de entrada e de saída é uma constante "k" configurável. Considere ainda que se usaram dois desses timers e se ligaram em cascata (i.e., em série). Supondo que a frequência à entrada do primeiro timer é 1 MHz, para obter à saída do segundo timer uma frequência de 200 Hz, as constantes de configuração dos dois timers, "k1" e "k2", poderão ter os seguintes valores:
   1. K1 = 200, K2 = 250
   2. K1 = 1000, K2 = 200
   3. K1 = 200, K2 = 25
   4. K1 = 3500, K2 = 1500
3. Considere um sistema de supervisão, baseado no protocolo I²C, que recolhe periodicamente informação proveniente de 30 sensores de temperatura, cada um deles com uma resolução de 8 bits (i.e. 8 bits de dados + 8 bits de endereçamento). O tempo mínimo que o master, a funcionar com uma frequência de relógio de 50 kHz, necessita para adquirir os valores de todos os sensores (cada um implementado num slave distinto) é:
   1. 20 µs
   2. 12 ms
   3. 0.6 ms
   4. 6.6 ms
4. Num barramento série que use a técnica de sincronização de relógio designada por “relógio codificado”:
   1. O relógio é gerado pelo recetor e enviado de forma codificada para o transmissor
   2. O relógio é gerado pelo transmissor que o envia, para o recetor, codificado nos dados
   3. O transmissor e o recetor têm os seus próprios relógios que se sincronizam mutuamente
   4. O transmissor e o recetor têm relógios independentes; o relógio do recetor é sincronizado ocasionalmente com o do transmissor por meio da receção de símbolos codificados nos dados
5. No método de sincronização dos relógios utilizado na interface RS-232C, o “erro de fase”:
   1. Introduz um desvio constante entre o instante ideal e o instante real de amostragem no recetor.
   2. Introduz um desvio cumulativo e proporcional ao comprimento da trama, entre o instante ideal e o instante real de amostragem no recetor
   3. Não tem qualquer implicação no instante real de amostragem no recetor
   4. É proporcional à frequência do relógio do transmissor
6. Na interface de comunicação I2C, quando existe mais do que um master a tentar aceder simultaneamente ao barramento, a arbitragem é feita:
   1. Por bit dominante/bit recessivo e processa-se bit a bit
   2. Atribuindo o barramento ao master com o endereço mais alto.
   3. Dando prioridade ao master que foi servido pela última vez há mais tempo
   4. Através do bit que determina a operação a efetuar
7. Suponha que no barramento CAN, após uma situação de meio livre, três masters acedem simultaneamente ao barramento. O master 1 produz uma mensagem com o identificador 0x34, o master 2 produz uma mensagem com o identificador 0x15 e o master 3 produz uma mensagem com o identificador 0x5A. Nessa situação:
   1. O acesso ao barramento é ganho pelo master 1
   2. O acesso ao barramento é ganho pelo master 3
   3. O acesso ao barramento é ganho pelo master 2
   4. Não há necessidade de arbitrar o acesso ao barramento, porque as mensagens produzidas pelos 3 masters têm identificadores diferentes
8. No barramento CAN a codificação das tramas de dados utiliza a técnica de bit stuffing. Essa técnica consiste em:
   1. Por cada 5 bits iguais é inserido um de polaridade oposta
   2. Por cada 5 bits com o valor ‘1’, é inserido um bit com o valor ‘0’
   3. Por cada bit enviado é inserido um de polaridade oposta
   4. Por cada 5 bits com o valor ‘0’, é inserido um bit com o valor ‘1’
9. Para construir um módulo de memória SRAM de 256k x 16 bits, são necessários:
   1. 8 circuitos de 32k x 8 bits
   2. 16 circuitos de 16k x 8 bits
   3. 32 circuitos de 16k x 4 bits
   4. 32 circuitos de 32k x 4 bits
10. Na implementação da parte de dados de um porto de entrada:
    1. Devem ser usados buffers tri-state para que a informação presente no barramento de dados só fique disponível para o periférico quando o porto for ativado
    2. Devem ser usados buffers tri-state para que a informação só seja colocada no barramento de dados quando o porto for selecionado
    3. Devem ser usados flip-flops para armazenar o valor presente no barramento de endereços, se este coincidir com o endereço do porto
    4. Devem ser usados flip-flops para armazenar o valor transferido através do barramento de dados durante um ciclo de escrita
11. Suponha que os bits 7 e 6 do porto B do PIC32 estão configurados como saída e que se pretende colocar esses dois bits com o valor “10”, respetivamente, sem alterar o valor dos restantes. Para isso, em linguagem C, pode fazer-se:”
    1. LATB = LATB & 0xFFBF
    2. LATB = (LATB & 0XFF3F) | 1 << 7
    3. LATB = LATB | 0x0080
    4. LATB = LATB & 0x0080
12. O método de transferência de informação entre um CPU e um módulo de E/S, em que o programa executado no CPU inicia, monitoriza e controla a transferência de informação, designa-se por:
    1. Entrada/saída por polling com vectorização
    2. Entrada/saída por interrupção iniciada pelo CPU
    3. Entrada/saída programada (método de polling)
    4. Entrada/saída por interrupção iniciada pelo periférico
13. Na organização do sistema de interrupções designada por “interrupções vetorizadas”, o processador identifica o periférico gerado da interrupção:
    1. Por hardware através da leitura do valor presente no barramento de endereços uma vez que quando o periférico ativa a linha de interrupção coloca simultaneamente nesse barramento o seu vetor
    2. Por hardware num ciclo de interrupt acknowledge durante o qual o periférico gerador da interrupção coloca o vetor no barramento de dados
    3. Por software, antes de chamar a rotina de serviço à interrupção lendo o registo de estado de cada um dos periféricos do sistema
    4. Por software na rotina de serviço à interrupção lendo o registo de estado de cada um dos periféricos do sistema
14. Numa transferência por DMA, o mecanismo de interrupção é utilizado pelo respetivo controlador para:
    1. Sinalizar o CPU que a transferência de informação foi completada
    2. Efetuar ao CPU o pedido de cedência dos barramentos; a transferência tem início quando o DMA receber a confirmação, através do sinal busgrant, de que os barramentos foram libertados
    3. Informar o CPU que a transferência vai ter início, permitindo desse modo que o CPU suspenda a atividade de acesso ao exterior
    4. Informar o CPU da existência de uma anomalia ocorrida durante o processo de transferência
15. Memória dinâmica (tecnologia DRAM) de 4GX64, implementada com matrizes quadradas, o número de bits do barramento de endereços é:
    1. 16
    2. 6
    3. 64
    4. 32
16. Considere uma memória DRAM em que o address(high) é composto por 5 bits, o address (low) é composto por 7 bits e a memória é composta por 8 planos de células de 1 bit. Neste caso estamos perante uma memória de:
    1. 4 kbit com matrizes de 128 linhas por 128 colunas
    2. 32 kbit com matrizes de 256 linhas por 128 colunas
    3. 4 kByte com matrizes de 128 linhas por 32 colunas
    4. 4 kByte com matrizes de 32 linhas por 128 colunas
17. Num determinado sistema com um espaço de endereçamento de 16 bits foi implementado um descodificador de endereços usando a seguinte expressão lógica (lógica negativa): CE\ = A15 + A14 + A12\. Com este descodificar pode ser selecionada uma memória:
    1. De 4k posições, na gama 0x3000 a 0x3FFF
    2. De 4k posições, na gama 0xC000 a 0xCFFF
    3. De 2k posições, na gama 0xE000 a 0xE7FF
    4. De 8k posições, na gama 0xC000 a 0xDFFF
18. O número de comparadores necessário para a implementação de uma cache parcialmente associativa de 64 kB de 4 vias e blocos de 64 bytes é:
    1. 1
    2. 8
    3. 16
    4. 4
19. O dirty bit é usado numa cache quando esta usa uma política de escrita:
    1. Write-back, para indicar que o respetivo bloco não está a ser usado
    2. Write-back, para indicar que a informação armazenada no respetivo bloco foi alterada
    3. Write-through, para indicar que a informação armazenada no respetivo bloco foi alterada na memória principal
    4. Write-through para indicar que o respetivo bloco não está a ser usado
20. Na técnica designada por “memória virtual”, o endereço da memória física é obtido através:
    1. Da tradução do physical page number no virtual page number e sua concatenação com o page offset do endereço produzido pelo CPU
    2. Da tradução do virtual page offset no physical page offset e sua concatenação com o virtual page number do endereço produzido pelo CPU
    3. Da tradução do physical page offset no virtual page offset e sua concatenação com o virtual page number do endereço produzido pelo CPU
    4. Da tradução do virtual page number no physical page number e sua concatenação com o page offset do endereço produzido pelo CPU
21. O modelo de programação de um periférico especifica:
22. A funcionalidade do periférico e o conjunto de registos de dados de controlo e de status
23. O sub-conjunto de instruções assembly do CPU suportadas por esse periférico
24. Os sinais elétricos usados na ligação do periférico a dispositivos externos, tais como sensores e atuadores
25. As arquiteturas e as ferramentas de desenvolvimento com as quais o periférico pode ser usado
26. Na arquitetura de um sistema computacional, o Data Bus permite:
    1. Identificar, na memória externa/periférico, a origem/destino dos dados
    2. Especificar o tipo de operação efetuada sobre a memória
    3. Transferir dados entre a memória externa/periféricos e os registos do CPU
    4. Transferir o código máquina das instruções para o program counter
27. Quando é usada a técnica de entrada/saída de dados por interrupção?
    1. O periférico faz um pedido de interrupção ao CPU após a conclusão da transferência de dados.
    2. O periférico faz um pedido de interrupção ao CPU quando estiver pronto para transferir os dados.
    3. O CPU interrompe a execução do programa para configurar o controlador de DMA que fará a transferência propriamente dita.
    4. O DMA verifica através de um ciclo de polling se o periférico está pronto para transferir os dados e quando tal se verifica gera um pedido de interrupção ao CPU.
28. Uma imagem com texto, Tipo de letra, diagrama, recibo

    Descrição gerada automaticamenteO diagrama temporal da figura ao lado representa um ciclo de:
    1. Leitura de um dispositivo mapeado no espaço de endereçamento de memória.
    2. Escrita num dispositivo mapeado no espaço de endereçamento de I/O.
    3. Escrita num dispositivo mapeado no espaço de endereçamento de memória.
    4. Leitura de um dispositivo mapeado no espaço de endereçamento de I/O.
29. O overhead da transferência de informação por interrupção é devido, no….,a:
    1. Retorno ao programa interrompido
    2. Salto para a rotina de serviço à interrupção
    3. Salvaguarda e reposição do contexto do progama interrompido, i.e., registos internos do CPU
    4. Configuração do controlador de interrupções
30. A figura do lado corresponde ao diagrama temporal de:
    1. Uma operação de escrita numa transferência síncrona com dados e endereços multiplexados numa configuração micro-ciclo
    2. Uma operação de escrita numa transferência síncrona com dados e endereços não multiplexados numa configuração merged
    3. Uma operação de leitura numa transferência assíncrona com dados e endereços multiplexados numa configuração micro-ciclo
    4. Uma operação de escrita numa transferência assíncrona com dados e endereços não multiplexados numa configuração merged
31. Na interface RS-232 uma das fontes de erro do instante de amostragem dos vários bits no recetor é o “erro de fase”. Esse erro diminui:
    1. Com o aumento do número de stop bits
    2. Com a diminuição do tamanho da trama
    3. Com a diminuição do fator de sobreamostragem
    4. Com o aumento do fator de sobreamostragem
32. No barramento SPI:
    1. Só é possível transmitir dados entre dois dispositivos em modo half duplex
    2. O slave e o master utilizam relógios independentes para sincronizar as transferências de informação
    3. As transferências de informação são sincronizadas pelo relógio do master
    4. O master usa o relógio do slave para sincronizar as transferências de informação
33. Na interface I2C o endereçamento/seleção dos dispositivos é realizado através de:
    1. Um sinal específico ativado pelo dispositivo que comanda a transferência
    2. Informação transmitida na linha de relógio pelo dispositivo que comanda a transferência
    3. Um barramento de endereços de 7 bits a partir do qual cada dispositivo descodifica o seu próprio endereço
    4. Informação transmitida na linha de dados pelo dispositivo que comanda a transferência
34. A interface I2C é caracterizada fisicamente por apresentar:
    1. Uma linha de relógio e duas linhas de dados (uma para transmitir e outra para receber)
    2. Uma linha de relógio, uma linha de seleção e uma linha de dados
    3. Uma linha de relógio e uma linha de dados
    4. Uma linha de relógio, uma linha de seleção e duas linhas de dados (uma para transmitir e outra para receber)
35. No protocolo USB para transferir grandes quantidades de dados com garantia de entrega são usadas:
    1. Transferência de controlo
    2. Transferências “bulk”
    3. Transferências isócronas
    4. Transferências de interrupção
36. A topologia das ligações físicas, no protocolo USB, é:
    1. Um anel com um máximo de 7 dispositivos
    2. Uma estrela com um máximo de 7 dispositivos
    3. Uma arvore com um máximo de 127 níveis
    4. Uma arvore com um máximo de 7 níveis
37. No barramento CAN, cada trama de dados contém:
    1. A identificação do no produtor da informação
    2. A identificação do no destino da informação
    3. A identificação do conteúdo da informação
    4. A identificação dos dois nos: o produtor e o destino da informação
38. Na técnica normalmente designada por “memoria virtual” o número de entradas da page table é:
    1. Igual ao número de entradas da memoria TLB
    2. Igual ao número máximo de páginas físicas
    3. Igual ao número de páginas de memoria usadas pelo processo em execução
    4. Igual ao número máximo de páginas virtuais
39. O valid bit de uma entrada da page table, quando ativo, indica que:
    1. A respetiva página foi acedida recentemente
    2. A respetiva página esta residente em memoria física
    3. A informação da respetiva página foi alterada
    4. A respetiva página esta residente em disco
40. A tradução de endereços virtuais em endereços físico consiste:
    1. Na tradução do physical page number no virtual page number e sua concatenação com o page offset do endereço produzido pelo CPU
    2. Na tradução do virtual page offset no physical page offset e sua concatenação com o virtual page number do endereço produzido pelo CPU
    3. Na tradução do virtual page number no physical page number e sua concatenação com o page offset do endereço produzido pelo CPU
    4. Na tradução do physical page offset no virtual page offset e sua concatenação com o virtual page number do endereço produzido pelo CPU
41. Num sistema que suporte memoria virtual e cache qual das seguintes situações pode ocorrer num acesso á memoria:
    1. TLB miss, page table miss, cache hit
    2. TLB miss, page table hit, cache miss
    3. TLB hit, page table miss, cache miss
    4. TLB hit, page table miss, cache hit