

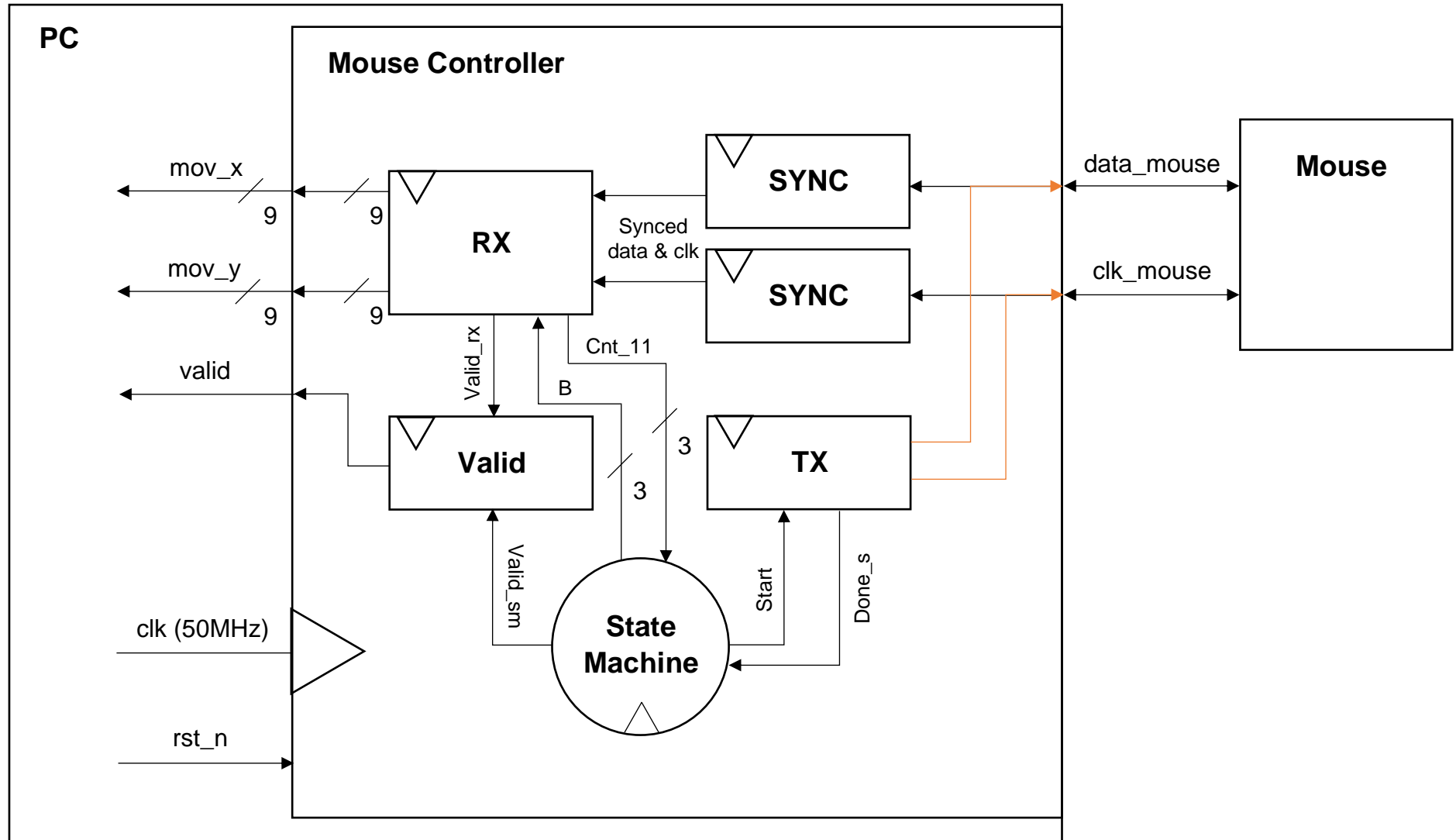


**אפקה** המכללה האקדמית להנדסה בתל-אביב  
AFEKA TEL-AVIV ACADEMIC COLLEGE OF ENGINEERING

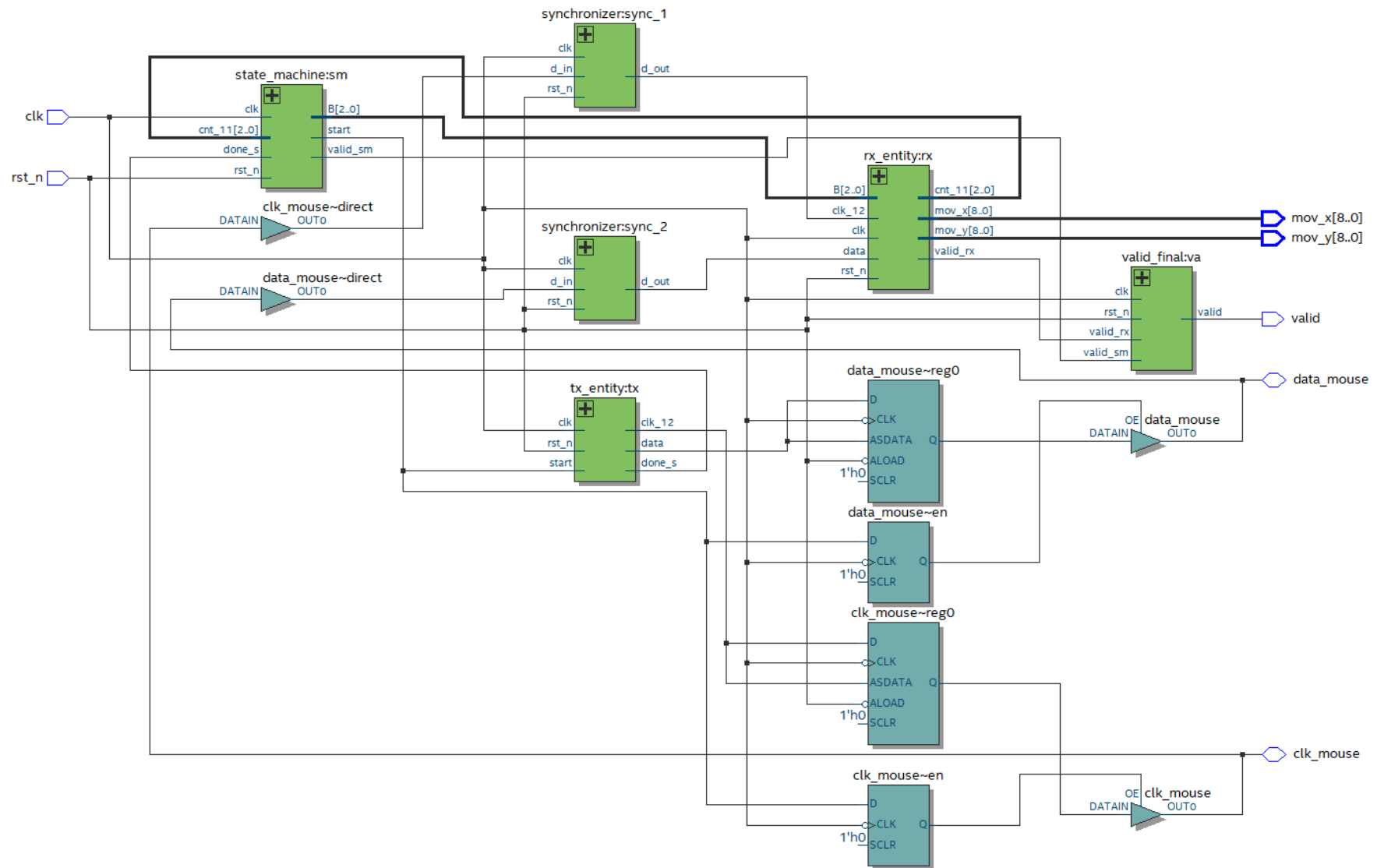
**בית הספר להנדסת חשמל**  
שפת תיאור חומרה - VHDL

## **VHDL PS/2 Mouse Controller**

## Block Diagram



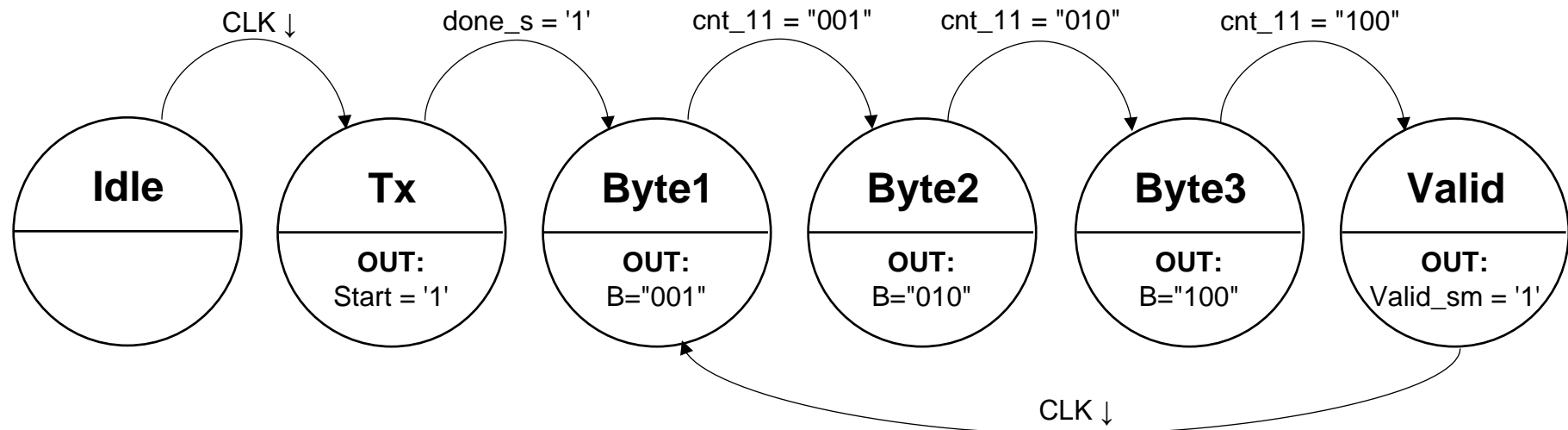
# RTL



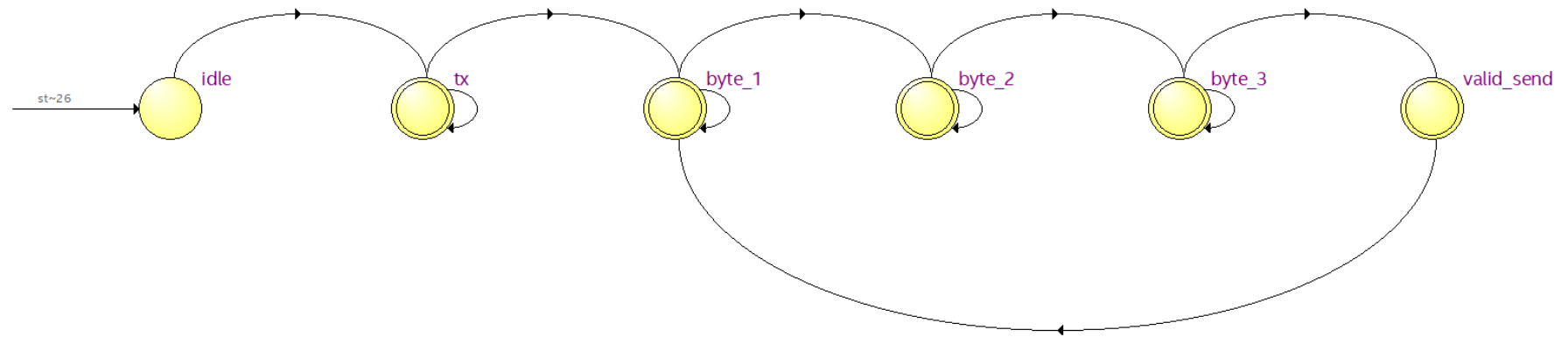
## State Machine

### Diagram

- `rst_n = '0'` – asynchronous reset, return to Idle (from any state)



## RTL – State Machine



## Control Lines

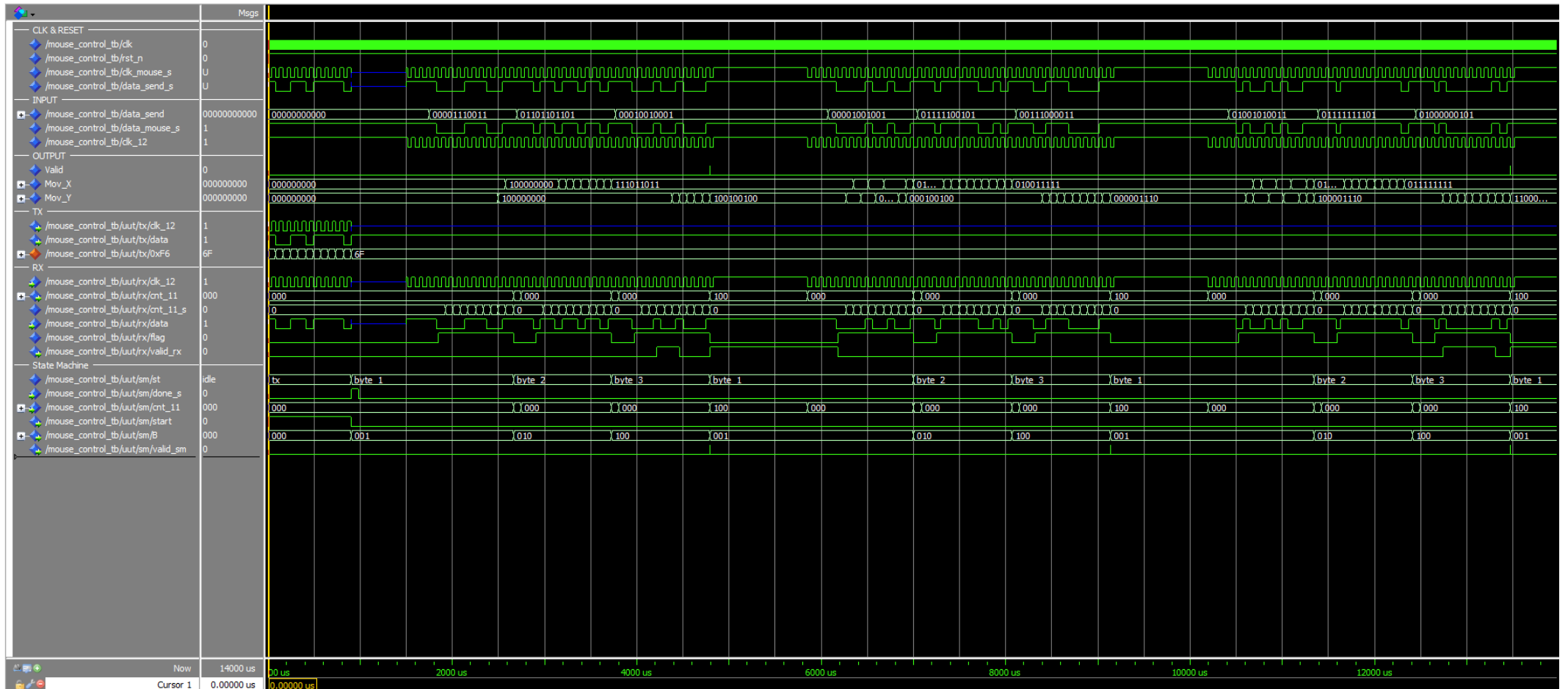
### State Machine - OUTPUT

State	Start	B	Valid_sm
Idle	0	000	0
Tx	1	000	0
Byte1	0	001	0
Byte2	0	010	0
Byte3	0	100	0
Valid	0	000	1

### State Machine - INPUT

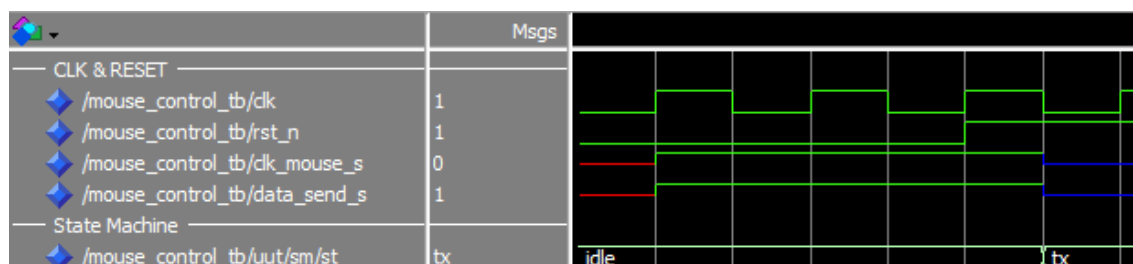
Current State	Next State	done_s	cnt_11
Idle	Tx	X	XXX
Tx	Tx	0	XXX
Tx	Byte1	1	XXX
Byte1	Byte1	X	XXX
Byte1	Byte2	X	001
Byte2	Byte2	X	XXX
Byte2	Byte3	X	010
Byte3	Byte3	X	XXX
Byte3	Valid	X	100
Valid	Byte1	X	XXX

# Testbench

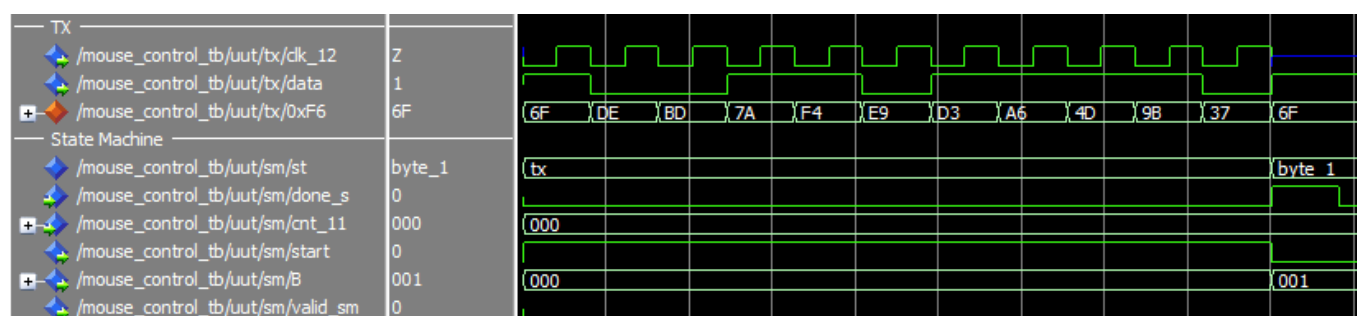


## פירוט:

1. איפוס - reset ומצב Idle שמתקיים למשך מחזור שעון אחד.  
מעבר למצב tx.



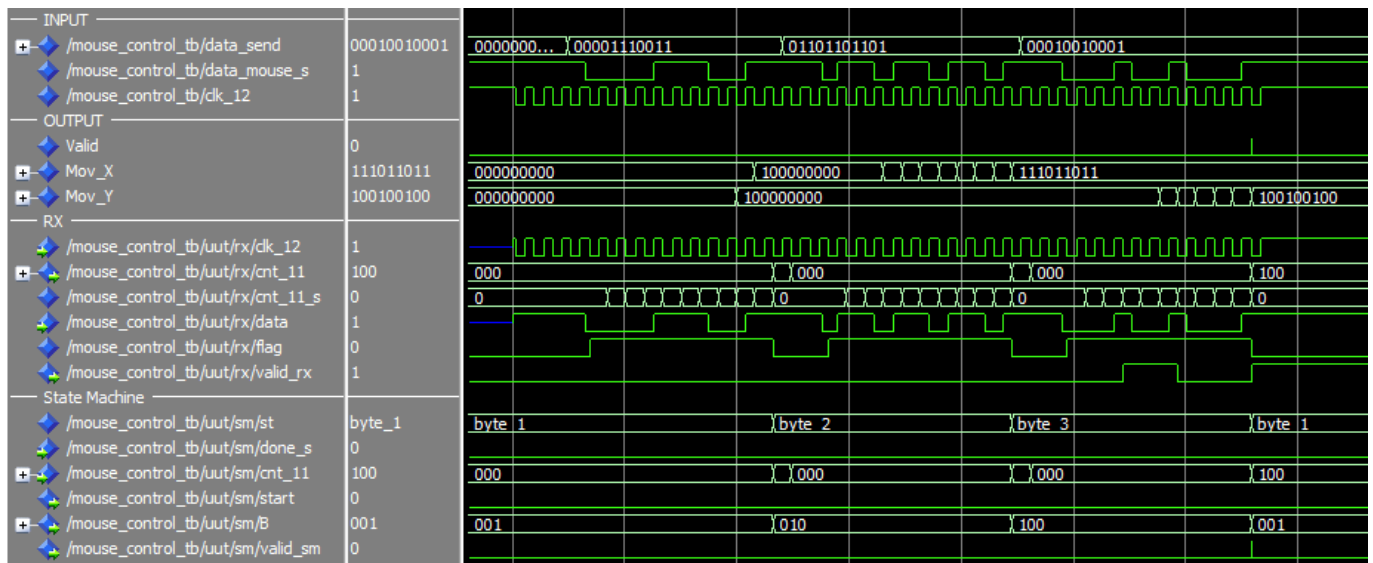
2. קבלת 0xF6 מהבקר ל-testbench



- המידע מועבר בעזרת cyclic shift register שמכיל את ההודעה 0xF6 בהתאם לפרוטוקול PS2.
- לאחר סיום העברת ההודעה ניתן לראות את קווי הבקרה מתעדכנים ואת מכונת המצבים מתקדמת למצב Rx – Byte\_1
- דחיפת Z - קו ה-INOUT ישמש כקו כניסה.



### 3. קבלת מידע תקין מה-testbench



- ניתן לראות את השעון והמידע ב-'1' עד לתחילת שליחת המידע.
- דגימת המידע נעשית בהתאם לירידות השעון ולספירת ה-counter.
- ה-valid לא יכול להיות '1' כל עוד מכונת המצבים לא במצב valid, ולכן אפשר להעביר את המידע ישירות לשירות ל-mov\_x, mov\_y.
- ניתן לראות את ההמתנה עד לירידת קו המידע ל-'0' – זיהוי ה-start bit. לאחר מכן flag עולה ל-'1' וקליטת המידע הרלוונטי מתחילה.
- כיוון שהמידע תקין סיבית valid\_rx נשארת '1' בסוף התהליך, ובעת סיום קליטת 3 ה-packets מכונת המצבים עוברת למצב valid, שם מתבצע שער AND בין valid\_rx ל-valid\_sm (עד לירידת השעון המרכזי) בביט ה-valid. המידע יקלט במחשב.

במקרה הבא הוכנס '1' לאחת מספרות ה-overflow. כתוצאה מכך '0' valid\_rx בסוף קליטת המידע, ולכן ה-valid במוצא ישאר '0' – המידע לא יקלט במחשב.

במקרה השלישי התבצעה בדיקה נוספת של ערכים תקינים עם זמני המתנה שונים בין ה-packets הנשלחים מה-testbench. המידע התקבל בהצלחה וה-valid עלה ל-'1' לאחר מעבר למצב valid.