

Laboratorio N° 2

Tomás Vidal
Circuitos Electrónicos 1
Facultad de Ingeniería, UNLP, La Plata, Argentina.
15 de Mayo, 2024.

I. INTRODUCCIÓN

II. COMPORTAMIENTO DE LOS OPERACIONALES

II-A. Topologías

Se emplearon las siguientes configuraciones de los amplificadores operacionales.

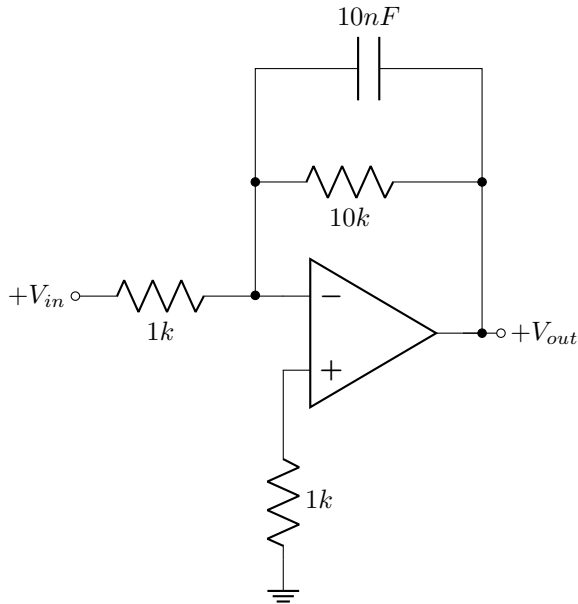


Fig. 1. Amplificador operacional en configuración de integrador

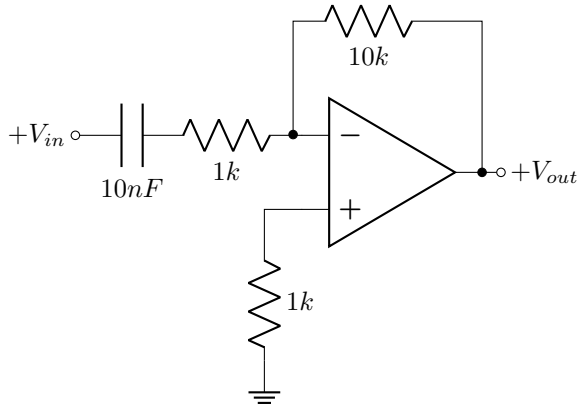


Fig. 2. Amplificador operacional en configuración de derivador

Las mismas tienen las siguientes transferencias:

■ Integrador:

$$\frac{V_{salida}}{V_{entrada}} = \frac{10}{\frac{s}{10k} + 1} \quad (1)$$

■ Derivador:

$$\frac{V_{salida}}{V_{entrada}} = \frac{-100\mu s}{\frac{s}{100k} + 1} \quad (2)$$

En la ec. 1 se puede observar que hay un polo en $s = 0$, y en la ec. 2 hay un polo en $s = 10k$. Estos polos nos dan una noción de las limitaciones de los circuitos, más aún sabiendo que en la realidad no se puede sintetizar el polo en el origen, solo uno lo suficientemente “cerca” del origen tal que se comporte como un integrador para las frecuencias deseadas. Por lo tanto solo hay un rango de frecuencias para las cuales estos circuitos se comportarán como se esperan. Para el integrador siempre que la frecuencia de operación teórica sea mayor a $10kHz$ el circuito se comportará como un integrador, de otra manera el polo dominante hace que se comporte como un inversor. Para el caso del derivador

II-B. Resultados de las topologías

Lo observado experimentalmente concuerda con lo que se explicó previamente. Si se inyectaba una señal menor a $10kHz$ el integrador se actuaba como un inversor, pero para frecuencias lo suficientemente elevadas integraba la señal de entrada correctamente

En las siguientes fotos las señales de color amarillo son las señales de entrada y las de color azul las salida



Fig. 3. Integrador en mala zona de operación (1kHz)



Fig. 4. Integrador en buena zona de operación (20kHz)

En la foto 3 se ve que la salida se distorsiona (la integral del cajón es un triángulo), pero en la foto 4 hay triángulos perfectos, lo que verifica lo explicado previamente.

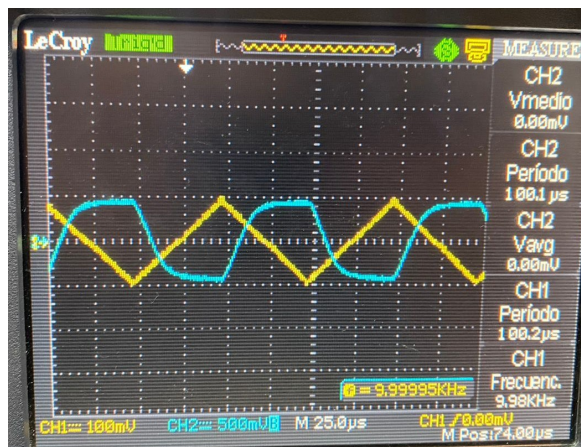


Fig. 5. Derivador en mala zona de operación (10kHz)

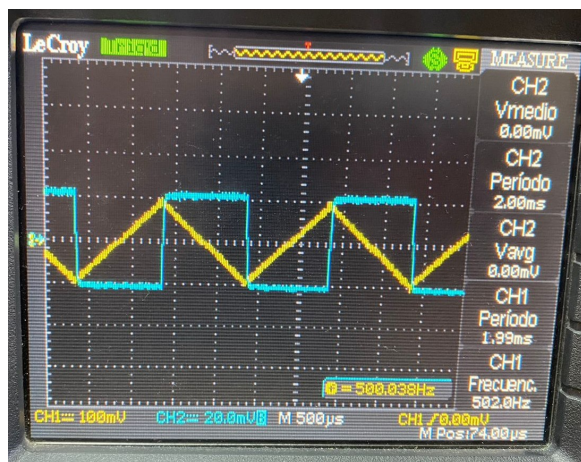


Fig. 6. Integrador en buena zona de operación (500Hz)

Para el derivador se ve en la foto 5 como la señal de salida se distorsiona (cuando se deriva un triángulo se obtiene un cajón), ya que está operando en $10kHz$, en cambio, para

un frecuencia de $500Hz$ funciona correctamente como se observa en la foto 6.

III. CIRCUITO SUMADOR/COMPARADOR

En el segundo circuito provisto (7) se puede concluir (a través de un análisis por etapas de amplificación) que es un sumador de dos señales, de las cuales una es invertida previamente (V_1), además al final el resultado es amplificado (con ganancia dependiente de la frecuencia). En esencia este circuito es un **comparador** con ganancia en función de la frecuencia.

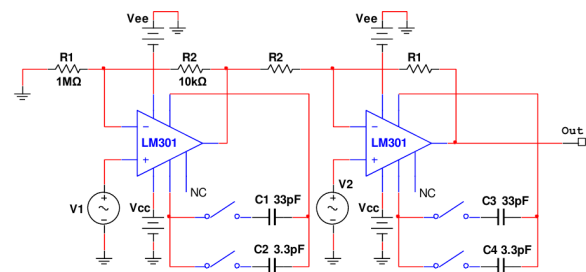


Fig. 7. Diagrama esquemático de la segunda topología

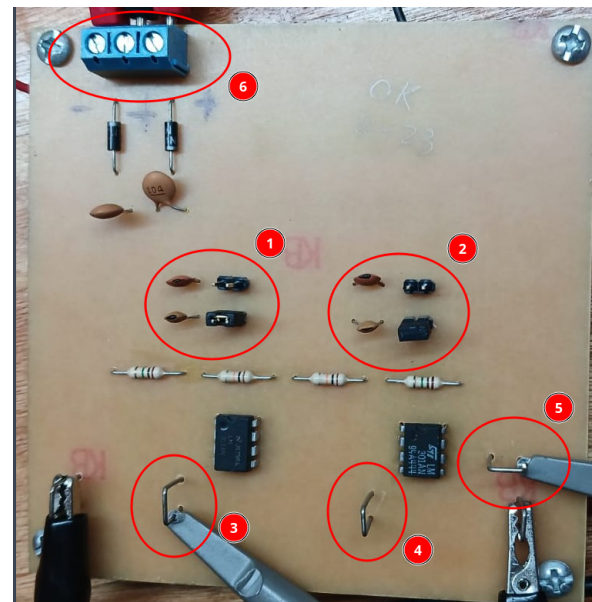


Fig. 8. Placa de circuitos provista de la segunda topología

En la placa de la figura 8 las indicaciones 1 y 2 refieren a los capacitores de compensación, que se pueden ajustar como lo indica el diagrama esquemático 7, las indicaciones 3 y 4 son las señales de entrada, y la salida es la 5. La alimentación es la 6

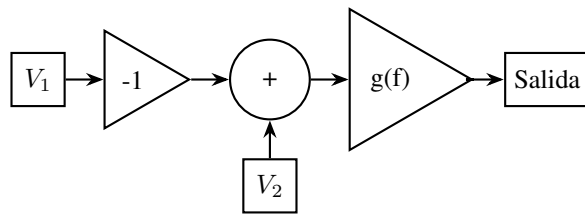


Fig. 9. Diagrama en bloques del comparador

III-A. Sin señales de entrada

Cuando se mide la salida del circuito sin señales de entrada (es decir las entradas quedan “flotando”), tanto con capacitores de ajuste o sin los mismos, se observa ruido en la salida, lo que es de esperar ya que el ruido que proviene de las entradas es amplificado por las diferentes etapas.

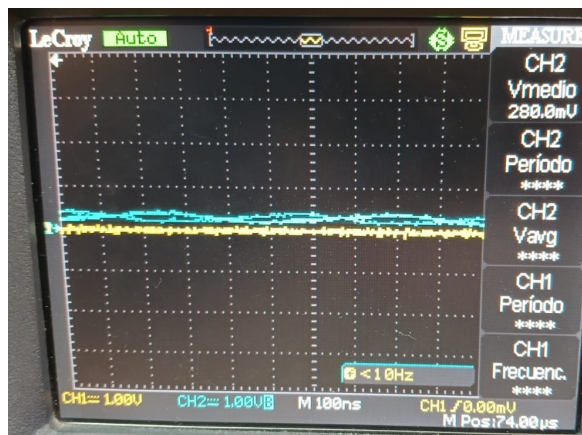


Fig. 10. Segunda placa sin señales de entradas

III-B. Con señal V1

Se inyectó una señal sinusoidal en V_1 de amplitud 20mV y frecuencia 100Hz, en $V_2 = 0$. En la salida se obtuvo una sinusoidal de 100hz desfasada en 180 grados y de amplitud 2V, que es acorde a lo esperado ya $Salida = g(f) * (V_2 - V_1) = 100 * (-V_1)$

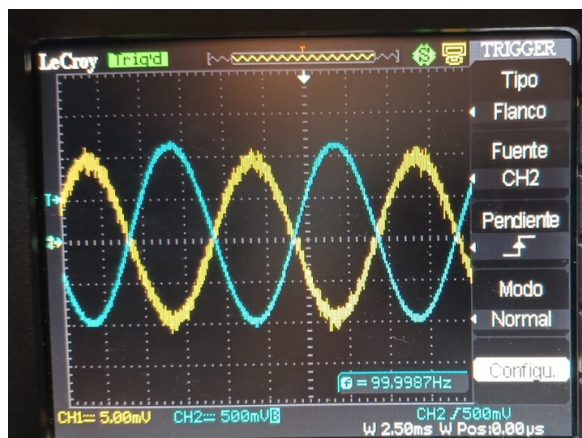


Fig. 11. Segunda placa sin señales de entradas

III-C. Con señal V2

Se inyectó una señal sinusoidal en V_2 de amplitud 20mV y frecuencia 100Hz, en $V_1 = 0$. En la salida se obtuvo una sinusoidal de 100hz y de amplitud 2V, que es acorde a lo esperado puesto que $Salida = g(f) * (V_2 - V_1) = 100 * (V_2)$ (es decir que no hay desfase entre la entrada y la salida).

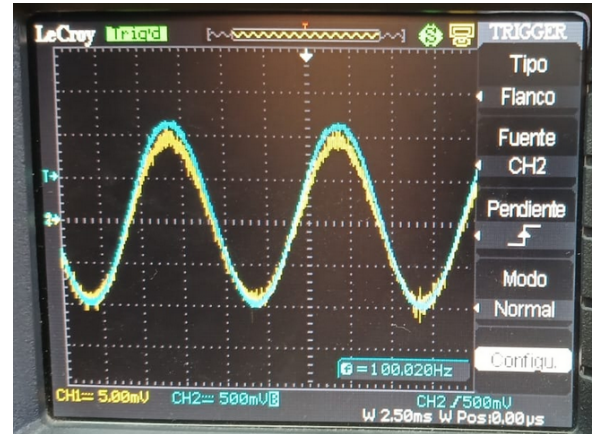


Fig. 12. Segunda placa sin señales de entradas

III-D. Frecuencias de corte

Se hizo un barrido en frecuencia para ambas posiciones de los *jumbers* (capacitores de 3.3pF y 33pF). Para el polo dominante para los capacitores de 3.3pF fue de 27kHz, y para los de 33pF fue de 8.5kHz aproximadamente.

Capacitores (pF)	Polo dominante (KHz)
3.3	27
33	8.5

TABLA I. Resultados de los barridos en frecuencia

III-E. Ganancia en modo común

Se conectaron en paralelo las entradas V_1 y V_2 , y a las mismas se les inyectó una señal sinusoidal de 100Hz y amplitud 20mV. A la salida se obtuvo algo comparable a la entrada, por lo que no se pudo determinar efectivamente una ganancia neta.



Fig. 13. Señales en modo común