

Taller de Sistemas Digitales (E1225) - Arquitectura de Computadores I (E0225)

Curso: 2025

TRABAJO PRÁCTICO N°2 Memorias, Jerarquías, Memoria Caché

1- Clasifique las memorias según **a)** tecnologías, **b)** tipo de acceso y **c)** volatilidad. Para cada uno de los casos explique características relevantes, ventajas y desventajas, y de ejemplos de qué tipo de memorias corresponde a cada punto mencionado.

2- Diseñar una memoria de 64Mx8 bits usando chips de SRAM de 16Mx1 bit. Asuma que cada chip individual posee líneas de *chip select* (\CS) y *read/write* (R/ \W). Calcular el número de chips requeridos, hacer un diagrama completo de conexiones de la memoria diseñada.

3- a) ¿Para qué se organizan las memorias jerárquicamente? De ejemplos de cada nivel de la jerarquía.

b) ¿Por qué funciona una estructura de jerárquica?

c) ¿Cómo impacta la localidad temporal y espacial en el tiempo medio de acceso a MC?

4- a) Demostrar la ecuación del tiempo medio de acceso para una jerarquía de memorias de 3 niveles, siendo t_1 , t_2 y t_3 los tiempos de accesos correspondientes a los tres niveles, y h_1 y h_2 la tasa de aciertos del primer y segundo nivel respectivamente.

b) ¿Cuál es el tiempo de acceso medio de un sistema de tres niveles de memoria; MC, MP de semiconductor, y un disco magnético de MS, si los tiempos de accesos de las memorias son 20ns, 100ns y 1ms, respectivamente. La tasa de éxito de MC es 90% y la de MP es de 95%.

5- a) Determinar el factor de entrelazado (*interleaving factor*) requerido para obtener un tiempo de acceso medio menor que 60ns considerando que la MP tiene un tiempo de acceso de 100ns (acceso en bloques de 4 palabras, 25ns/palabra) y la MC tiene un tiempo de acceso de 20ns. La tasa de éxito de MC es 90%.

b) ¿Cuál es el tiempo medio de acceso resultante del sistema?

c) Hacer el diagrama de MP y MC, indicando módulos y bloques resultantes. (Nota: Generalmente el factor de entrelazado es un número potencia de 2)

MP: memoria principal; MC: memoria cache; MS: memoria secundaria

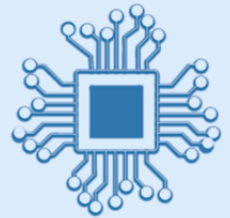
6- Se dispone de un computador con direcciones de memoria de 32 bits, que direcciona la memoria por bytes. El computador dispone de una memoria caché asociativa por conjuntos de 4 vías, con un tamaño de línea de 4 palabras. Dicha caché tiene un tamaño de 64 KB. El tiempo de acceso a la memoria caché es de 2 ns y el tiempo necesario para tratar un fallo de caché es de 80 ns. Indique de forma razonada:

a) Tamaño en MB de la memoria que se puede direccionar en este computador.

b) Número de palabras que se pueden almacenar en la memoria caché.

c) Número de líneas que se pueden almacenar en el mismo conjunto.

d) Número de líneas de la caché.



Taller de Sistemas Digitales (E1225) - Arquitectura de Computadores I (E0225)

- e) Número de conjuntos de la caché.
- f) Indique la tasa de aciertos necesaria para que el tiempo medio de acceso al sistema de memoria de este computador sea de 10 ns.

7- Una PC tiene una MP de 16MB formada por palabras de 8 bits, y una MC de 8KB. La PC utiliza un sistema de direccionamiento por byte. Determinar el número de bits en cada campo de la dirección para cada una de las siguientes organizaciones de memoria:

- a) Correspondencia directa con tamaño de bloque de 1 palabra
- b) Correspondencia directa con tamaño de bloque de 8 palabras
- c) Correspondencia asociativa con tamaño de bloque de 8 palabras
- d) Correspondencia asociativa por conjuntos con tamaño de conjunto de 4 bloques y tamaño de bloque de 1 palabra.
- e) Repetir si la PC ahora tiene una organización de la memoria en palabras de 32 bits

8- Supongamos que en una caché de 8 líneas de correspondencia directa y bloques de 8 bytes (palabras de 2 bytes) se ejecuta el siguiente programa:

```
for (i = 0; i < 30; i = i + 1)
for (j = 0; j < 30; j = j + 1)
a[i][j] = b[j][0] * b[j+1][0];
```

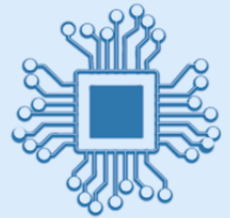
- a) Analizar localidad espacial y temporal.
- b) Determinar el número de aciertos en la caché.
- c) Variar el tamaño de bloques y analizar los aciertos. Trazar una curva de tamaño de bloque vs. Tasa de fallos.
- d) Ídem anterior, variando tamaño de la caché.

Considerar que cada elemento de los *arrays* $a[i][j]$ y $b[i][j]$ ocupan 2 bytes (simple precisión) y están dispuestos en memoria en orden ascendente de sus índices, es decir:

```
a[i=0][j=0...29]
a[i=1][j=0...29]
.....
a[i=29][j=0...29]

b[i=0][j=0...29]
.....
b[i=2][j=0...29]
.....
b[i=29][j=0...29]
```

- e) ¿Cambiarían los resultados si el ordenamiento de los elementos almacenados fuera diferente?



Taller de Sistemas Digitales (E1225) - Arquitectura de Computadores I (E0225)

9) Dado el código:

```
for (i = 0; i < 50; i = i + 1)
for (j = 0; j < 50; j = j + 1)
a[i][j] = 2/b[i][j] *c[i][j];
for (i = 0; i < 50; i = i + 1)
for (j = 0; j < 50; j = j + 1)
d[i][j] = a[i][j] + c[i][j];
```

- a) Analizar localidad espacial y temporal y determinar la tasa de errores.
- b) Analizar cómo cambian los resultados si el código se escribe como:

```
for (i = 0; i < 50; i = i + 1)
for (j = 0; j < 50; j = j + 1)
a[i][j] = 2/b[i][j] *c[i][j];
d[i][j] = a[i][j] + c[i][j];
```

- c) Comparar los resultados con una caché de correspondencia directa, una caché asociativa y una caché asociativa por conjuntos.

10) Verificar mediante un ejemplo:

- Que una caché asociativa por conjuntos de 8 vías es tan eficiente (tasa de fallos) como una caché completamente asociativa.
- Una caché de correspondencia directa de tamaño N tiene aproximadamente la misma tasa de fallos que una asociativa por conjuntos de 2 vías de tamaño N/2

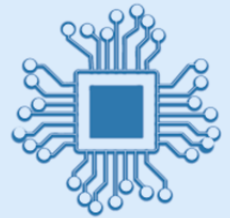
11) Se dispone de una máquina con direcciones de 32 bits direccionando a byte, con palabras de 16 bits. La cache del CPU tiene 32KB utilizables (sin contar las posiciones reservadas para tags), en líneas de 8 bytes. Se desea utilizar una estrategia de correspondencia directa.

1. Indique la cantidad de bits de los campos tag, línea y palabra.
2. Repita la tarea para una caché asociativa por conjuntos de 2 vías, otra asociativa por conjuntos de 8 vías y por último una caché totalmente asociativa.
3. Simule la siguiente secuencia de lecturas, indicando el estado de la caché, hits, misses, y el hit rate de toda la ejecución.

Accesos: 0x70040, 0x70042, 0x70044, 0x70046, 0x70048, 0x8803c,
0x8803e, 0x88040, 0x70044, 0xb803f

12) Se desea dotar a un CPU con direcciones de 16 bits mapeadas de a 2 bytes, de una caché asociativa por conjuntos de 2 vías con un tamaño total de 2KB a razón de 4 palabras por línea. La política de desalojo elegida es FIFO.

- a) Indique la cantidad de bits de los campos tag, line e index.
- b) Contabilice los accesos a memoria. ¿Cuál será el hit rate en la ejecución de este programa?



Taller de Sistemas Digitales (E1225) - Arquitectura de Computadores I (E0225)

```
MOV R2, 0
MOV R3, 0x1D55
MOV R4, 0x3755
MOV R5, 0x0757
ADD R2, [R3]
ADD R2, [R4]
ADD R2, [R5]
ADD R2, [R5+1]
ADD R2, [R3+1]
ADD R2, [R4+1]
```

- c) Si se considera que un acceso a memoria insume 50 ciclos y un acceso a caché solo 1, indique cuantos ciclos se ahorran al implementar esta memoria caché.
- d) ¿Cómo mejoraría el programa para aprovechar mejor la caché de la computadora?

13) De acuerdo a un estudio realizado sobre la utilización de las instrucciones de una computadora se ha determinado que en media ejecuta 50 millones de instrucciones por segundo y que el porcentaje de utilización de sus instrucciones es el siguiente:

LOAD un 30 %

STORE un 10 %

Operaciones aritméticas un 24 %

Operaciones lógicas un 6 %

Bifurcaciones un 30 %

Se pide:

- a) Determine el número de accesos a memoria por segundo que se realizan en este computador.
- b) ¿Cuál será el número de accesos a memoria principal por segundo en caso de utilizar una memoria cache con un tamaño de línea de 8 palabras, política de actualización write-through (escritura inmediata) y una tasa de aciertos del 95 %?

Referencias:

- Mostafa Abd-El-Barr- Fundamentals of Computer Organization and Architecture (Wiley 2005) (Capítulos 6 y 7)
- Hennessy-Patterson - Computer Architecture: A Quantitative Approach (4th Ed Elsevier 2007) (Apéndice C)
- William Stallings-Computer Organization and Architecture, Designing for Performance – 8th Edition