



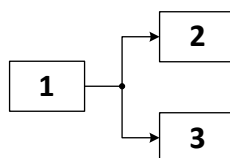
Familias Lógicas

Ejercicio 1

- Realizar una tabla de comparación de una compuerta NAND de la serie 7400 (74LS00, 74ALS00, 74HCT00 y 74ACT00) y las series MC14011B (CMOS serie 4000) y MC10H104 (ECL) con $V_{cc} = 5\text{ V}$ sobre los siguientes parámetros:
 - Tiempo de retardo de propagación.
 - Consumo de corriente de entrada en reposo (en niveles H y L).
 - Consumo de corriente y potencia total en reposo.
 - Consumo de corriente y potencia total a 100 MHz.
 - Márgenes de ruido.
 - Máxima corriente de salida en alto y en bajo.
- Repetir el inciso anterior para un flip-flop tipo D la serie 7474 (74LS74, 74ALS74, 74HC74 y 74ACT74) y las series MC14013B (CMOS serie 4000) y MC10H186 (ECL) sobre los mismos parámetros y agregando:
 - Tiempo de set-up y de hold.
 - Máxima frecuencia de reloj.

Ejercicio 2

Dado el circuito de la figura y las siguientes especificaciones, calcular los márgenes de ruido en alto y en bajo en la peor condición y representarlos gráficamente.



Compuerta	V_{OH} mín.	V_{OH} típ.	V_{OL} típ.	V_{OL} máx.	V_{IH} mín.	V_{IH} típ.	V_{IL} típ.	V_{IL} máx.
1	3,40	3,50	0,20	0,30	-	-	-	-
2	-	-	-	-	2,40	2,45	0,75	0,80
3	-	-	-	-	2,35	2,55	0,70	0,85

Ejercicio 3

Implementar con compuertas CMOS complejas las siguientes funciones lógicas:

$$(a) \quad W = \overline{AB}$$

$$(c) \quad Y = \overline{(A + B)C}$$

$$(b) \quad X = \overline{A + B}$$

$$(d) \quad Z = (A + B)(C + D)A$$

¿Cómo modificaría los circuitos anteriores para que la salida se encuentre en estado de alta impedancia a menos que se la habilite a través de la entrada E (ENABLE)?

Ejercicio 4

Dado un flip-flop tipo D disparado por flanco descendente:

1. Diseñar el circuito utilizando tecnología CMOS en base a inversores y compuertas de paso (*pass-gate*).
2. Realizar un diagrama temporal para ejemplificar su funcionamiento.

Ejercicio 5

Implementar un flip-flop JK disparado por flanco ascendente con entrada asincrónica de *reset* basado en una estructura de compuertas de paso (*pass-gate*) y compuertas auxiliares. Dibujar el circuito completo a nivel de transistores y explicar su funcionamiento.

Ejercicio 6

1. Utilizando compuertas CMOS complejas implementar un decodificador de 2 bits.
2. En base a los resultados del inciso anterior implementar un MUX 4:1 utilizando compuertas *pass-gate*.