



Contadores y Registros de Desplazamiento

**Ejercicio 1**

Diseñar un contador asincrónico binario progresivo/regresivo de 3 bits con entradas de reloj y *reset* asincrónico empleando flip-flops tipo T disparados por flanco descendente y lógica adicional.

1. Realizar la tabla de verdad donde se muestren todas las transiciones y códigos inválidos.
2. Realizar a escala el diagrama temporal que incluya todos los retardos involucrados en un ciclo completo de conteo considerando los siguientes parámetros. Destacar y verificar los códigos inválidos que se generan.

$$T_{\text{clock}}=20\text{ns} \quad t_{\text{setup}}=2\text{ns} \quad t_{\text{hold}}=1\text{ns} \quad t_{\text{CLK} \rightarrow \text{Q}}=2\text{ns} \quad t_{\text{pd}(\text{comp})}=4\text{ns} \quad t_{\text{pd}(\text{mux})}=7\text{ns} \quad t_{\text{pd}(\text{not})}=1\text{ns}$$

3. Calcular la frecuencia máxima a la que podría operar el contador.
4. Rediseñar el contador utilizando flip-flops tipo D. Calcular la máxima frecuencia de operación nuevamente y comparar resultados.
5. ¿Qué debería modificarse si se quisiera que el contador fuera módulo 5? En tal caso, ¿qué frecuencia tendría la salida del flip-flop más significativo si la frecuencia del reloj fuera de 13KHz?

**Ejercicio 2**

Diseñar un contador síncrono binario progresivo/regresivo de 3 bits empleando flip-flops JK disparados por flanco descendente y lógica adicional. El contador deberá tener entradas asincrónicas de *reset* y *habilitación*.

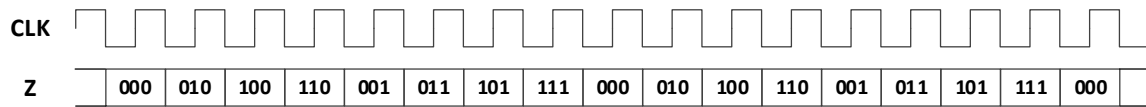
1. Realizar la tabla de verdad y obtener las funciones lógicas que deben aplicarse a la entrada de cada flip-flop.
2. Realizar a escala el diagrama temporal que incluya todos los retardos involucrados en un ciclo completo de conteo considerando los siguientes parámetros.

$$T_{\text{clock}}=20\text{ns} \quad t_{\text{setup}}=2\text{ns} \quad t_{\text{hold}}=1\text{ns} \quad t_{\text{CLK} \rightarrow \text{Q}}=2\text{ns} \quad t_{\text{pd}(\text{comp})}=4\text{ns} \quad t_{\text{pd}(\text{mux})}=7\text{ns} \quad t_{\text{pd}(\text{not})}=1\text{ns}$$

3. ¿Qué debería cambiar en el diseño si los flip-flops fuesen sensibles al flanco ascendente del reloj?
4. Comparar con la implementación del ejercicio anterior. ¿Qué ventajas y desventajas tiene este tipo de contadores frente a los asincrónicos? Justificar la respuesta generalizando para un contador de n bits.
5. Implementar el contador en VHDL utilizando *components* y simularlo con Modelsim.

### Ejercicio 3

Se requiere implementar un contador síncrono que produzca a su salida la secuencia que se muestra en la siguiente figura.



1. Diseñar la lógica que cumpla con el requerimiento impuesto utilizando flip-flops tipo D y la menor cantidad de lógica adicional. Realizar las tablas de verdad y obtener las funciones lógicas involucradas.
2. Implementar el diseño en VHDL incluyendo señales asincrónicas de *reset* y *habilitación*.
3. Modificar el contador implementado para que las señales de *reset* y *habilitación* funcionen de forma síncrona. Realizar el esquemático a mano y luego codificarlo en VHDL.

### Ejercicio 4

Dado el circuito integrado 74HC163:

1. Analizar el diagrama esquemático y describir cómo funcionan cada una de sus entradas y salidas.
2. Indicar cómo conectaría el integrado si se quisiera que el rango de cuenta comenzara con el número 3 y terminase en 14. Realizar un diagrama temporal donde se aprecien los estados de los principales pines durante la operación de conteo.
3. Indicar cómo interconectaría dos integrados si se requiere realizar un contador de 8 bits. Implementar un contador módulo 60 con dicha configuración. ¿Cuál sería la frecuencia máxima de operación en ese caso?

### Ejercicio 5

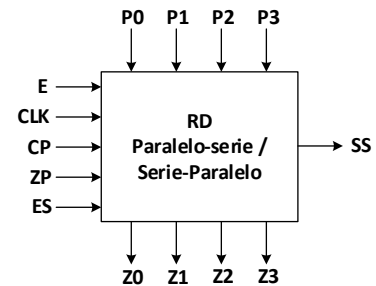
Un sistema digital que tiene un reloj de sistema de 20 MHz debe utilizarse para contar las transiciones de una señal de entrada *dataIn* de forma de onda arbitraria pero cuyas transiciones son mucho más lentas que el período de reloj del sistema. A través de una señal de control se deberá configurar si las transiciones a contar son de alto a bajo o de bajo a alto. Además de esta señal de control, el contador deberá tener señales de *reset* y *habilitación*.

1. Diseñar el sistema y realizar el diagrama esquemático.
2. Implementar el diseño en VHDL para un contador de 4 bits y simularlo con Modelsim. Verificar el correcto funcionamiento en ambos modos de operación.

### Ejercicio 6

Diseñar un registro de desplazamiento paralelo-serie / serie-paralelo configurable de 4 bits utilizando flip-flops tipo JK disparados por flanco ascendente con entradas asincrónicas de *set* y *reset*. La lógica de control debe contemplar los siguientes requerimientos:

Puerto	I/O	Descripción
CLK	I	Reloj del sistema.
E	I	Habilitación de reloj 1: Deshabilita el reloj. 0: Habilita el reloj.
CP	I	Carga paralela 0: Setea de forma asincrónica las salidas de los FF's con los valores de las entradas P(i). 1: Deshabilita la carga paralela.
ZP	I	Habilitación de las salidas Z ↓: Habilita que las salidas de los FF's del registro de desplazamiento queden almacenadas en un registro intermedio de 4 bits accesible desde las salidas paralelo Z(i).
ES	I	Entradas de datos serie.
P(i)	I	Entradas de datos para carga paralela.
SS	O	Salida de datos serie.
Z(i)	O	Salidas de datos paralelo al activarse ZP.

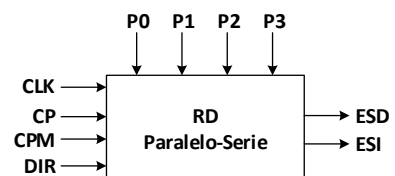


1. Realizar el diagrama esquemático que incluya todos los elementos lógicos involucrados en el diseño junto con los puertos de entrada/salida.
2. Graficar en un diagrama temporal un ciclo de transferencia completo en el modo serie-paralelo y en el paralelo-serie.
3. Implementar el diseño en VHDL utilizando flip-flops tipo D y simularlo para verificar su funcionamiento.

### Ejercicio 7

Se requiere diseñar un registro de desplazamiento paralelo-serie bidireccional utilizando flip-flops tipo D. El mismo debe tener la posibilidad de que la carga paralela sea de forma sincrónica o asincrónica según las siguientes especificaciones:

Puerto	I/O	Descripción
CLK	I	Reloj del sistema.
CP	I	Habilitación de carga paralela 1: Habilita la carga paralela. 0: Deshabilita la carga paralela.
CPM	I	Modo de carga paralela 0: Modo asincrónico 1: Modo sincrónico.
DIR	I	0: Dirección de desplazamiento a la izquierda. 1: Dirección de desplazamiento a la derecha.
P(i)	I	Entradas de datos para carga paralelo.
SDI	O	Salida de datos serie izquierda.
SDD	O	Salida de datos serie derecha.



1. Realizar el diagrama esquemático que incluya todos los elementos lógicos involucrados en el diseño junto con los puertos de entrada/salida.
2. Implementar el diseño en VHDL utilizando flip-flops tipo D y simularlo para verificar su funcionamiento.

### Ejercicio 8

Dado el circuito integrado 74HC165:

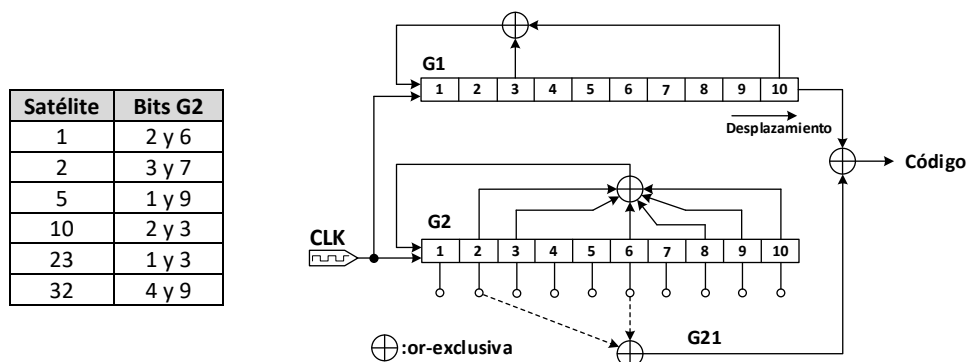
1. Implementar un contador tipo Anillo indicando el estado de todos los pines involucrados.
2. Realizar un diagrama de tiempo que muestre el funcionamiento del circuito.
3. Si se quisiera utilizar varios de estos circuitos integrados para generar un contador tipo Anillo de 20 bits indicar cómo los interconectaría. ¿Cuál es la frecuencia máxima de operación en ese caso?
4. ¿Qué se debería cambiar en los incisos 1 y 3 si el contador a implementar fuese de tipo Johnson?
5. Si se tiene un contador binario sincrónico de 8 bits, que naturalmente posee 256 estados de cuenta diferentes, ¿podría remplazarlo por uno tipo Anillo directamente? ¿Y por uno tipo Johnson? Indicar cuánto hardware adicional se necesita en cada caso para alcanzar la misma cantidad de estados que en el contador binario.
6. Si el contador binario sincrónico del inciso anterior se implementara con compuertas de 3 entradas y flip-flops tipo T con las siguientes especificaciones:

$$t_{\text{setup}} = 4\text{ns} \quad t_{\text{hold}} = 0\text{ns} \quad t_{\text{CLK} \rightarrow Q} = 2\text{ns} \quad t_{\text{pd(AND)}} = 4\text{ns}$$

Calcular la frecuencia máxima de operación del contador binario y compararla con el contador análogo tipo Johnson. ¿Qué conclusiones se pueden sacar con estos resultados y los del inciso anterior?

### Ejercicio 9

El Sistema de Posicionamiento Global, conocido como GPS, utiliza códigos generados digitalmente para diferenciar las señales de cada uno de los satélites de la constelación que orbita la Tierra. Cada satélite genera y transmite un código único que lo identifica. Los códigos se sintetizan según el siguiente esquema que consta de dos registros de desplazamiento tipo FIFO de 10 bits cada uno (G1 y G2) que están realimentados por una función lógica que es la resultante de la or-exclusiva de algunos de sus bits intermedios. Por ejemplo, para G1 el primer bit  $b_1$  es igual a  $b_3 \text{ xor } b_{10}$ . El código para un dado satélite resulta de realizar la or-exclusiva entre dos bits particulares (y únicos para ese satélite) del registro G2 y del bit  $b_{10}$  de G1. La tabla que se adjunta con el diagrama muestra ejemplos de los bits de G2 utilizados para algunos de los satélites.



1. Implementar el generador de código en VHDL utilizando flip-flops tipo D con señales de *reset* y *set*. Para ello tener en cuenta que todos los bits de ambos registros (G1 y G2) deberán inicializarse en "1", caso contrario la salida permanecerá indefinidamente en "0".
2. Sabiendo que los primeros diez bits del código para el satélite 10 son "1101000100", simular la implementación para dicho satélite y verificar su correcto funcionamiento. Repetir para el satélite 32 siendo sus primeros diez bits "1111001010".

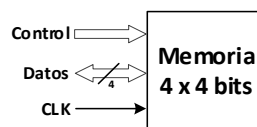
### Ejercicio 10

Utilizando flip-flops tipo D diseñar un registro de desplazamiento tipo serie / serie bidireccional de 8 bits que permita elegir el sentido de desplazamiento a través de una señal de control. Deberá contar con pines de entrada/salida bidireccionales para la escritura y lectura de los datos además de señales de *reset* y *habilitación*. Realizar el diagrama esquemático e implementarlo en VHDL.

### Ejercicio 11

Una de las aplicaciones de los registros de desplazamiento es utilizarlos para almacenar datos temporalmente a modo de memoria RAM. Si se requiere un banco de memoria que permita almacenar 4 palabras de 4 bits cada una donde se pueda escribir o leer una palabra a la vez de forma paralelo:

1. Diseñar la lógica según el siguiente esquema que permita controlar la escritura o lectura de los datos y describir todas las señales de control necesarias.
2. Realizar el diagrama esquemático completo del sistema utilizando el tipo de registro que mejor se adapte a los requerimientos y describir cómo funciona.



### Ejercicio 12

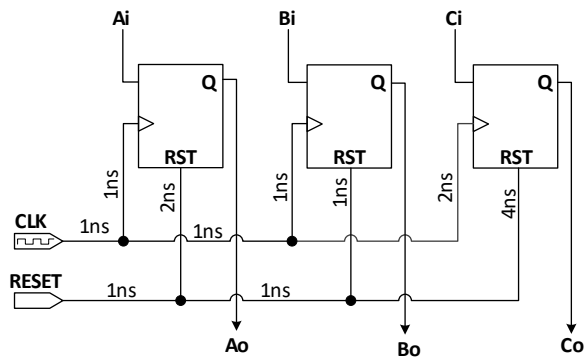
Diseñar un sistema digital síncrono con una frecuencia de reloj  $f_s$  cuya salida sea una señal de frecuencia igual a  $\frac{1}{4}$  de  $f_s$  y cuyo ciclo de trabajo pueda configurarse según se especifica en la siguiente tabla, donde  $CT_i$  son líneas de control.

CT	Ciclo de trabajo
000	1/8
001	1/4
010	3/8
011	1/2
100	5/8
101	3/4
110	7/8
111	-

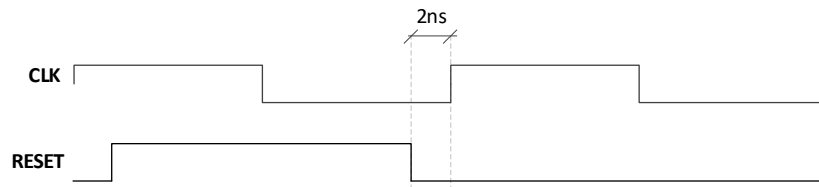
1. Realizar un diagrama de alto nivel indicando qué componentes son necesarios, cómo se interconectan y qué especificaciones deberían tener para cumplir con el requerimiento impuesto.
2. En base al diagrama anterior realizar el diagrama esquemático del diseño detallando todos los recursos lógicos y líneas de control involucradas.
3. Graficar en un diagrama temporal las líneas más significativas del sistema para  $CT$  igual a "000", "010" y "110".
4. Si se tuviese que implementar dicho sistema con circuitos integrados y mínima lógica adicional seleccionar cuáles de ellos utilizaría e indicar cómo los interconectaría.

### Ejercicio 13

Dado el siguiente esquemático de un registro de desplazamiento paralelo/paralelo donde los tiempos de propagación que se indican son entre los nodos del circuito.



1. Analizar qué problema ocurre en el siguiente caso teniendo en cuenta que los *reset* de los flip-flops son activos en alto.



2. Proponer alguna solución que permita evitar el problema.