



Flip-Flops

Ejercicio 1

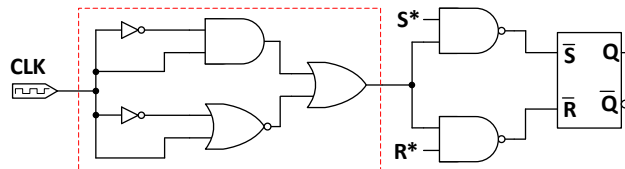
1. Implementar un flip-flop tipo T y uno tipo D en base a uno tipo JK.
2. Implementar un flip-flop tipo JK y uno tipo T en base a uno tipo D.
3. Implementar un flip-flop tipo JK y uno tipo D en base a uno tipo T.

En todos los casos indicar claramente las tablas de verdad y las funciones lógicas involucradas y realizar los diagramas esquemáticos.

Ejercicio 2

Dado el siguiente circuito lógico:

1. Analizar el comportamiento temporal del bloque marcado con línea punteada considerando compuertas ideales.
2. Repetir el inciso anterior pero considerando compuertas reales cuyos retardos sean en todos los casos igual a τ . Considerar el período de CLK mucho mayor que τ . ¿Cómo definiría la función del circuito?
3. Considerando ahora el circuito completo, hallar la forma de onda Q para diferentes valores de S^* y R^* . Realizar la tabla de verdad del circuito completo.



Ejercicio 3

Los siguientes códigos en VHDL sintetizan flip-flops tipo D pero con características diferentes.

1. Analizar los códigos, determinar el funcionamiento de cada una de las señales que intervienen y realizar las tablas de verdad.
2. Sintetizarlos en Quartus II y generar los esquemas RTL. Explicar a qué se deben las diferencias observadas. Simular ambos códigos y verificar su funcionamiento.
3. Generar los códigos equivalentes con sentencias concurrentes.
4. ¿Qué debería cambiar en cada caso si se requiere que los flip-flops sean sensibles al flanco de bajada del reloj?

```

...
pr0: process (rst,set,CLK) is
begin
    if rst = '1' then
        Q <= '0';
    elsif set = '1' then
        Q <= '1';
    elsif rising_edge(CLK) then
        Q <= D;
    end if;
end process;
...

```

(a)

```

...
pr0: process (CLK) is
begin
    if rising_edge(CLK) then
        if rst = '1' then
            Q <= '0';
        elsif set = '1' then
            Q <= '1';
        else
            Q <= D;
        end if;
    end if;
end process;
...

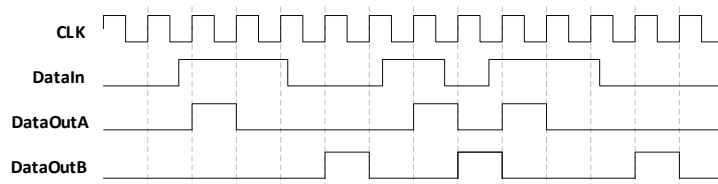
```

(b)

Ejercicio 4

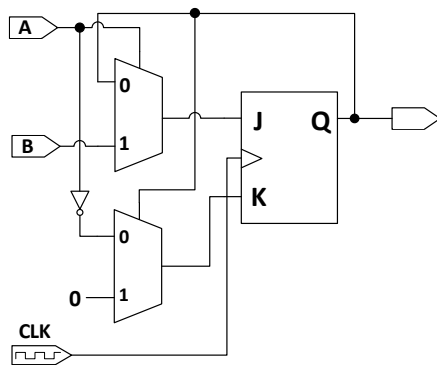
Las siguientes formas de onda pertenecen a un sistema digital que tiene como entradas una señal de reloj (*CLK*) y una de datos *DataIn* y como salidas a las señales *DataOutA* y *DataOutB*.

1. Identificar cuál es la función de cada una de las salidas del sistema.
2. Diseñar la lógica que controla cada una de las salidas.
3. Codificar el diseño en VHDL y verificarlo mediante simulación.

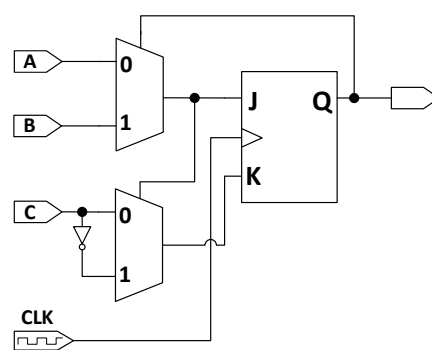


Ejercicio 5

Dado los siguientes circuitos:



(a)



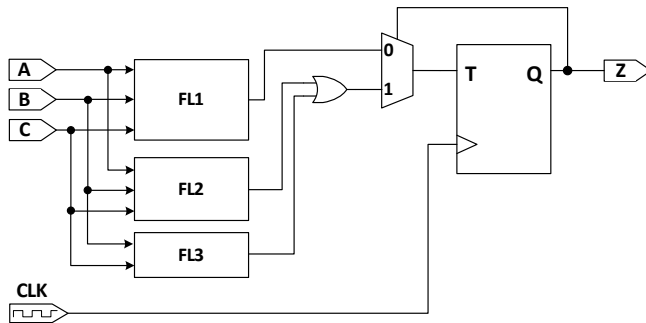
(b)

1. Analizar y obtener la tabla de verdad que los definen en términos de (*A*, *B*, *C*, Q_n , Q_{n+1}).
2. Obtener analíticamente y simplificar las expresiones lógicas de *J* y *K*.
3. Si los flip-flops JK se reemplazan por otros tipo D, diseñar la lógica necesaria que cumpla con la tabla de verdad obtenida en el inciso (1) y que requiera la menor cantidad de recursos lógicos posibles.

- Codificar en VHDL y simular los resultados obtenidos en el inciso (3). Verificar que ambos diseños se comportan de la forma esperada.

Ejercicio 6

Dado el siguiente circuito se requiere que el mismo tenga el comportamiento que se muestra en la siguiente tabla de verdad.



A	B	C	Q_{n+1}
0	0	0	Q_n
0	0	1	0
0	1	0	0
0	1	1	Q_n
1	0	0	1
1	0	1	$/Q_n$
1	1	0	$/Q_n$
1	1	1	1

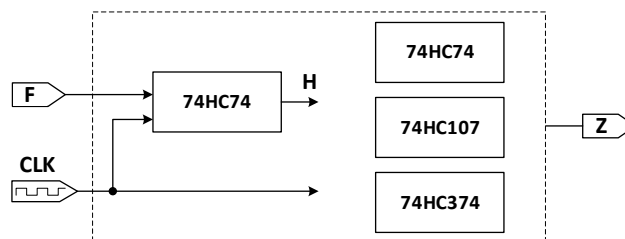
Sabiendo que:

$$FL2 = \bar{A}\bar{B}C + A\bar{B}C$$

- Analizar el comportamiento del circuito y obtener las expresiones lógicas de FL1 y FL3 y sus tablas de verdad.
- Obtener una versión simplificada de la tabla que se muestra con este enunciado y emplearla para simular el sistema en ModelSim. Para ello codificar el sistema en VHDL utilizando el modelo equivalente del FF tipo T a partir de uno tipo D obtenido en el Ejercicio 1.

Ejercicio 7

El siguiente sistema digital tiene una entrada de datos F y un reloj de 50MHz. La señal F ingresa al circuito integrado 74HC74 que se utiliza como sincronizador, siendo la señal de salida H. Se disponen adicionalmente, y en caso de ser necesarios, un 74HC107, un 74HC374 y otro 74HC74.



- Si se requiere retardar la salida Z respecto de H en los siguientes valores, indicar cómo interconectaría los circuitos integrados disponibles. Determinar para cada uno de los casos si se requiere lógica adicional. Por simplicidad considerar nulos los retardos intrínsecos de los flip-flops.
 - 1.1 Retardo: 200ns
 - 1.2 Retardo 50ns
 - 1.3 Retardo: 240ns
 - 1.4 Retardo: 130ns
 - 1.5 Retardo: 400ns
 - 1.6 Retardo: 800ns

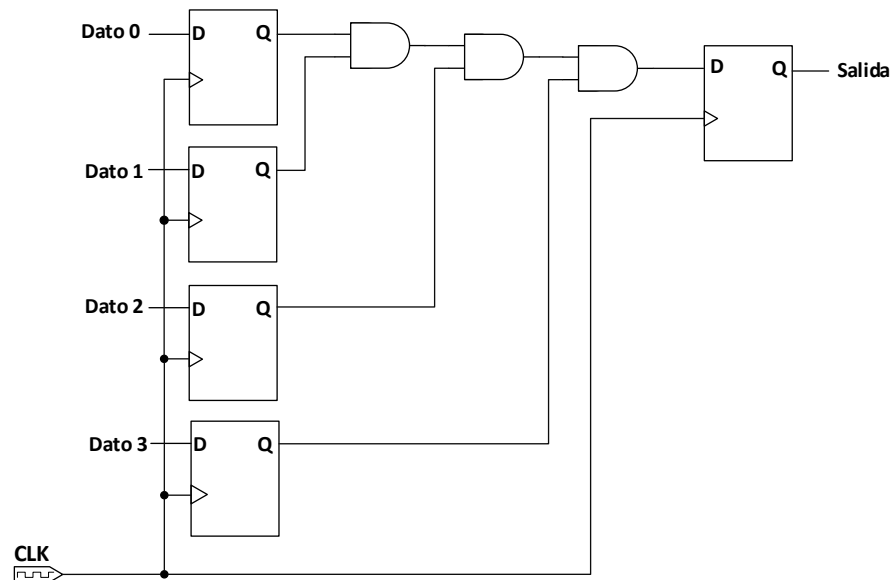
2. ¿Cómo cambian los retardos indicados si en las soluciones propuestas se utiliza un reloj de 70MHz? ¿Y con uno de 90MHz?
3. Repita el caso 1.3 pero considerando los retardos intrínsecos de los flip-flops indicados por las hojas de datos.

Ejercicio 8

Dado el siguiente circuito lógico:

1. Analizar los problemas de temporización del mismo con las especificaciones dadas. Realizar el diagrama temporal y justificar.
2. Rediseñar el circuito para que funcione de forma adecuada utilizando los mismos elementos lógicos.
3. Bajo esas condiciones calcular la frecuencia máxima de operación.

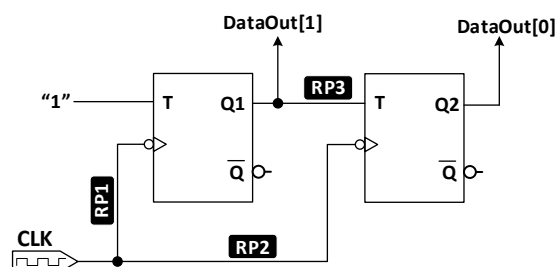
t_{setup} : 10ns
 t_{hold} : 0ns
 $t_{\text{tpd}}(\text{CLK} \rightarrow \text{Q})$: 20ns
 $t_{\text{tpd}}(\text{and})$: 15ns



Ejercicio 9

Dado el siguiente circuito y las especificaciones de los flip-flops donde RP1 y RP2 son los tiempos de propagación de la señal de reloj desde el punto de origen hasta alcanzar los flip-flops y RP3 es el tiempo de propagación de la señal entre flip-flops.

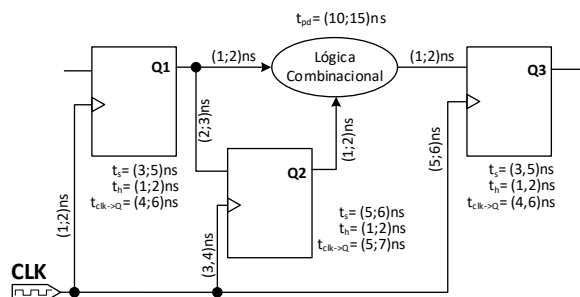
t_{setup} : 7ns
 t_{hold} : 0ns
 $t_{\text{tpd}}(\text{CLK} \rightarrow \text{Q})$: 4ns



1. Analizar el comportamiento temporal si RP1, RP2 y RP3 son nulos (condición ideal). Realizar el diagrama de tiempos para una frecuencia de 50MHz indicando todos los tiempos especificados. ¿Hasta qué frecuencia de reloj podría operar el sistema de forma estable?
2. Repetir el inciso anterior pero considerando RP1=1ns, RP2=10ns y RP3=1ns. ¿Qué se puede concluir al respecto? ¿Cuál es el valor límite de RP2 para garantizar el funcionamiento del sistema? Si RP2 no se pudiese modificar, ¿hay alguna otra alternativa?
3. Si el circuito se implementara con el integrado 74HC107:
 - 3.1 ¿Cuál sería la máxima frecuencia de operación para una temperatura ambiente mayor a 25°C, VCC=6V, RP1=RP3=1ns y RP2=10ns?
 - 3.2 ¿Cuál sería el valor límite admisible para RP2 si RP1=RP3=1ns y una frecuencia de reloj de 80MHz?

Ejercicio 10 (Opcional)

Dado el siguiente circuito lógico donde se especifican los valores máximos y mínimos de todos los parámetros bajo la siguiente nomenclatura (max;min).



1. Hallar el camino crítico del sistema.
2. Calcula la máxima frecuencia del reloj para que el sistema funcione de forma estable en cualquiera de las condiciones.
3. Si se quisiera aumentar la frecuencia obtenida un 10%, ¿Qué cambios haría en el circuito para mejorar la temporización?