



Centro Universitário de Rio Preto

TRABALHO #1: ULA 4 BITS

Aluno: Matheus Tomazeli Mioto Beata – **Código:** 20220185

Turma: 51341-0

Disciplina: Arquitetura e Organização de Computadores

Curso: Ciência da Computação

Professor: M. Sc. José A. A. Viana

São José do Rio Preto, 24 de setembro de 2023.

Sumário

1. Módulo Add 1 bits	4
a) Modelo Lógico	4
b) Tabela Verdade	4
c) Circuito Lógico // Sem MACRO	4
d) Circuito Lógico // Com MACRO	5
2. Módulo Nand 4 bits	5
a) Modelo Lógico	5
b) Tabela Verdade	5
c) Circuito Lógico // Sem Macro.....	5
d) Circuito Lógico // Com Macro.....	6
3. Módulo Buffer 4 bits	6
a) Modelo Lógico	6
b) Tabela Verdade	6
c) Circuito Lógico // Sem Macro.....	7
d) Circuito Lógico // Com Macro.....	7
4. Módulo Add 4 bits	7
a) Modelo Lógico	7
b) Tabela Verdade	8
c) Circuito Lógico // Sem Macro.....	8
d) Circuito Lógico // Com Macro	8
5. Módulo Decode 2 bits	9
a) Modelo Lógico	9
b) Tabela Verdade	9
c) Circuito Lógico // Sem Macro.....	9
d) Circuito Lógico // Com Macro	10
6. Módulo Sub 1 bit	10
a) Modelo Lógico	10
b) Tabela Verdade	11
c) Circuito Lógico // Sem Macro.....	11
d) Circuito Lógico // Com Macro	11
7. Módulo Sub 4 bits	12
a) Modelo Lógico	12
b) Tabela Verdade	12
c) Circuito Lógico // Sem Macro.....	12
d) Circuito Lógico // Com Macro	12

8. Módulo Mux 4x1

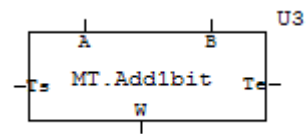
a) Modelo Lógico	13
b) Tabela Verdade	13
c) Circuito Lógico // Sem Macro.....	13
d) Circuito Lógico // Com Macro	14

9. Módulo ULA 4 bits

a) Modelo Lógico	14
b) Tabela Verdade	14
c) Circuito Lógico // Sem Macro.....	14
d) Circuito Lógico // Com Macro	14

1. Módulo Add 1 bit

a) Modelo Lógico



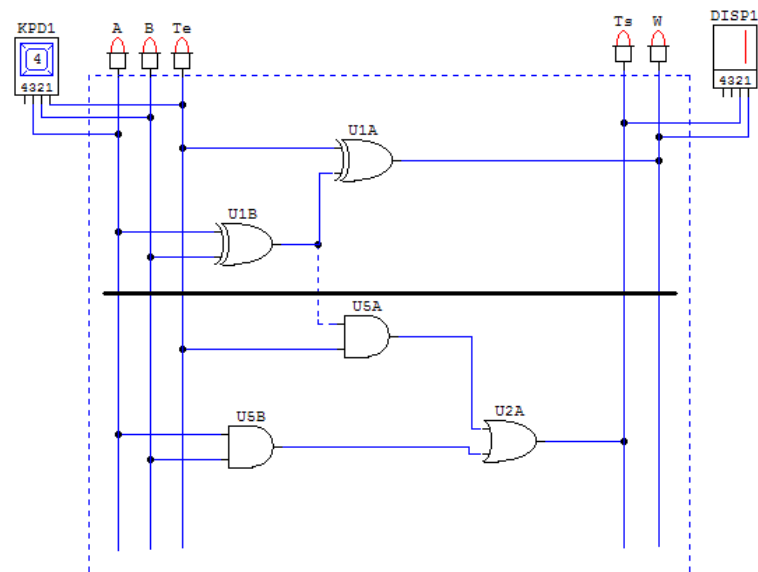
b) Tabela Verdade

Dec.	A	B	Te	Ts	W	Dec.
0	0	0	0	0	0	0
1	0	0	1	0	1	1
2	0	1	0	0	1	2
3	0	1	1	1	0	3
4	1	0	0	0	1	4
5	1	0	1	1	0	5
6	1	1	0	1	0	6
7	1	1	1	1	1	7

$$W = A (+) B (+) Te$$

$$Ts = A.B + Te . (A (+) B)$$

c) Circuito Lógico // Sem MACRO

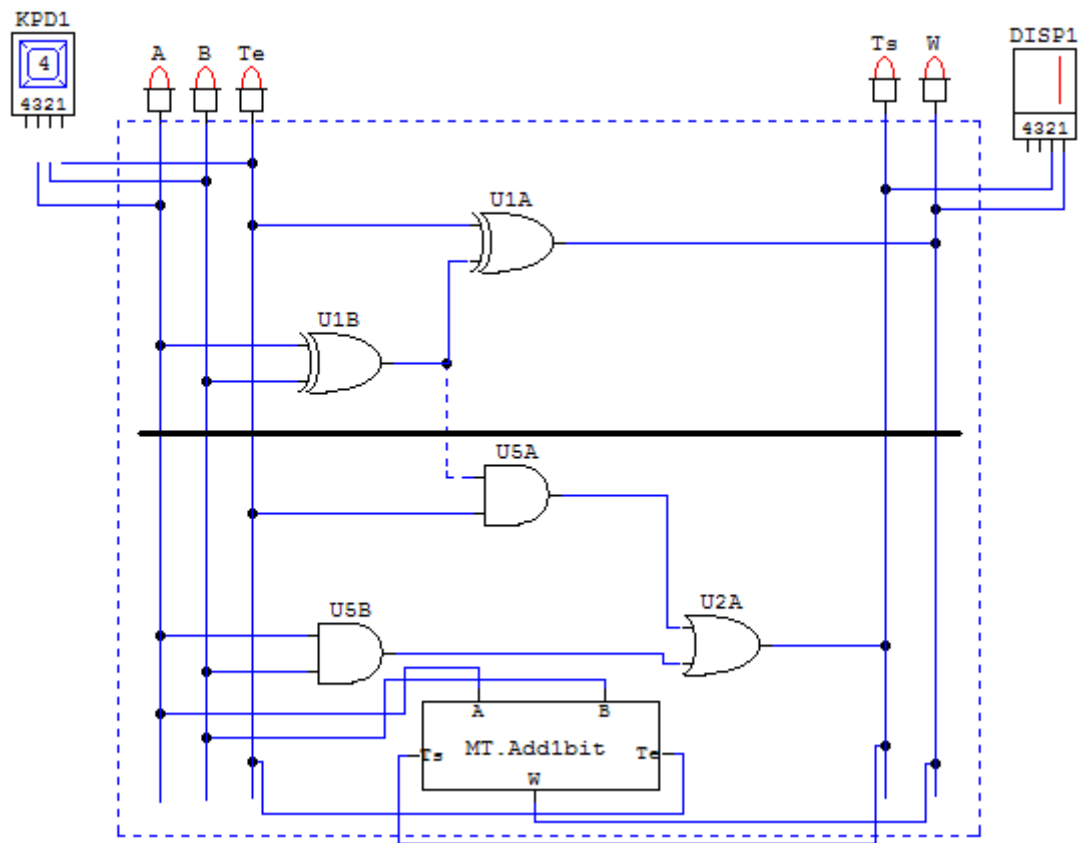


Dec.	A	B	Te	Ts	W	Dec.
0	0	0	0	0	0	0
1	0	0	1	0	1	1
2	0	1	0	0	1	2
3	0	1	1	1	0	3
4	1	0	0	0	1	4
5	1	0	1	1	0	5
6	1	1	0	1	0	6
7	1	1	1	1	1	7

$$W = A (+) B (+) Te$$

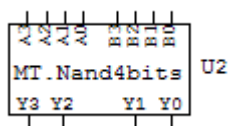
$$Ts = A.B + Te . (A (+) B)$$

d) Circuito Lógico // Com MACRO



2. Módulo Nand 4 bits

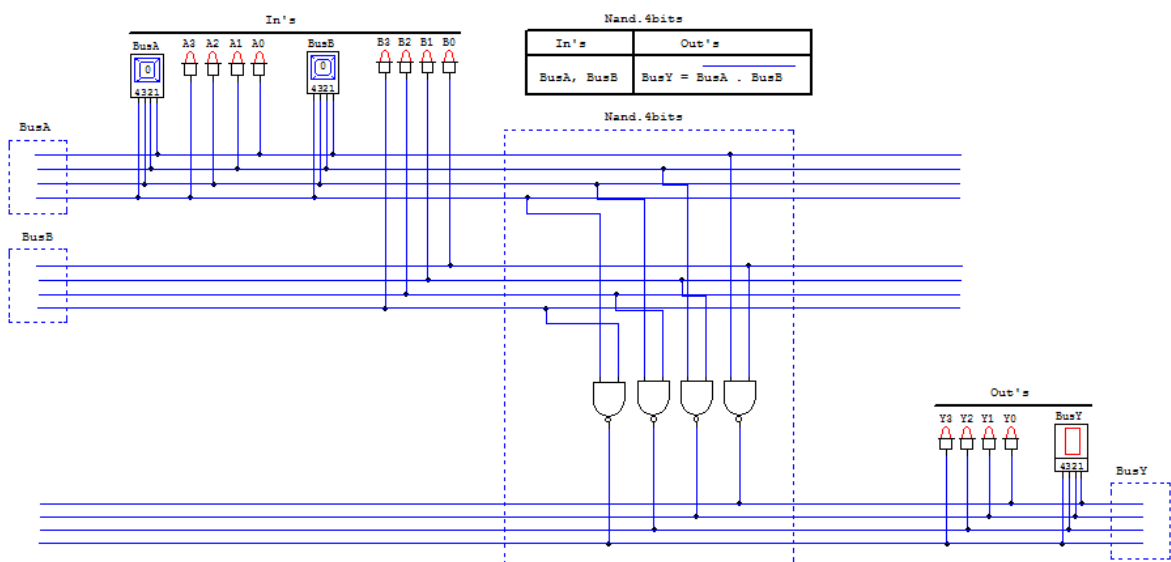
a) Modelo Lógico



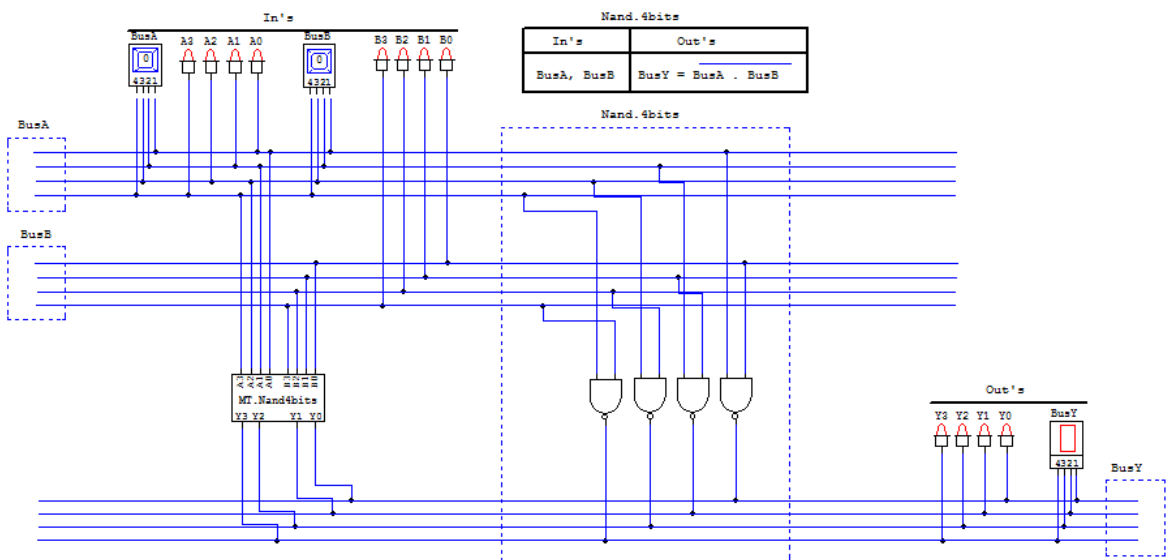
b) Tabela Verdade

Nand.4bits	
In's	Out's
BusA, BusB	$\text{BusY} = \text{BusA} \cdot \text{BusB}$

c) Circuito Lógico // Sem Macro

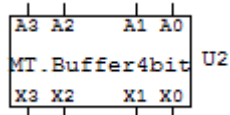


d) Circuito Lógico // Com Macro



3. Módulo Buffer 4 bits

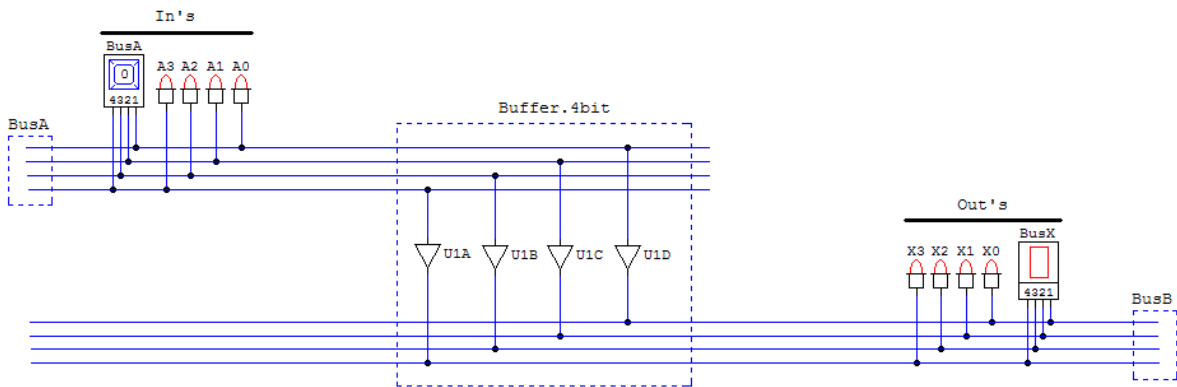
a) Modelo Lógico



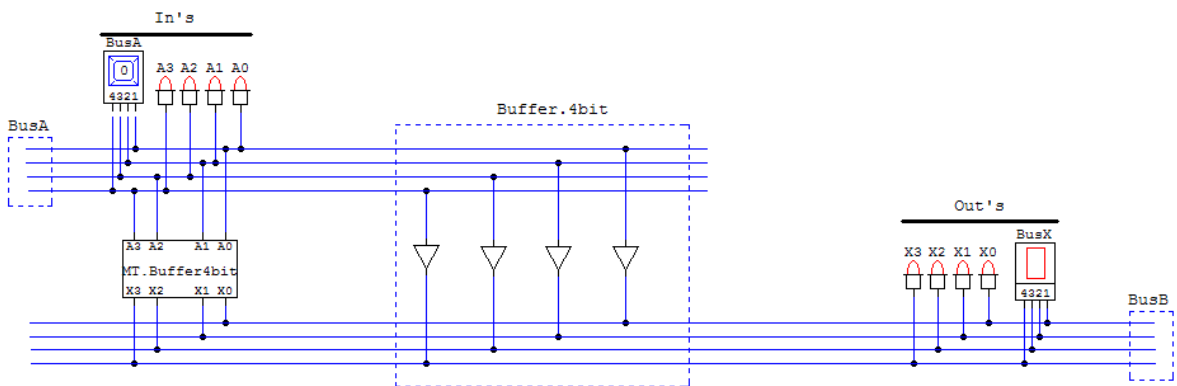
b) Tabela Verdade

Dec.	A0	A1	A2	A3	X0	X1	X2	X3
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1
6	0	1	1	1	0	1	1	1
7	1	0	0	0	1	0	0	0
8	1	0	0	1	1	0	0	1
9	1	0	1	0	1	0	1	0
10	1	0	1	1	1	0	1	1

c) Circuito Lógico // Sem Macro

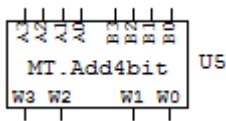


d) Circuito Lógico // Com Macro



4. Módulo Add 4 bits

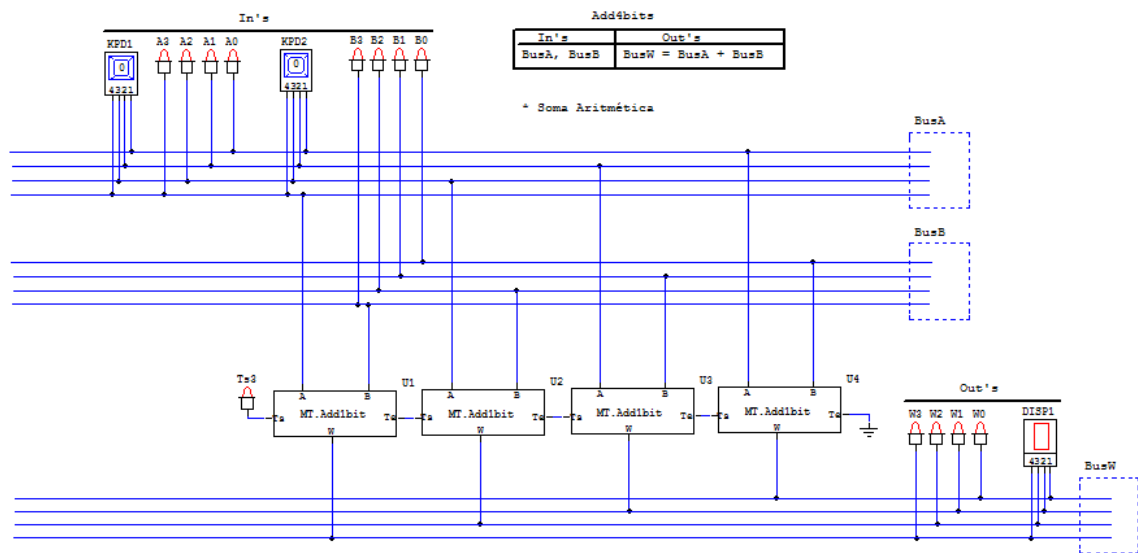
a) Modelo Lógico



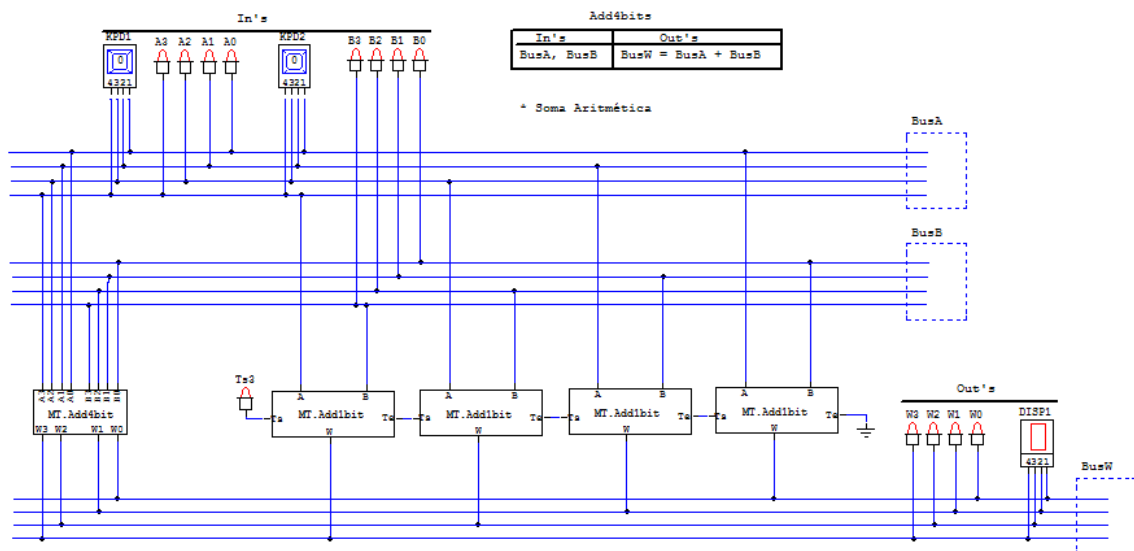
b) Tabela Verdade

Add4bits	
In's	Out's
BusA, BusB	BusW = BusA + BusB

c) Circuito Lógico // Sem Macro

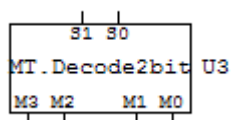


d) Circuito Lógico // Com Macro



5. Módulo Decode 2 bits

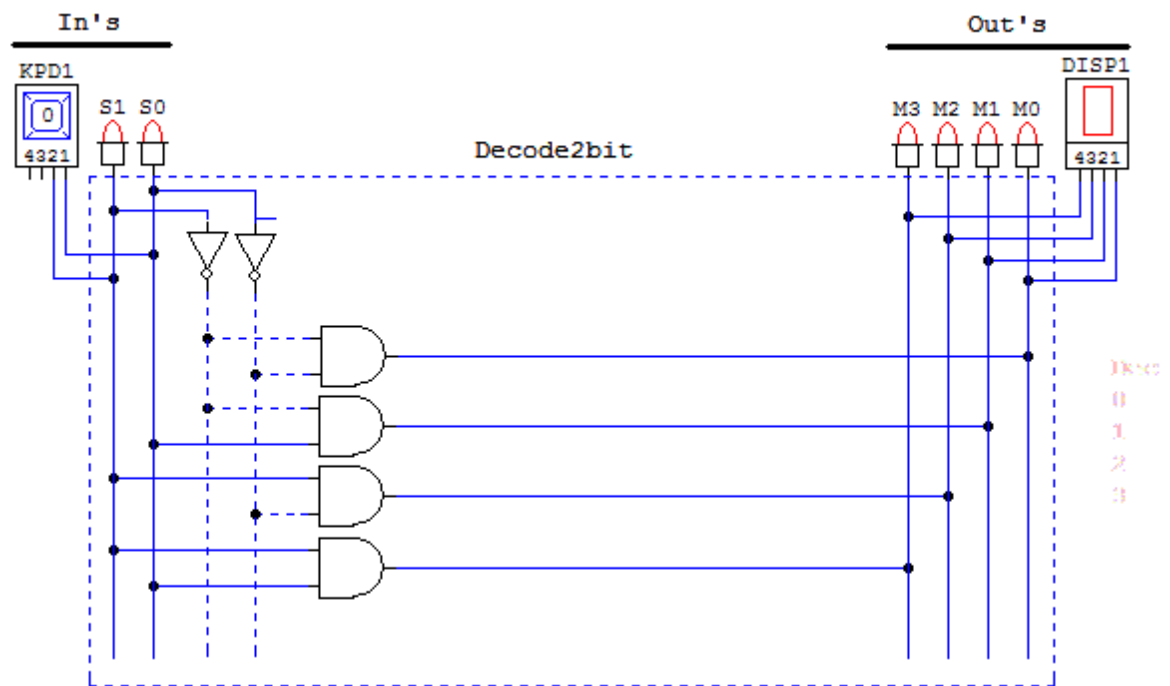
a) Modelo Lógico



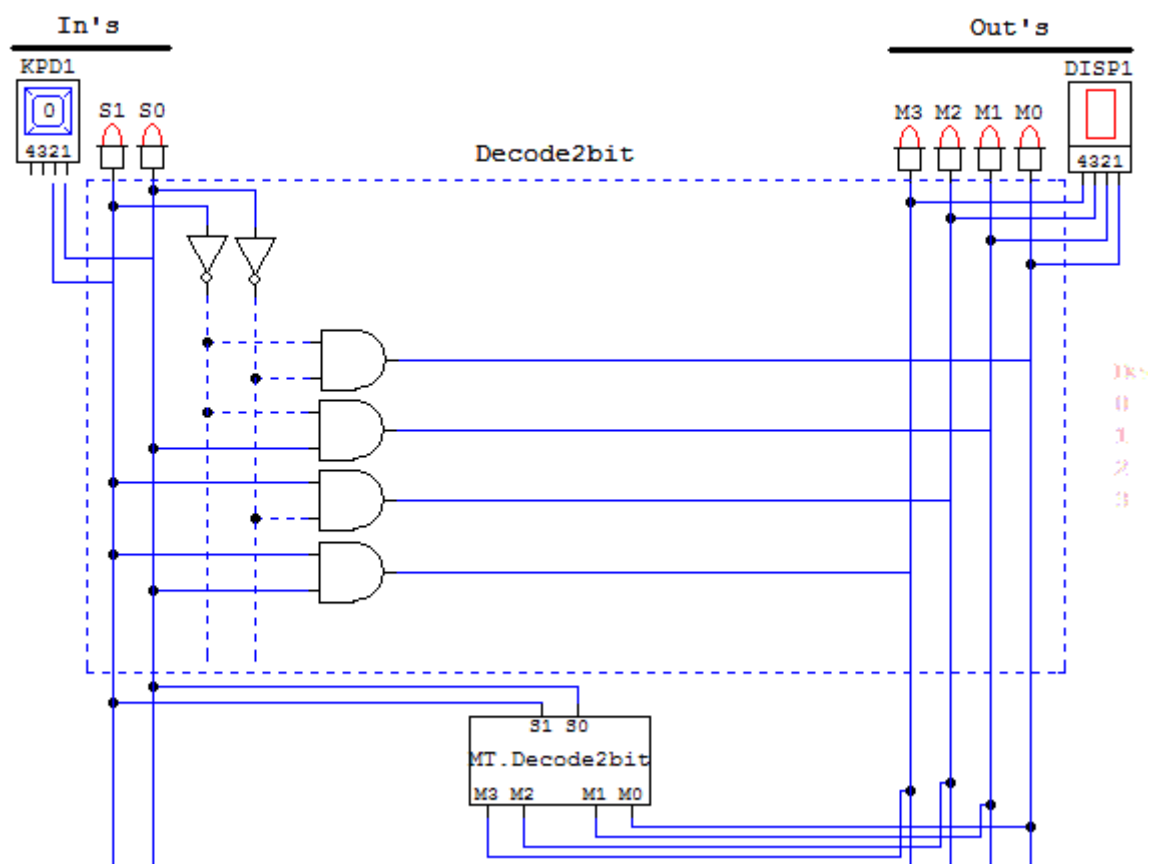
b) Tabela Verdade

Dec.	S1	S0	M3	M2	M1	M0
0	0	0	0	0	0	1
1	0	1	0	0	1	0
2	1	0	0	1	0	0
3	1	1	1	0	0	0

c) Circuito Lógico // Sem Macro

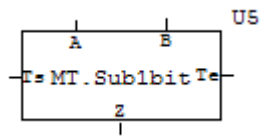


d) Circuito Lógico // Com Macro



6. Módulo Sub 1 bit

a) Modelo Lógico

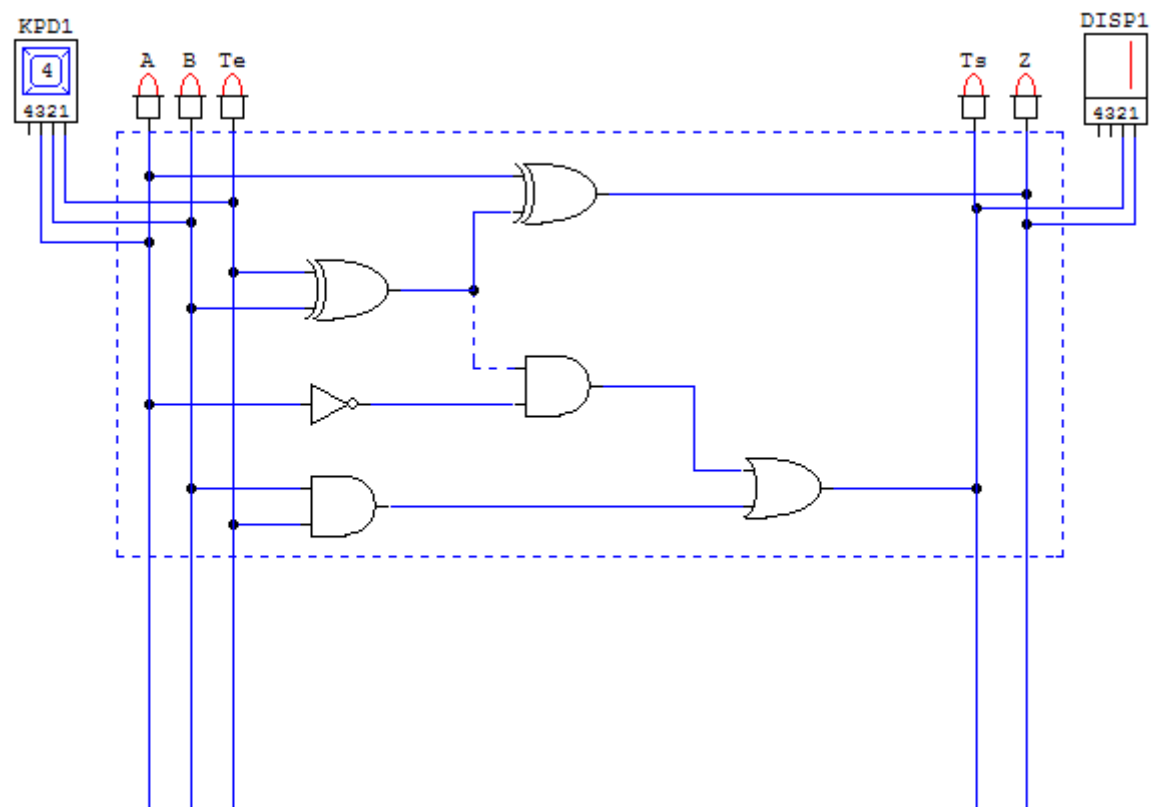


b) Tabela Verdade

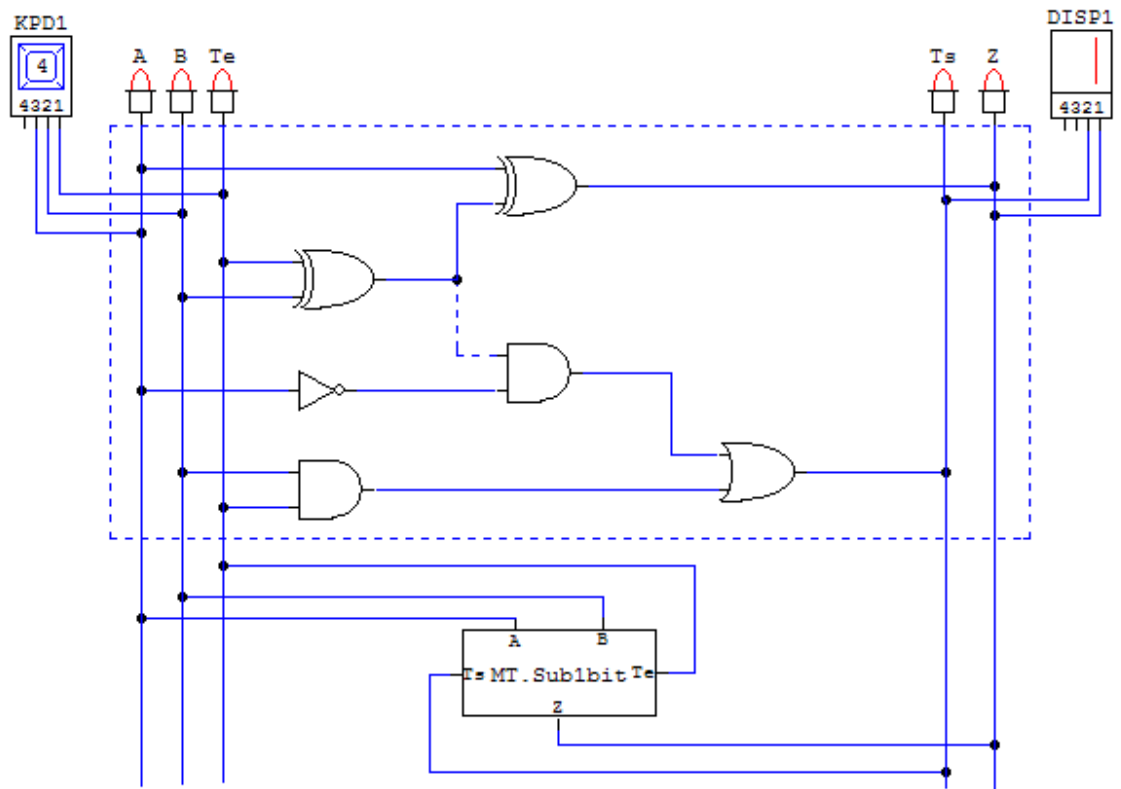
Dec.	A	B	Te	Ts	Z	Dec.
0	0	0	0	0	0	0
1	0	0	1	1	1	-1
2	0	1	0	1	1	-1
3	0	1	1	1	0	-2
4	1	0	0	0	1	1
5	1	0	1	0	0	0
6	1	1	0	0	0	0
7	1	1	1	1	1	-1

$$Z = A (+) (B (+) Te)$$
$$Ts = B.Te + \sim A . (B (+) Te)$$

c) Circuito Lógico // Sem Macro

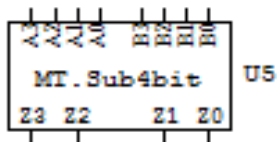


d) Circuito Lógico // Com Macro



7. Módulo Sub 4 bits

a) Modelo Lógico

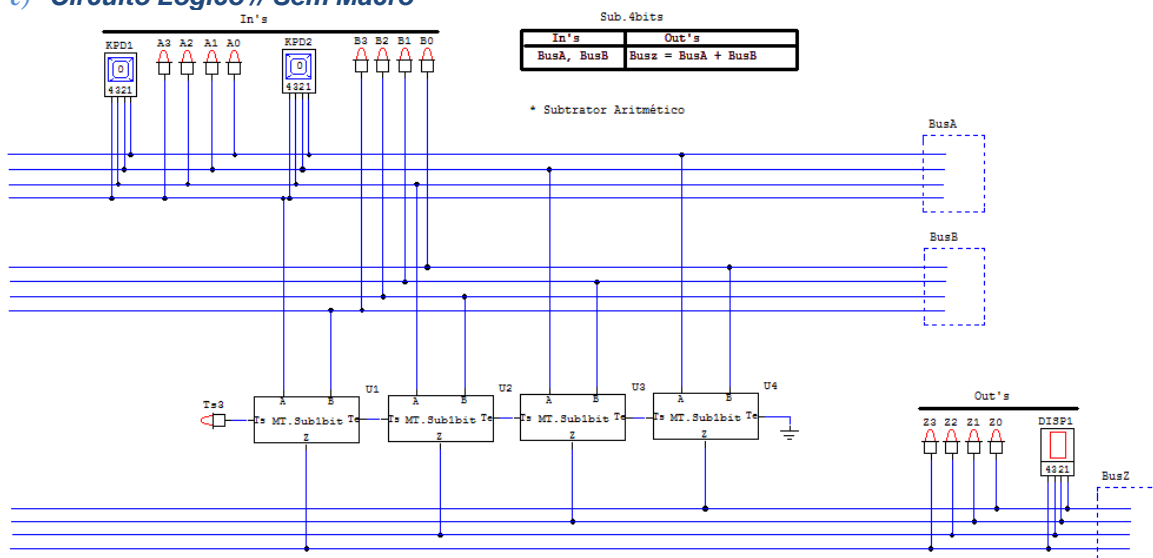


b) Tabela Verdade

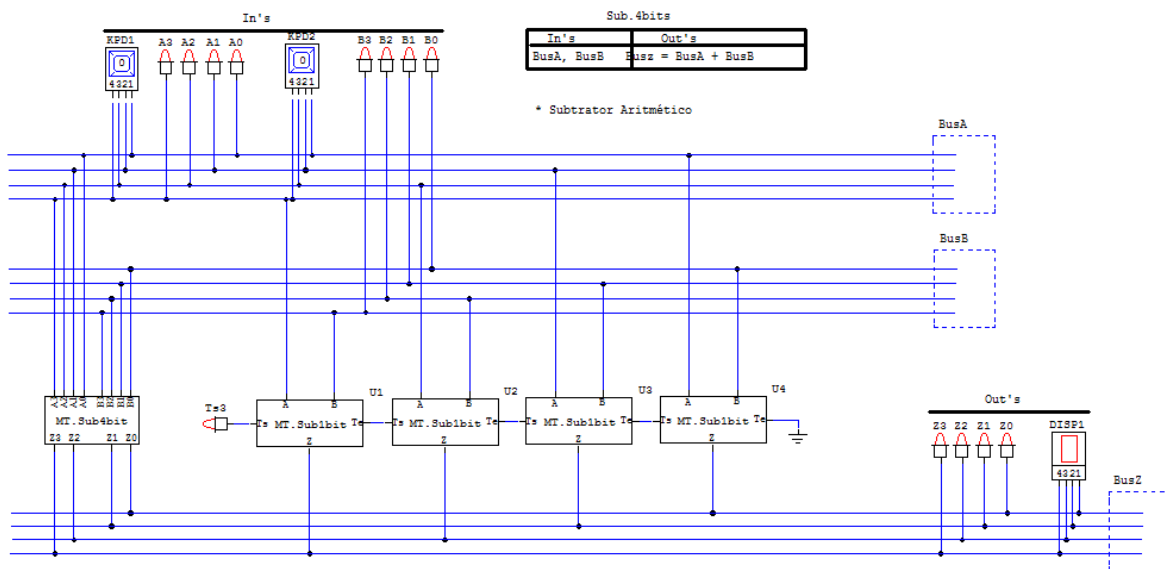
Sub.4bits

In's	Out's
BusA, BusB	Busz = BusA + BusB

c) Circuito Lógico // Sem Macro

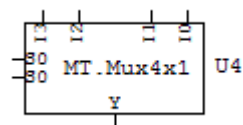


d) Circuito Lógico // Com Macro



8. Módulo Mux 4 bits

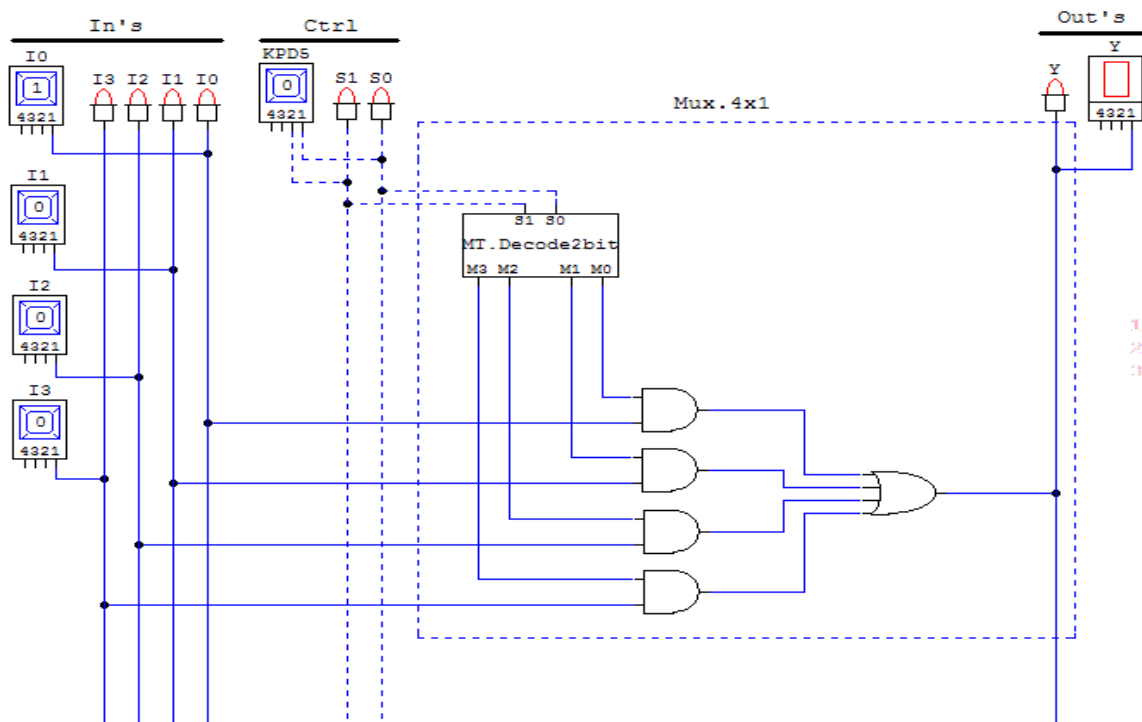
a) Modelo Lógico



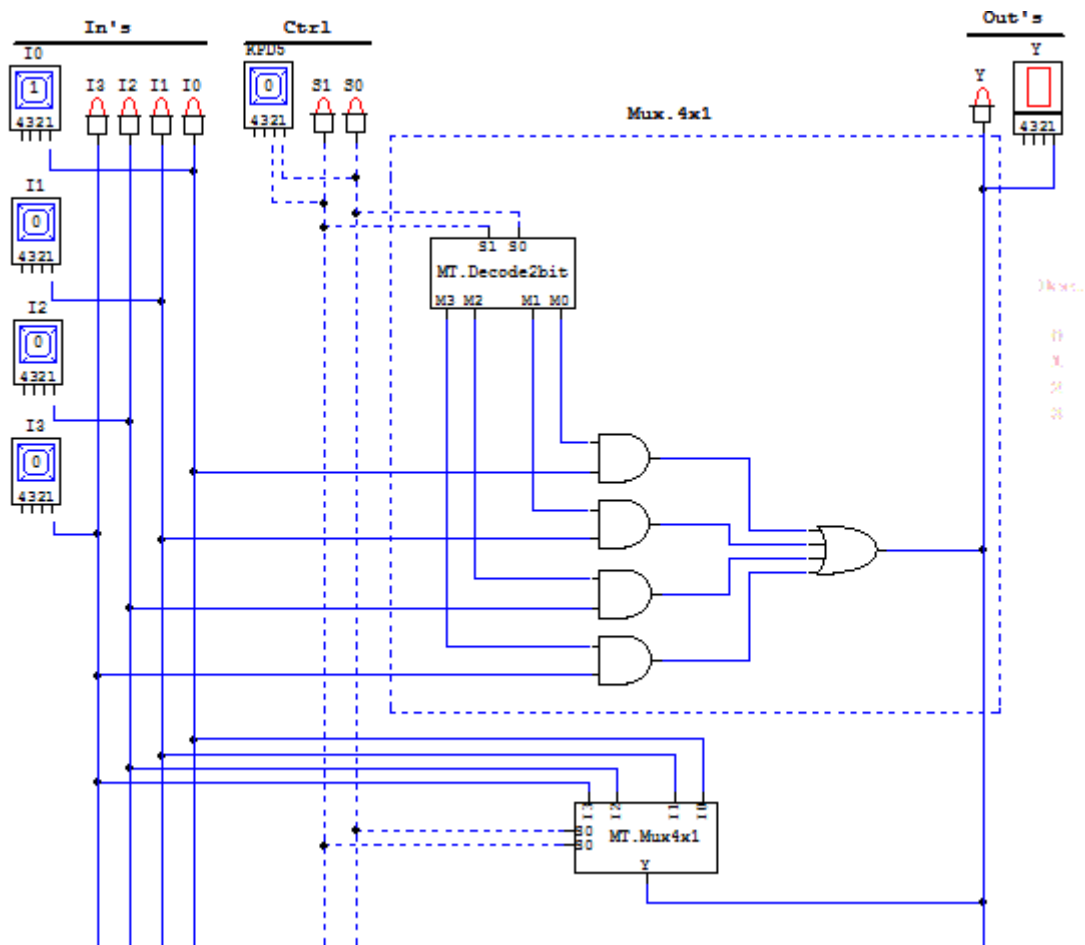
b) Tabela Verdade

Dec.	Ctrl		Out's
	S1	S0	Y
0	0	0	I0
1	0	1	I1
2	1	0	I2
3	1	1	I3

c) Circuito Lógico // Sem Macro

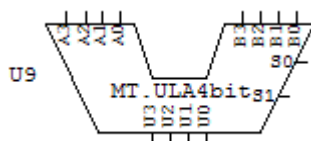


d) Circuito Lógico // Com Macro



9. Módulo ULA 4 bits

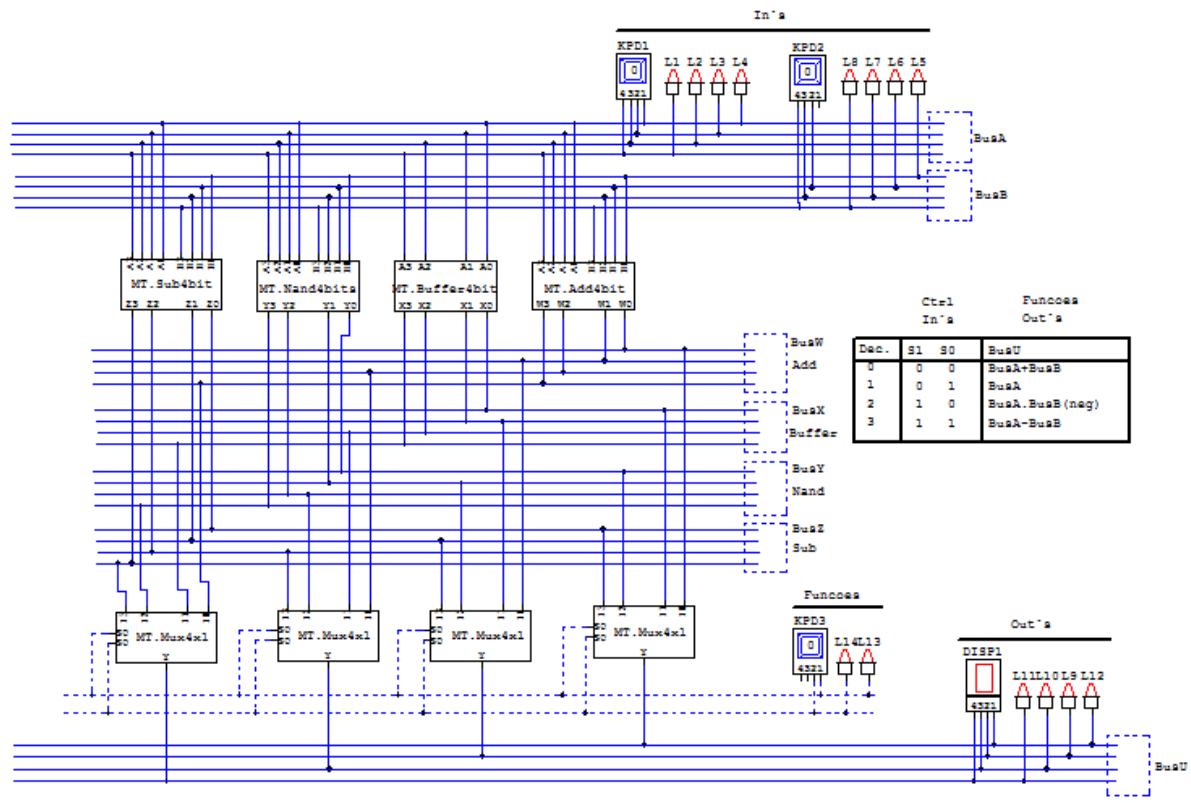
a) Modelo Lógico



b) Tabela Verdade

Dec.	Ctrl		Funcoes Out`s
	S1	S0	
0	0	0	BusA+BusB
1	0	1	BusA
2	1	0	BusA.BusB (neg)
3	1	1	BusA-BusB

c) Circuito Lógico // Sem Macro



d) Circuito Lógico // Com Macro

