

EASIROC MODULE User Guide

石島 直樹 (大阪大学 山中研究室)

仲居 勇樹 (九州大学 素粒子実験研究室)

March 18, 2014 (ver. 1.0)

目次

第1章 仕様	4
1.1 主な機能	4
1.2 EASIROC	4
1.3 各部説明	6
1.3.1 インターフェイス	6
1.3.2 ジャンパピンの設定	7
1.3.3 MPPC 接続	10
1.4 FPGA	10
第2章 使い方	11
2.1 MAC アドレス、IP アドレス設定	11
2.2 ソフトウェア	11
2.2.1 software/easiroc の説明	11
2.2.2 software/UDPCControl/udp の説明	13
2.3 実際の測定の流れ	14
2.4 データ構造	15
2.5 レジスターテーブル	15
2.5.1 Read Slow control register	16
2.5.2 Slow control register	16

図 目 次

1.1	EASIROC の回路図の概略 [1]。	5
1.2	EASIROC MODULE の前面、背面パネルの概観。	8
1.3	EASIROC MODULE の内部基板。	9
2.1	調整が不十分な場合、左や右のようになる。時定数や IN-HOLD の入力信号のタイミングを調整して中央のようになる。	14
2.2	青が IN-HOLD への信号、黄が HG-OUT 。左図は Hold するタイミングが遅いため peak を Hold できていない。delay を調整した結果が右図。peak を Hold できていることが分かる。	14
2.3	inputDAC の設定値と出力電圧。	17

表 目 次

第1章 仕様

個々の研究に対する考察は各章で述べたため、ここでは HL-LHC 用のシリコン検出器の試験用システムとしての考察と今後の課題を述べる。

1.1 主な機能

- EASIROC チップを 2 個搭載
 - 64 個の MPPC の同時駆動
 - 各チャンネルの MPPC への印加電圧を 0~4.5 V の間で調節可能
 - MPPC 出力を 10~150 倍の間で調節可能
 - MPPC 出力の立ち上がり時間を 25~175 ns の間で調節可能
- MPPC 出力を 12bitADC で取得可能
- LVDS 出力、もしくは FPGA による TDC データの取得
- MPPC への印加電源の内蔵
- MPPC 印加電圧 (0 ~ 90 V) の制御と各種環境状況 (温度、バイアス電圧、電流) のモニタリング
- Ethernet 経由での PC からのモジュール制御、データ取得
- Digital I/O による他機器との同期
- NIM、もしくは AC アダプタ電源 (+ 6 V)

1.2 EASIROC

EASIROC は Extended Analogue Silicon pm Integrated Read Out Chip の略称であり、フランスの Ω グループが開発した汎用の MPPC 読み出し用 ASIC である [1]。省電力 (5 mW/ch) で、32 個の MPPC を同時に読み出す事ができ、増幅率調節

可能なアンプ、波形整形増幅器、discriminator を各チャンネルが有している。また、inputDAC と呼ばれる内蔵 DAC により 0~4.5 V の範囲で 32 個の MPPC に印加するバイアス電圧を個別に調節できる。

内部回路の概要を図 1.1 に示す。入力信号 (正電圧) は 2 つのコンデンサによって High gain と Low gain に 10:1 の割合で分割される。その後に置かれたプリアンプによりそれぞれの信号を増幅し、波形整形器へと送り出す。波形整形器としては、電荷測定用の slow shaper と時間測定用の fast shaper が用意されている。fast shaper は high gain 側にのみ用意されていて、信号の立ち上がりが早い (15 ns 程度)。波形整形後の出力は discriminator へと送られる。一方、slow shaper で整形された信号のある瞬間の電圧が register でのスイッチングによって後段のコンデンサに保持される。電圧保持のタイミングは外部からの信号 (HOLD 信号) によって決める。32 チャンネルそれぞれに保持された電圧はスイッチングによって 1 チャンネル目から順番に外部へ出力される。

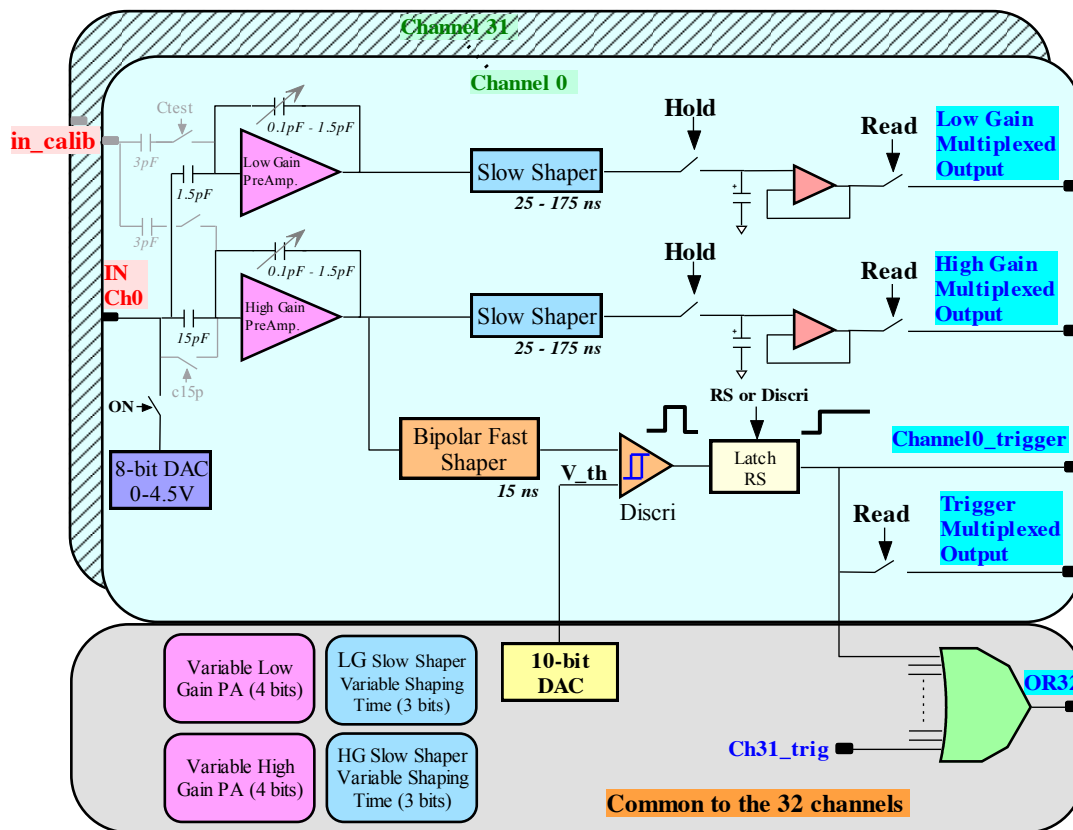


図 1.1: EASIROC の回路図の概略 [1]。

1.3 各部説明

1.3.1 インターフェイス

デジタル信号入力

- HOLD：peak hold のための trigger 入力端子。
- clear：clear 信号入力端子。(未実装)
- accept：accept 信号入力端子。(未実装)
- T STOP：TDC 用ストップ信号入力端子。(未実装)
- SYNC IN：同期用クロック入力端子。(未実装)
- D IN：予備端子。

デジタル信号出力

- BUSY：busy 信号出力端子。
- TRIG：64 チャンネルの OR 出力。
- SYNC OUT：同期用クロック出力端子。(未実装)
- D OUT1：予備端子。(現在は HG OUT1 のデジタル出力)
- D OUT2：予備端子。(現在は HG OUT2 のデジタル出力)
- LVDS1、2：各 channel の discriminator output をパラレルに出力。
1 がチャンネル 0 ～ 31、2 がチャンネル 32 ～ 63 の出力。(2013/12/21 現在、未テスト)

アナログ信号入出力

- HG OUT1、2：チャンネル 0 ～ 63 の任意のチャンネルの整形増幅後のアナログ信号を出力。
1 がチャンネル 0 ～ 31、2 がチャンネル 32 ～ 63 の出力
- PROBE1、2：整形増幅過程の任意のアナログ信号をプローブする。ユーザーは PreAMP 出力 (HG,LG)、Slow shaper 出力 (HG,LG)、Fast shaper 出力の 5 つから見たい信号を選択できる。
1 がチャンネル 0 ～ 31、2 がチャンネル 32 ～ 63 の出力

- HV：HV をモジュールの外とやり取りするための端子。
ジャンパピンの設定によって入力と出力を切り替える。(後述)

MPPC 読み出し端子

- SENSOR1、2：MPPC の電圧供給、信号読み出しのための 68pin 端子。
温度計もここに接続する。推奨はアナログデバイス社の AD592。

Ethernet 端子

LED

- LED1:電源投入で赤、SiTCP 通信確立後は緑に点灯。
- LED2：BUSY 時、緑に点灯。
- LED3：トリガー時、緑に点灯。
- LED4：HV が 5V 以上の時、緑に点灯。

電源

- AC 用電源 (+6V)：AC アダプター用の電源。
GND が取れていないので、使用する際は GND を落とすこと。
- NIM 用電源 (+6V)：NIM 規格の電源。

1.3.2 ジャンパピンの設定

- JP1：EROM への書き込みを制御する。
1&2 ショート：JTAG で直接書き込み。
2&3 ショート：イーサネットで書き込み。
- JP2：HV の回路を制御する。
2&3 ショート：内部 HV を MPPC へ供給する。
1&3 ショート：外部 HV を MPPC へ供給する。
- JP3：外部へ HV を供給させる。
1&2 ショート：内部 HV を外部へ出力する。

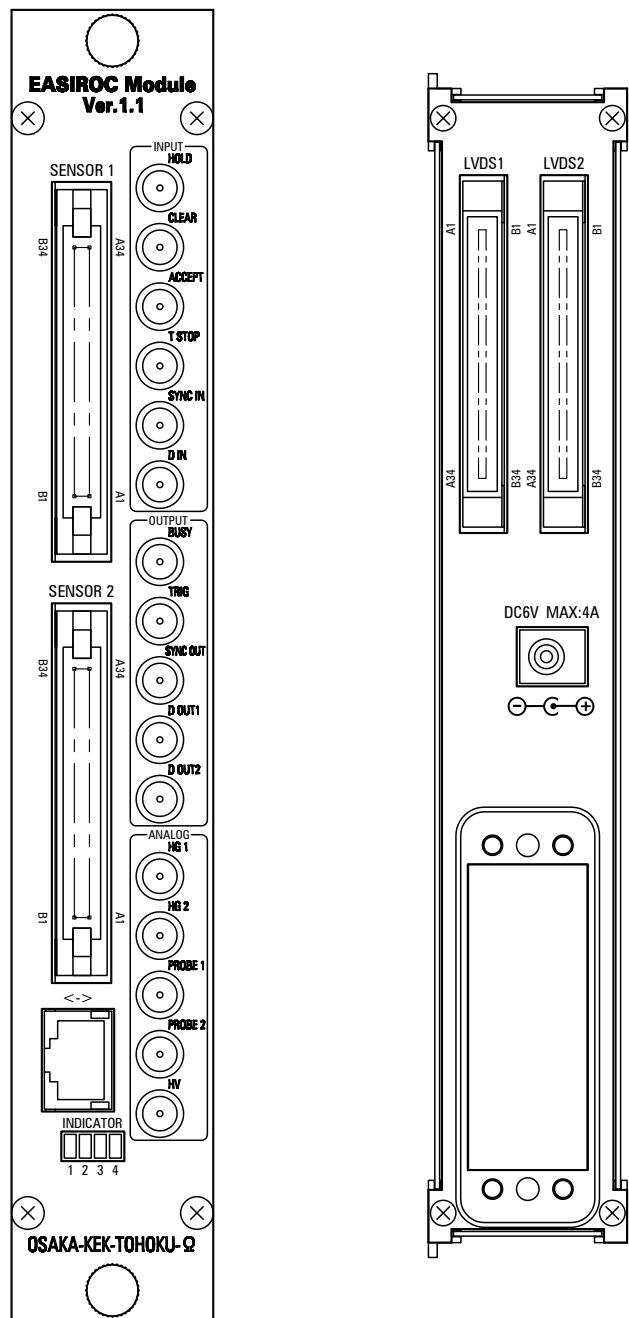


図 1.2: EASIROC MODULE の前面、背面パネルの概観。

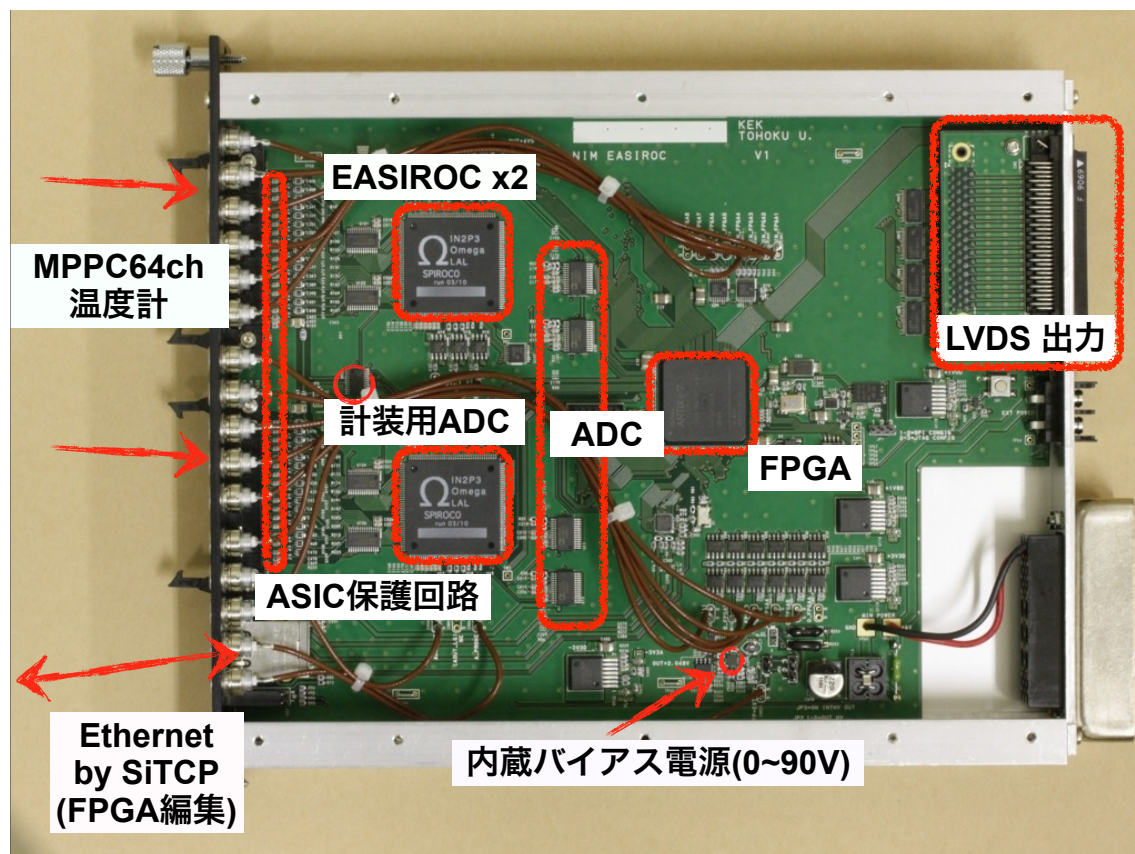


図 1.3: EASIROC MODULE の内部基板。

1.3.3 MPPC 接続

SENSOR1、2 への接続はフラットケーブルを用いる。必要なコネクタと、配線の関係を示す。

コネクタ

- HIF6-68D-1.27R 。モジュール側のコネクタ。ヒロセ社製 68pin。
- HIF3BA-34D-2.54R。MPPC 側のコネクタ。ヒロセ社製 34pin。
- フラットケーブル 。34 芯 1.27mm ピッチのものであれば良い。

MPPC とコネクタの接続

B34~B3: ch0~15 (奇数が signal line)
A34~A3: ch16~31 (奇数が signal line)
A1,2: 温度計

1.4 FPGA

第2章 使い方

2.1 MACアドレス、IPアドレス設定

モジュールのMACアドレスは基板上のPROMに保存されている。モジュールに固有のMACアドレスはビー・ビーンズ社より提供され、専用のプログラムによってPROMに書き込みを行う。プログラムはSiTCPユーザーコミュニティのホームページよりダウンロードできる。

IPアドレスも同様に基板上のPROMに保存されており、初期値は192.168.10.16である。基板上のDIPスイッチのチャンネル1を切り替えることで初期値(スイッチOFF)かユーザーの設定した値(スイッチON)かを選ぶことができる。任意の値を設定するためには、SiTCPユーザーコミュニティからダウンロードできる書き換え用のプログラムを用いる。書き換える際はDIPスイッチをOFFにしておく必要がある。

2.2 ソフトウェア

基本的にはsoftware/easiroc及びsoftware/UDPcontrol/udpというプログラムで動作させる。

2.2.1 software/easirocの説明

モジュールの主な操作をここで行う。

操作の流れとしては、software/setup/～.txt内でSlow Controlのパラメーターを編集し、反映させるようになっている。パラメーターの編集については後述する。

プログラムの引数は

【IPアドレス (192.168.10.16 がデフォルト)】 【DAQ Mode】

である。ここで、DAQ Modeは”1”(ADCのみ)、“2”(TDCのみ)、“3”(ADC&TDC)の3種があるが、特に理由がなければ”3”で問題無し。実行できればLEDランプ1が緑に点灯する。

実行後、1～7のコマンドを実行してMPPC HV・温度モニター以外についてのコントロールを行うことができる。各コマンドの説明は以下の通り。

1. Slow Control の設定を反映。

2. 読み出し CH の設定を反映。(ReadSC_Channel .txt)
3. ASIC の初期化。(起動時に自動的に使用している。)
4. Probe での出力を選択。(対話形式で MPPC CH・Mode を選択)
OUT PA HG/LG → High Gain/ Low Gain 側の preamp 出力
OUT SSh HG/ LG → High Gain/ Low Gain 側の slow shaper 出力
OUT FS → Fast Shaper からの波形出力
Next/Previous
Reset → Probe の接続切断
※測定前には Reset を選択して接続を切ること！
5. 終了
6. DAQ 開始 (対話形式でファイル名・#events を指定)
7. デバッグ用 mode (ユーザーは使用しない)

2.2.2 software/UDPControl/udp の説明

HV の設定・温度確認を行うプログラム。

easiroc を動作させた後に動かす。こちらも対話式で1～5、8、9のコマンドを選択する。

各コマンドの説明は以下の通り。

1. 共通の HV 値を操作する。(DAC 調整前の値)
2. HV 値と電流値のモニター。(DAC 調整前の値)
3. 各チャンネルの input DAC 調節後の HV 値を表示する。
4. 温度を出力 (UDPcontrol.cc 内で factor を編集できる。要 make)
5. 終了
8. Debug 用
CH の選択を行い、各 EASIROC チップの○番目に回路を接続。
9. Debug 用 ADC のモードを選択する。
HV、Current、EASIROC の値、Temp のどれを読み取るかを選択。
ただし、測定時は MUX の影響が出てくるので、**CH=32 (No Connect) を選択**すること。

※各 CH の HV 微調整は Input8bitDAC .txt で調整する。255=0V、256=約 4.5V となり、257以降は 4.5V から徐々に減少していく。

※モニターする電流値は DC-DC コンバーター部分の電流値。**MPPC の電流値ではない。**

2.3 実際の測定の流れ

1. Ethernet ケーブルを繋いだ状態で電源を投入。(10 秒程で赤ランプ点灯)
2. プログラム (easiroc → udp の順) を動作させて MPPC に HV を掛ける。
3. IN-HOLD 端子に TRIG 信号 or 外部トリガー信号を入力。
4. peak 位置が早過ぎると低い値で hold されてしまうので、peak が hold される様に IN-HOLD へ入力する信号のタイミングを調整する。または、アンプの時定数 (TimeCHGSSh○.txt) を調整する。(図 2.1、2.2)

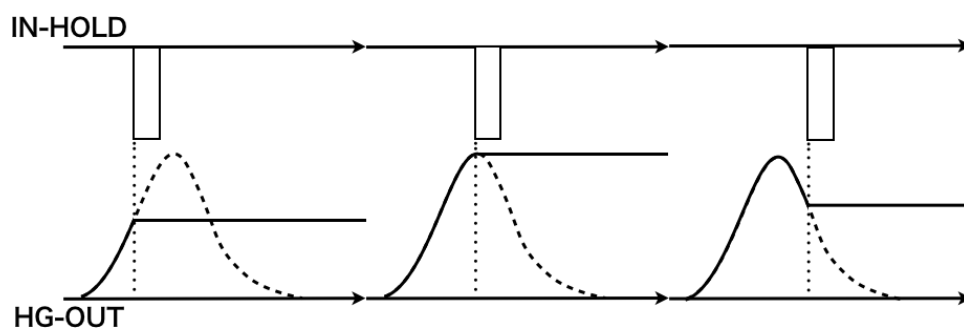


図 2.1: 調整が不十分な場合、左や右のようになる。時定数や IN-HOLD の入力信号のタイミングを調整して中央のようになる。

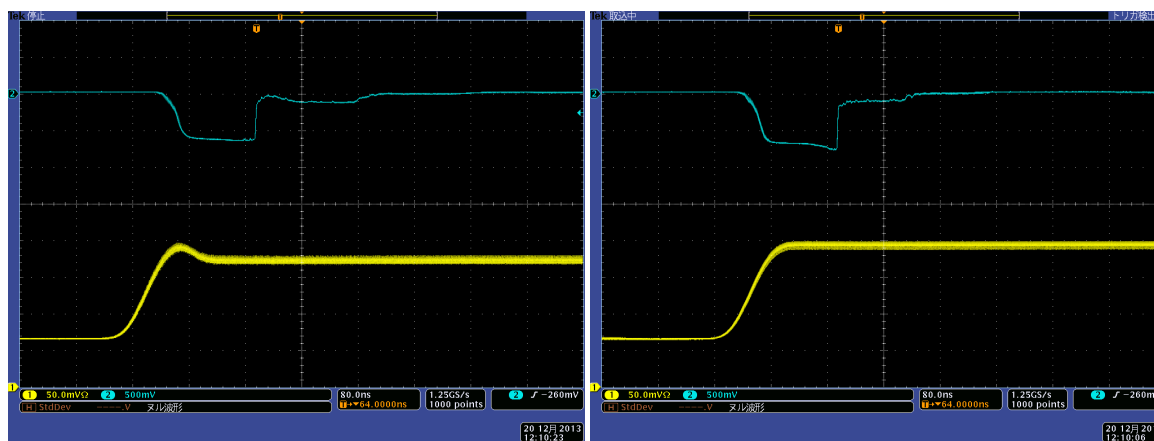


図 2.2: 青が IN-HOLD への信号、黄が HG-OUT。左図は Hold するタイミングが遅いため peak を Hold できていない。delay を調整した結果が右図。peak を Hold できていることが分かる。

5. DAQ を start。(easiroc プログラム 6 番コマンド)

6. ROOT のマクロ (ehist64.cc) を読み込み、デコードする。
chhist : 「ADC vs ch」の2次元プロット (TH2F)
ch : 各 ch の ADC 分布 (TH1F)
が生成される。

2.4 データ構造

本回路から転送されてくるデータは 96bit 長の header + データである。footer は存在しない。1 word を 32bit として扱う。

Header part	31 bit	0bit
	[8bit][8bit][8bit][8bit]	
Header1	[0xffff][0xea0c]	
Header2	[reserved][Number of word]	
Header3	[EventCounter (12bit)][reserved]	
.....		
ADC part	31 bit	0bit
	[8bit][8bit][8bit][8bit]	
data1	[0x81,0x60][ch (5bit)][000 + X + data(12bit)]	
data2	[0x81,0x60][ch (5bit)][000 + X + data(12bit)]	
.....		

Header 部は Magic word 0xffffea0c、そのイベント内のワード数、イベント番号で構成される。ワード数は Header のワード数を含まない。EventCounter は FPGA 内部のセルフカウンターであり、イベントを転送した回数を数えている。

ADC のデータは先頭の 8bit が EASIROC チップ 1 か EASIROC チップ 2 かを示しており、0x81 で チップ 1、0x60 で チップ 2 である。次の 8bit の内下位 5bit がチャンネル番号を示す。下位 16bit の内、13bit 目がオーバーフロービットで、1 の場合 ADC がレンジオーバーを起こしている。最後の 12bit 分が ADC のデータである。

2.5 レジスターテーブル

EASIROC に使用しているレジスターについて説明する。レジスター編集用のファイルは software/setup ディレクトリ内にテキストファイルの形で保存されている。プログラムを立ち上げた状態でもテキストエディタでファイルを変更してから、再び Transmit SC を選択すれば変更内容が EASIROC へ反映される。ここではレジスタ

ファイルの設定方法について述べる。テキストファイルには○1.txt と○2.txt が存在するが、これは MODULE 内の EASIROC チップ 1、2 に対応している。

2.5.1 Read Slow control register

ReadSC Channel1.txt, ReadSC Channel2.txt

どのチャンネルの信号を analog out HG に出力するかを決める。analog probe とはレジスタが別。読み出したいチャンネルを 1 にして転送する。2bit 以上 1 を立てて送ろうとした場合プログラムが強制終了する。ReadSC Channel1.txt が HG1、2 が HG2 の出力に対応している。

2.5.2 Slow control register

DAC1.txt , DAC2.txt

discriminator の閾値を設定する。閾値は 32ch 共通。数字が小さいほど閾値が上がる。チップ毎に個性があるので注意が必要である。

HGPAFback1.txt, HGPAFback2.txt, LGPAFback1.txt, LGPAFback2.txt

PreAMP の feed back capacitance の値を決める。容量が大きいほど gain は小さくなる。デフォルトでは HG/LG 共に 200 fF が設定されている。各コンデンサ容量に対する増幅度は easiroc のデータシートに記載されている。

TImeCHGSSh1.txt, TImeCHGSSh2.txt, TImeCLGSSh1.txt, TImeCLGSSh2.txt

slow shaper のピーキングまでの時間を 25 ns から 175 ns の間で変更できる。

Input8bitDAC1.txt , Input8bitDAC2.txt

MPPC の bias 調整の DAC の出力電圧をチャンネルごとに設定する。9bit 構造で、9bit 目が DAC の on/off。下位 8bit 部分でかける電圧を決める。256 で最大電圧が出力される。InputDAC の 1bit は 20 mV で固定されているため、500 程度で出力は 0V になる。

PreAMPCtest1.txt , PreAMPCtest2.txt

PreAMP にテストチャージを入れるための設定、及び PreAMP の disable 設定を行う。2bit 構成で、下位 bit がテストチャージ入力を入れるチャンネルを決める。上位 bit が PreAMP の disable 設定である。上位 bit はいくつ複数のチャンネルで立てて良いが、下位 bit は複数チャンネルに立ててはいけない。テストチャージは FPGA から供給されているのでユーザーが電荷を入射する必要はない。

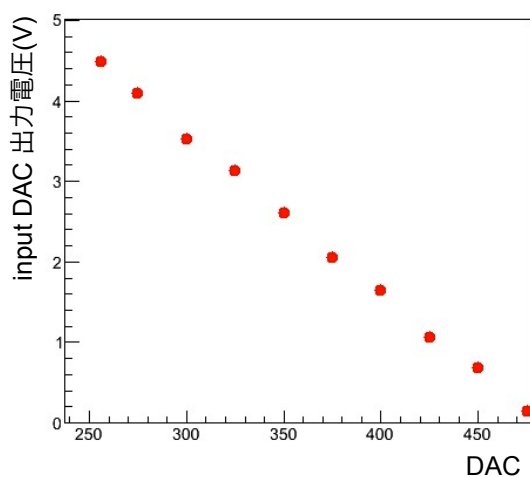


図 2.3: inputDAC の設定値と出力電圧。

参考文献

- [1] Omega group, [EASIROC DATA SHEET], (2011).
- [2] 本多 良太郎, [EASIROC テストボード仕様書], (2013).