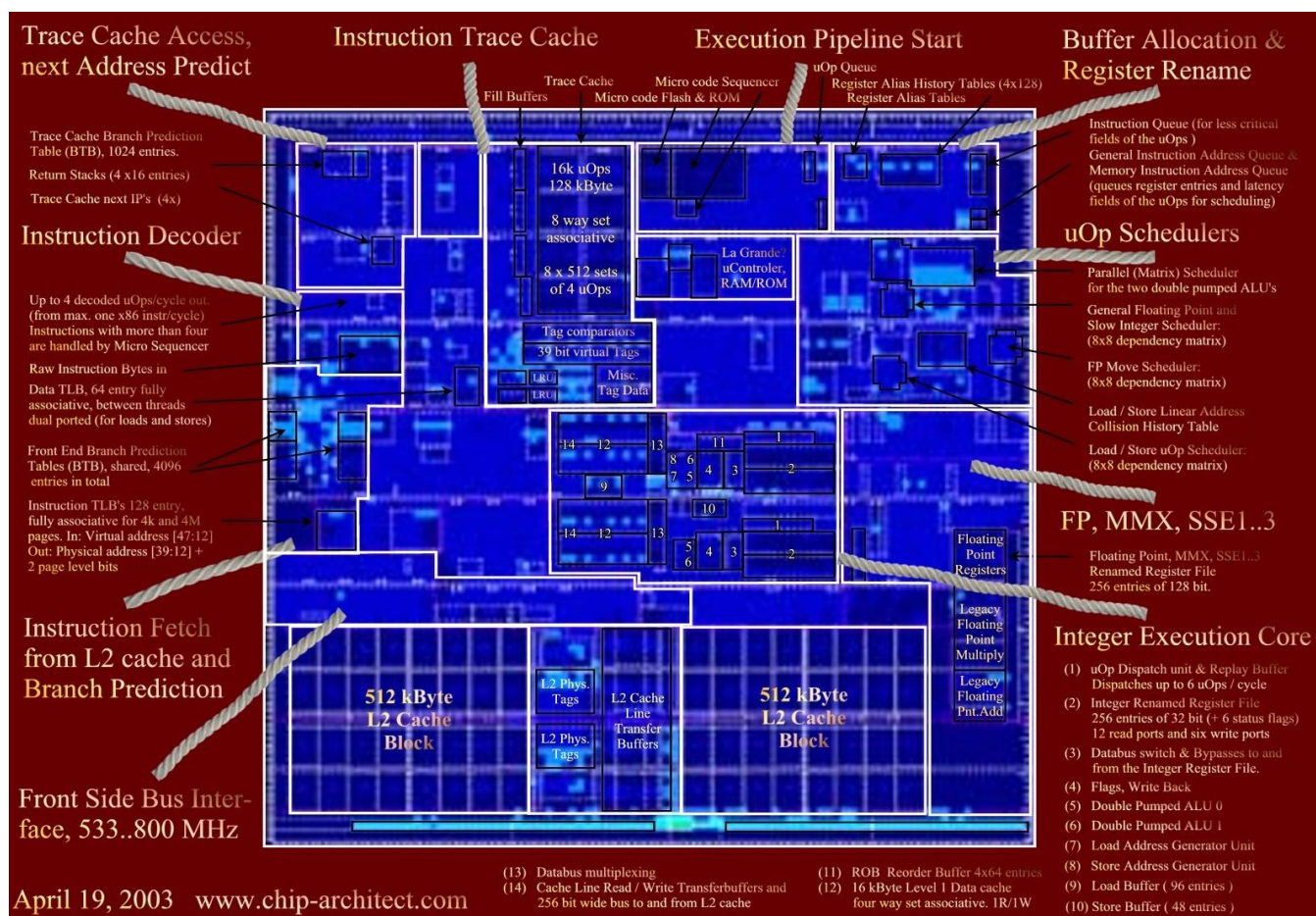


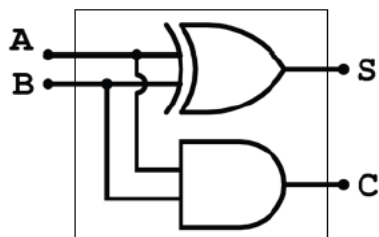
## Sumadores, Restadores, Multiplicadores y Divisores

La práctica consiste en realizar y analizar varios circuitos digitales centrados en las operaciones de suma, resta, multiplicación y división. Estas unidades vienen incorporadas en los procesadores y en lo que se conocería como el “Execution Core”. A modo de ejemplo, a continuación, se muestra la vista microscópica del procesador Intel Pentium 4 Prescott, lanzado en 2003 con una tecnología de fabricación de 90nm y alrededor de 125 millones de transistores.

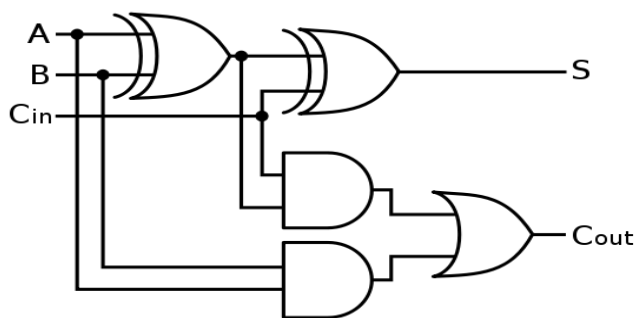


Para ello se utilizará como herramienta de soporte la aplicación TkGate. Esta herramienta consta de un editor gráfico, un simulador de circuitos digitales desarrollado con Tcl/Tk y una librería de funciones que incorpora desde componentes básicos como puertas lógicas hasta componentes más complejos como registros y memoria. Para un mejor seguimiento de la práctica, se han dividido las distintas tareas a realizar en las fases que se detallan a continuación:

**TAREA 1:** Realizad el circuito digital *Half Adder (HA)* de 1 bit que se muestra en la siguiente figura. Suponed que los retardos de las puertas lógicas utilizadas son AND=3T y XOR=4T. **(0.125P)**

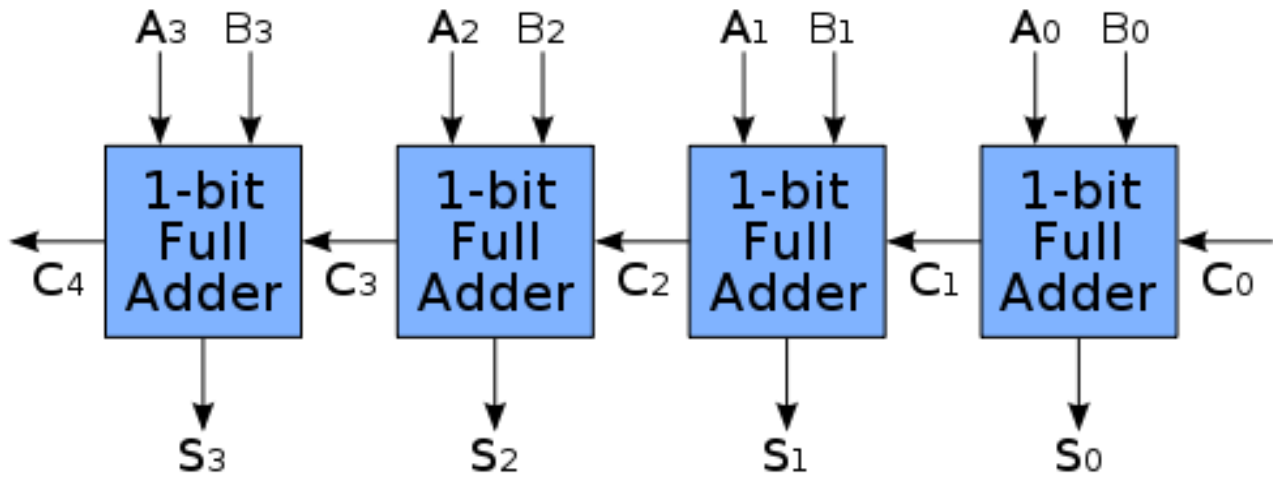


**TAREA 2.** Realizad el circuito digital *Full Adder (FA)* de 1 bit con acarreo de entrada utilizando sumadores *Half Adders (HA)* de 1 bit e indicad los tiempos de retardo y el área utilizada. Suponed que los retardos de las puertas lógicas utilizadas son de AND=3T, OR=3T y XOR=4T. **(0.125P)**



**TAREA 3.** Realizad una implementación alternativa al mismo circuito *Full Adder (FA)* de 1 bit con acarreo de entrada y comparad los tiempos de retardo y área con la solución anterior. Suponed los mismos retardos de las puertas lógicas utilizadas en la tarea anterior. **(0.25P)**

**TAREA 4.** Realizad el circuito digital *Carry Propagate Adder (CPA)* de 4 bits que se muestra en la siguiente figura e indicad y formulad los tiempos de retardo y el área utilizada. Asumid el *Full Adder (FA)* de 1 bit considerado en la Tarea 2. **(0.25P)**



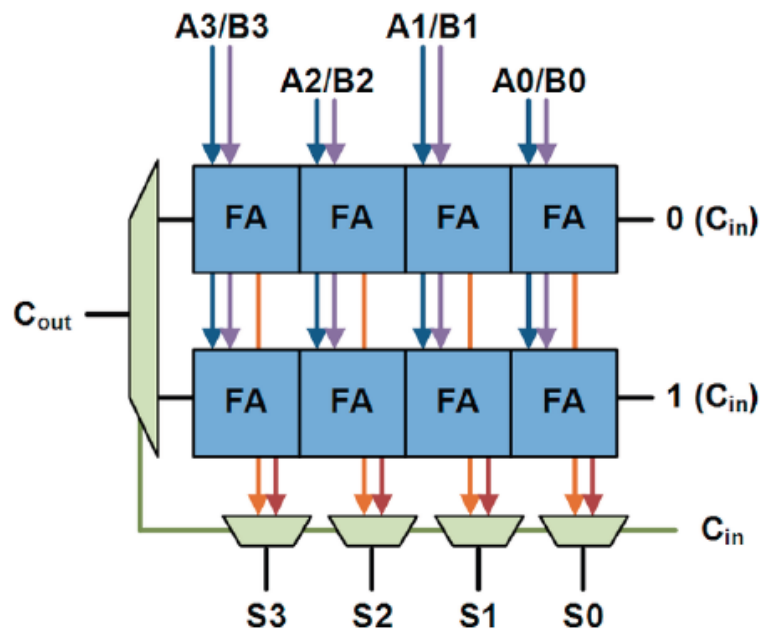
**TAREA 5.** Realizad el mismo circuito digital *Carry Propagate Adder (CPA)* de 4 bits que se muestra en la tarea anterior y formulad los tiempos de retardo y el área utilizada. Asumid el *Full Adder (FA)* de 1 bit considerado en la Tarea 3. **(0.25P)**

**TAREA 6.** Indicad las fórmulas que describen los tiempos de retardo del circuito digital *Carry Propagate Adder (CPA)* de 4 bits implementado en las tareas anteriores. Aplicando esa fórmula, mostrad los tiempos de retardo que introduciría un CPA de 8 bits, 16 bits, 32 bits, 64 bits y 128 bits para cada una de las dos posibles implementaciones de *Full Adder (FA)* de 1 bit consideradas en las tareas anteriores **(0.75P)**

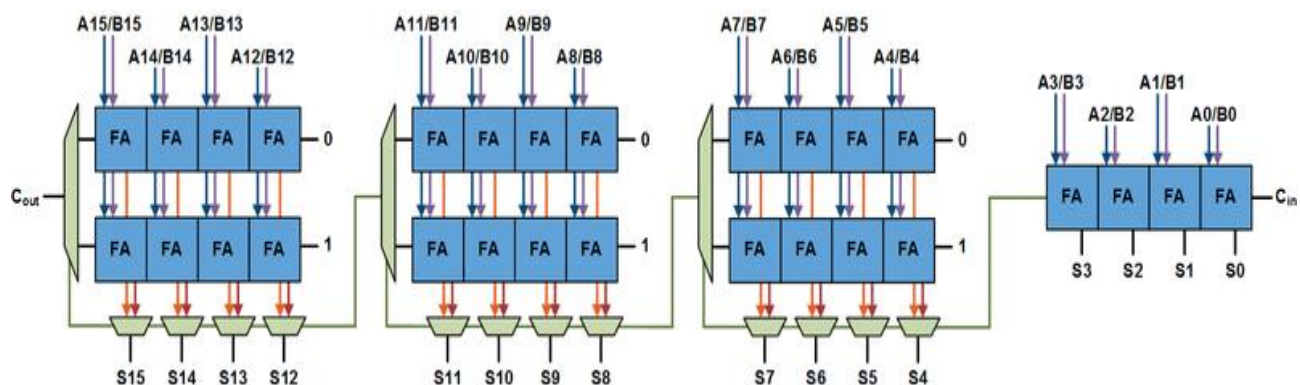
**TAREA 7.** Realizad un circuito digital *Carry Propagate Adder (CPA)* de 16 bits e indicad y formulad los tiempos de retardo y el área utilizada. Utilizad para esta implementación el circuito *Carry Propagate Adder (CPA)* de 4 bits implementado en la Tarea 4. **(0.5P)**

**TAREA 8.** Realizad un circuito digital restador de 16 bits e indicad los tiempos de retardo y el área utilizada. **(0.5P)**

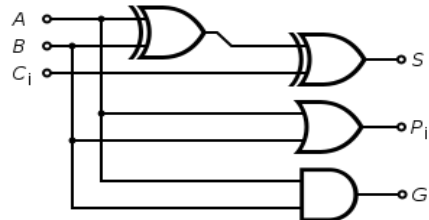
**TAREA 9.** Realizad el circuito digital sumador *Carry Select Adder (CSA)* de 4 bits que se muestra en la siguiente figura e indicad y formulad los tiempos de retardo y el área utilizada. Asumid el diseño de *Carry Propagate Adder (CPA)* de 4 bits implementado en la Tarea 4 y un retardo para el multiplexor de  $2T$ . (0.75P)



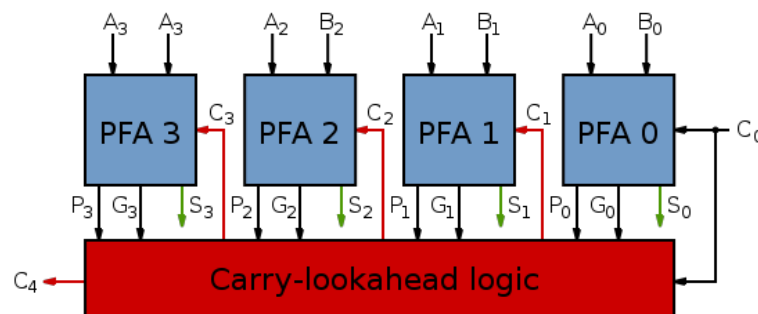
**TAREA 10.** Realizad un circuito digital *Carry Select Adder (CSA)* de 16 bits e indicad y formulad los tiempos de retardo y el área utilizada. Utilizad para esta implementación el circuito *Carry Select Adder (CSA)* de 4 bits implementado en una tarea anterior. (0.75P)



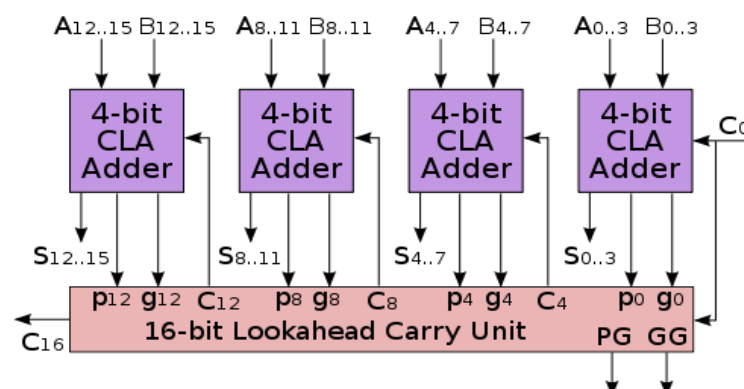
**TAREA 11.** Realizad el circuito digital *Partial Full Adder (PFA)* de 1 bit con acarreo de entrada que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Suponed que los retardos de las puertas lógicas utilizadas son de AND=3T, OR=3T y XOR=4T. **(0.25P)**



**TAREA 12.** Realizad el circuito digital *Carry Look-Ahead Adder (CLA)* de 4 bits que se muestra en la siguiente figura e indicad los tiempos de retardo y el área utilizada. Asumid el diseño de *Partial Full Adder (FA)* de 1 bit implementado en la tarea anterior. Suponed que los retardos de las puertas lógicas utilizadas son de AND=3T, OR=3T y XOR=4T. **(0.75P)**



**TAREA 13.** Realizad un circuito digital *Carry Look-Ahead Adder (CLA)* de 16 bits mediante los CLA de 4 bits implementados en la tarea anterior y conectadlos en cascada tal y como se muestra en la siguiente figura. Indicad los tiempos de retardo y el área utilizada. **(0.75P)**

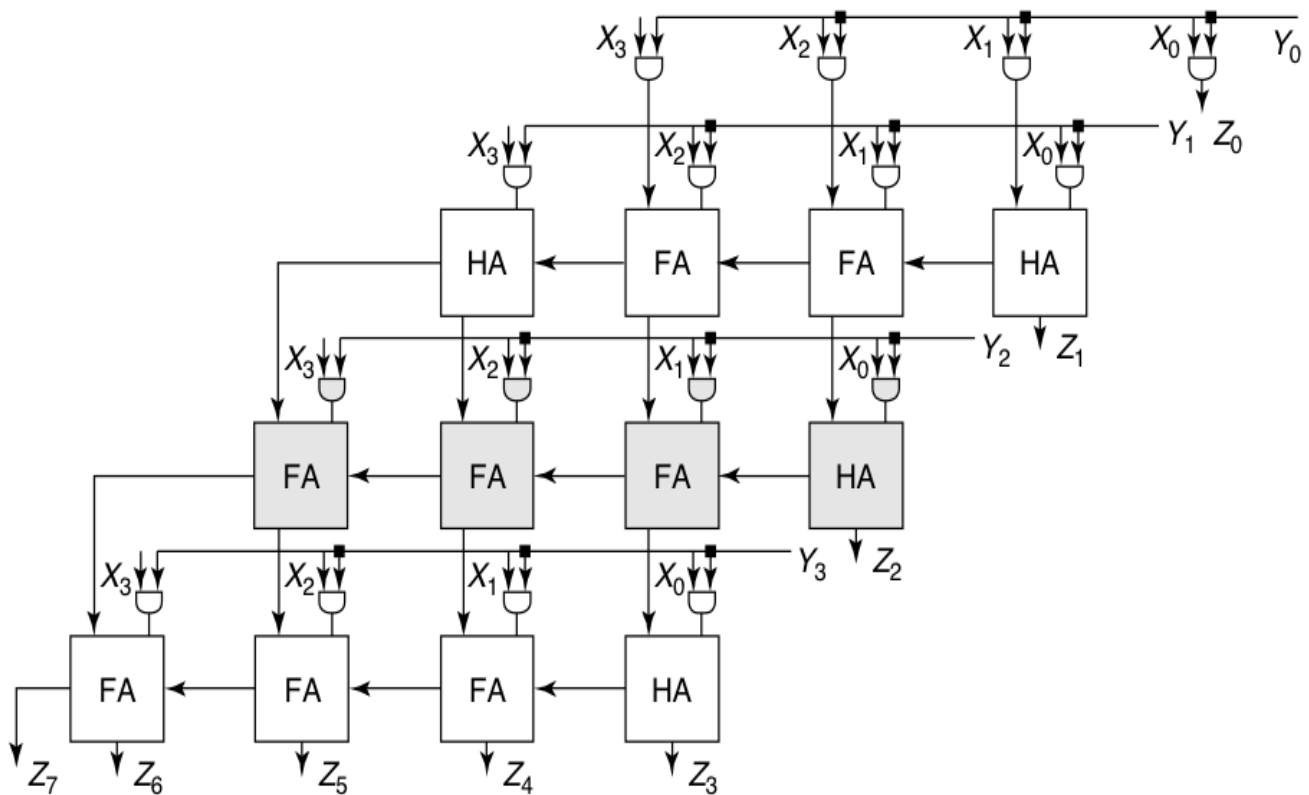


**TAREA 14.** Calculad y justificad los tiempos de retardo de todas las señales del circuito digital Carry Look-Ahead Adder (CLA) de 16 bits implementado en la tarea anterior. **(0.75P)**

**TAREA 15.** Comparad los tiempos y áreas de los sumadores *Carry Propagate Adder (CPA)*, *Carry Select Adder (CSA)* y *Carry Look-Ahead Adder (CLA)* de 16 bits realizados anteriormente. **(0.25P)**

**TAREA 16.** Realizad un circuito digital multiplicador *Ripple Carry Array de 2 bits* e indicad los tiempos de retardo y el área utilizada. Asumid el diseño de *Half Adder (HA)* implementado en una tarea anterior y un retardo para las puertas AND de 3T. **(0.5P)**

**TAREA 17.** Realizad el circuito digital multiplicador *Ripple Carry Array de 4 bits* que se muestra en la siguiente figura e indicad el tiempo de retardo y el área utilizada. Asumid los diseños de *Half Adder (HA)* y *Full Adder (FA)* de 1 bit implementados en las tareas anteriores. Suponed también que los retardos de las puertas lógicas utilizadas son de AND=3T, OR=3T y XOR=4T. **(0.75P)**



**TAREA 18.** Calculad los tiempos de retardo de todas las señales de todos los *Half Adder (HA)* y *Full Adder (FA)* de 1 bit del circuito digital multiplicador *Ripple Carry Array de 4 bits* implementado en la tarea anterior. **(0.5P)**

**TAREA 19.** Investiga qué tipo de sumadores/multiplicadores se emplean en procesadores comerciales actuales (Intel, AMD, ARM, Apple, NVIDIA, Qualcomm, etc). Para responder, debes consultar y citar fuentes fiables como documentación técnica de los fabricantes, artículos de revistas especializadas en arquitectura de procesadores, conferencias de arquitectura de computadores o análisis detallados de expertos en hardware. **(1P)**



- La práctica se realizará **en GRUPOS DE 2 PERSONAS**
- Se realizará una entrevista y prueba del funcionamiento de los circuitos con todos los integrantes del grupo en un horario a convenir con el profesor de laboratorio.
- La evaluación de la práctica, si bien es conjunta en cuanto al trabajo realizado, es individual en función de cómo se responda a las diferentes preguntas planteadas por el profesor de laboratorio.
- Será necesario que cada integrante realice un video de no más de 5 minutos de duración con la explicación y funcionamiento de los circuitos más significativos
- Será necesario realizar un informe (**obligatoriamente en PDF**) donde aparezca lo siguiente
  - Portada con el nombre de la asignatura y componentes del grupo
  - Índice del documento
  - Para cada una de las tareas (si procede) se deberá incluir:
    - Especificación: enunciado de la tarea
    - Diseño: las decisiones más relevantes tomadas en la solución propuesta
    - Implementación: impresión de pantalla de la implementación final en el simulador
    - Juego de pruebas: conjunto de pruebas que se han realizado para verificar el correcto funcionamiento del circuito.
    - Análisis de Resultados: análisis del diseño realizado a partir de los tiempos (teóricos y reales) y área del circuito.
- La entrega se realizará en un único fichero ZIP y deberá contener
  - El informe de la práctica en PDF
  - Un directorio con nombre *TAREAS* en el que se incluirán todos los circuitos del Tkgate realizados. Además, los nombres de cada uno de esos circuitos tendrán que seguir el formato *TareaN.v* siendo N el número de la tarea.
  - Un directorio con nombre *VIDEOS* en el que se incluirán los dos videos correspondientes a cada uno de los dos integrantes del grupo. Además, el nombre de esos videos tendrá que seguir el formato *Video\_Practical\_NombreAlumno*
- Sólo es necesario que uno de los integrantes del grupo suba el fichero ZIP a moodle.