

# 数电实验硬件测试平台说明文档

## 一、结构组成

本测试平台使用 verilog 语言编写，共分为 6 个模块。

### 1.1 Clock Wizard

时钟管理单元，负责对 FPGA 上的晶振时钟进行分频，得到更高或更低的时钟频率，作为系统时钟。

端口名	方向	位宽	备注
clk	input	1	-
clk_out	output	1	-

### 1.2 data\_in\_mem

存储输入数据的单口 ROM，卷积题目输入数据共 32 个，LDPC 题目输入数据最多  $8*8 = 64$  个，因此该 ROM 定义为宽度为 32，深度为 64。

端口名	方向	位宽	备注
clka	input	1	
ena	input	1	高电平有效
addra	input	6	
douta	output	32	

### 1.3 data\_out\_mem

存储结果的单口 ROM，用来与 MCU 的计算结果进行比对，卷积题目输出数据共 31 个，LDPC 题目输出数据共 3 个，因此该 ROM 定义宽度为 32，深度为 32，端口定义与 1.2 一致，不再赘述。

### 1.4 counter

counter 模块负责计算时钟数，MCU 输出两个高电平有效信号 ready 和 finish，当 ready 拉高时，counter 开始计数，当 finish 拉高时，结束计数，二者相减即可得到完整过程花费的时钟数。

端口名	方向	位宽	备注
clk	input	1	
rst_n	input	1	低电平复位
en	input	1	高电平有效
cnt	output	16	

### 1.5 MCU

各位同学自己设计的 MCU，端口名必须与顶层 TOP 文件保持一致。计算开始前将 ready 信号拉高，addr\_in 和 addr\_out 用来从两块 ROM 中读出数据，计算完成后将 finish 信号拉高，将 MCU 的计算结果 mcu\_data\_out 与 ROM 中存储的标准结果 data\_out 进行比对。

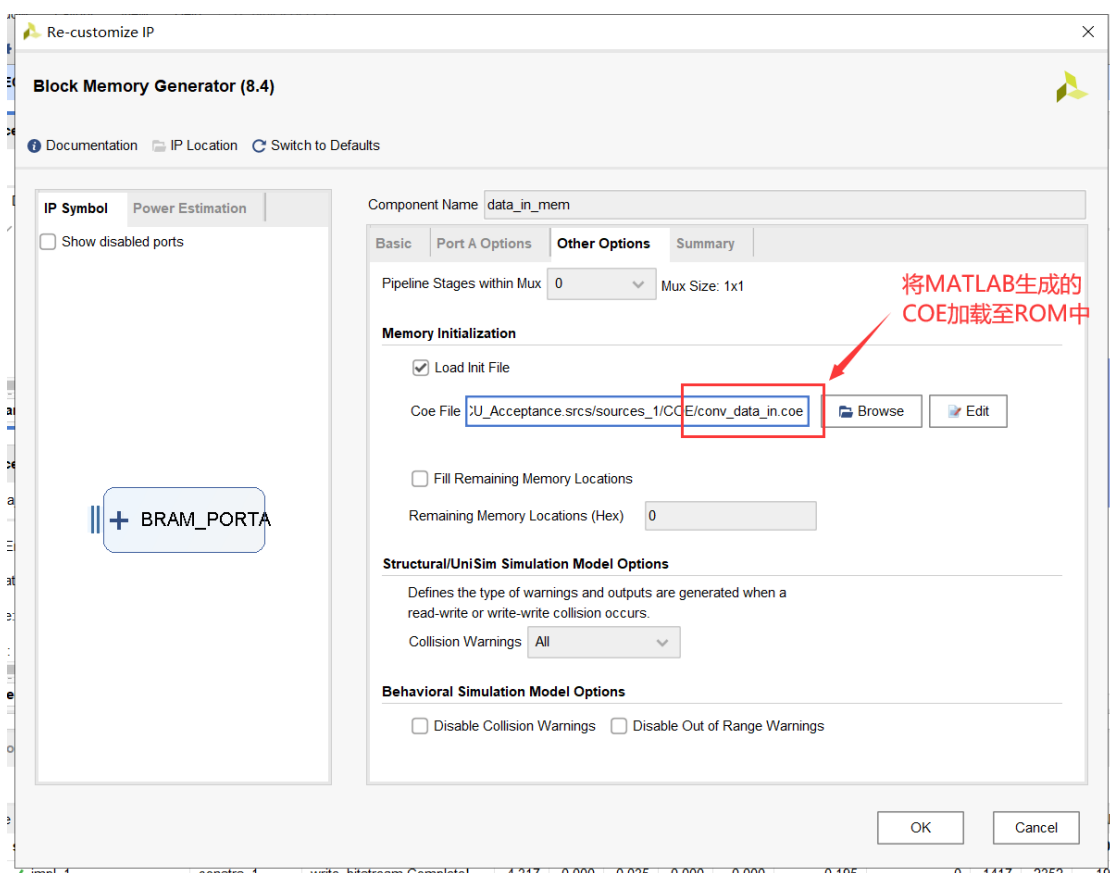
端口名	方向	位宽	备注
clk	input	1	
rst_n	input	1	低电平复位
data_in	input	1	高电平有效

ready	output	1	高电平有效
finish	output	1	高电平有效
addr_in	output	6	
addr_out	output	5	
mcu_data_out	output	32	

## 1.6 ILA

对 data\_out,mcu\_data\_out,cnt,ready,finish 五路信号进行采样,采样深度为 8192。

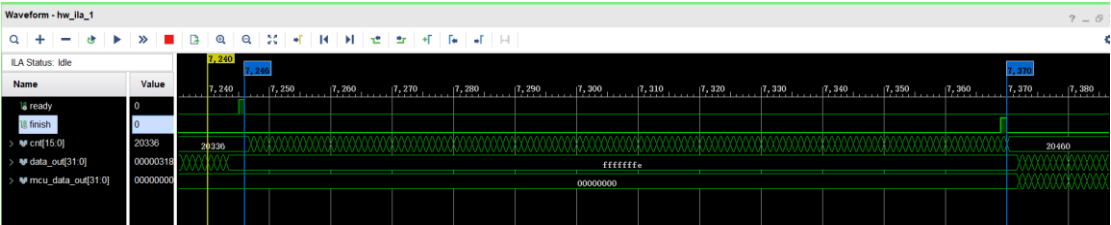
## 二、使用说明





ready 信号有效时，输入数据的 ROM 以及计数器的使能端 en\_din，en\_dout 拉高，开始将数据读入 MCU，同时开始计数，当 finish 信号有效时，输出数据的 ROM 的使能端拉高，计数器使能端拉低，输出数据开始读出，MCU 的计算数据输出，并停止计数。

上板结果示意图如图：



该例程消耗的时钟数为  $20460 - 20336 = 124$  个时钟周期，时钟频率为 100MHz，共花费时间 1240ns。