

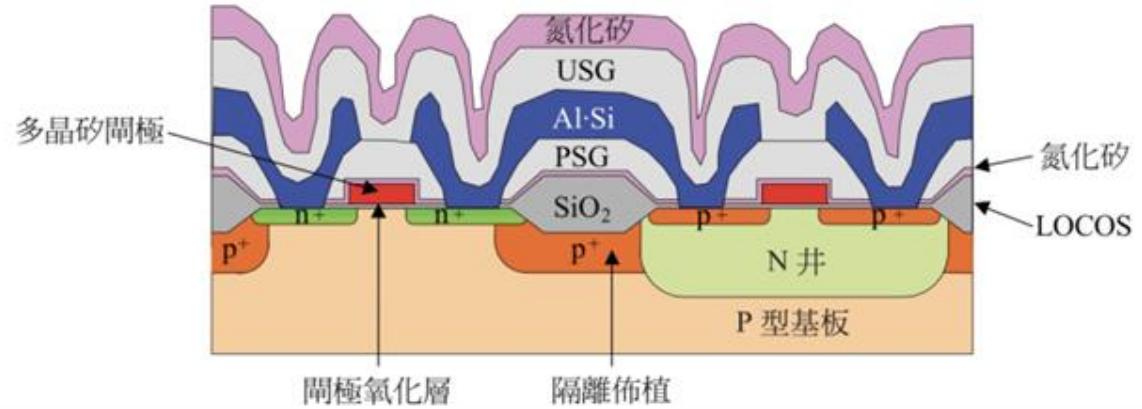
Semiconductor Manufacturing Technology

• Chapter 9

IC Fabrication Process Overview

1980 – 1990

- 技術節點： $3\mu\text{m} - 0.8\mu\text{m}$
- 晶圓尺寸：4inches – 6inches
- 離子佈植取代摻雜擴散
- 多晶矽閘極(耐高溫)取代了金屬閘極
- LOCOS做為場氧化層，隔離不同電晶體
- 水平爐管被用於氧化、LPCVD、離子佈植後退火
- 加熱或電子束蒸鍍機沉積鋁矽合金薄層用於金屬連線
- 電漿蝕刻用於進行圖案化，如閘極蝕刻，而較大的圖案仍然採用濕式蝕刻
- 投影對準和曝光系統用於微影製程



LOCOS

- LOCOS (Local Oxidation of Silicon, 局部矽氧化) 是一種早期廣泛使用的隔離技術，其主要目的是在晶片上形成隔離區域，以防止相鄰元件間的電氣干擾和漏電現象

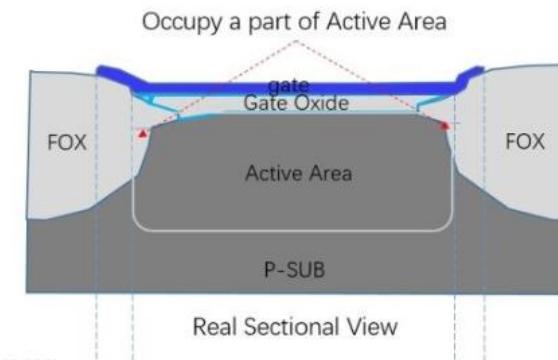
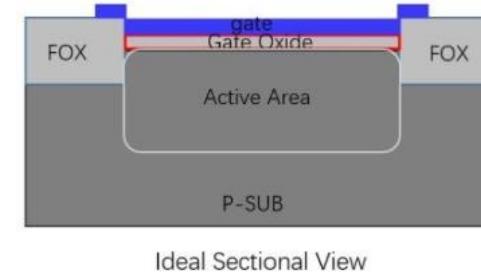
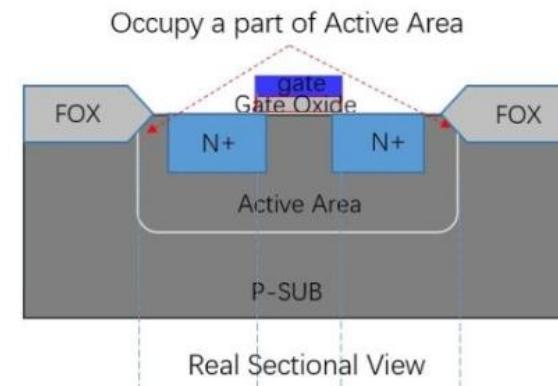
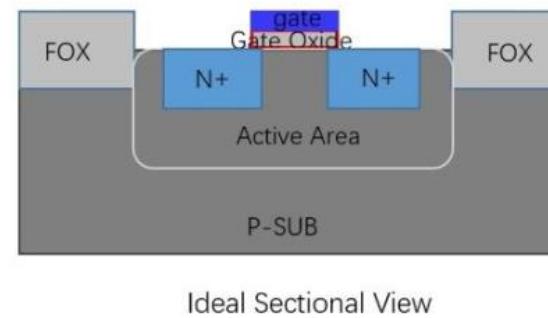
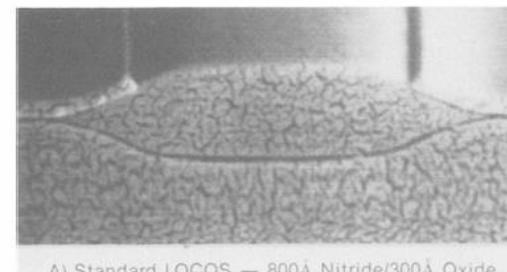
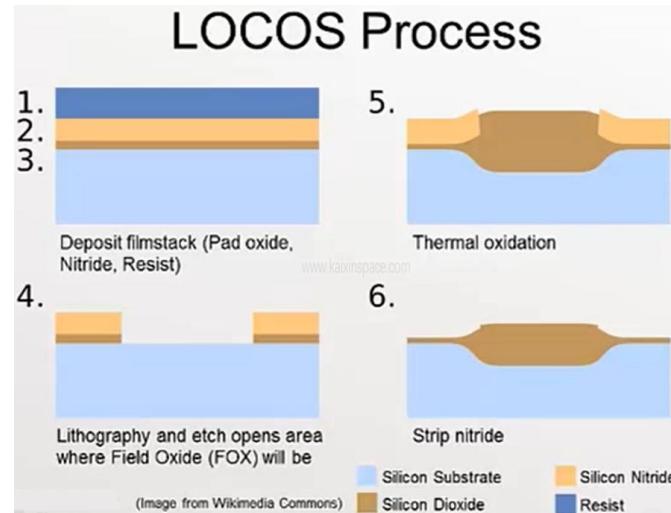
- 特點：

- 元件隔離
- 製程簡單

- 缺點：

- 烟嘴效應 (Bird's Beak Effect)

- 應力與缺陷問題

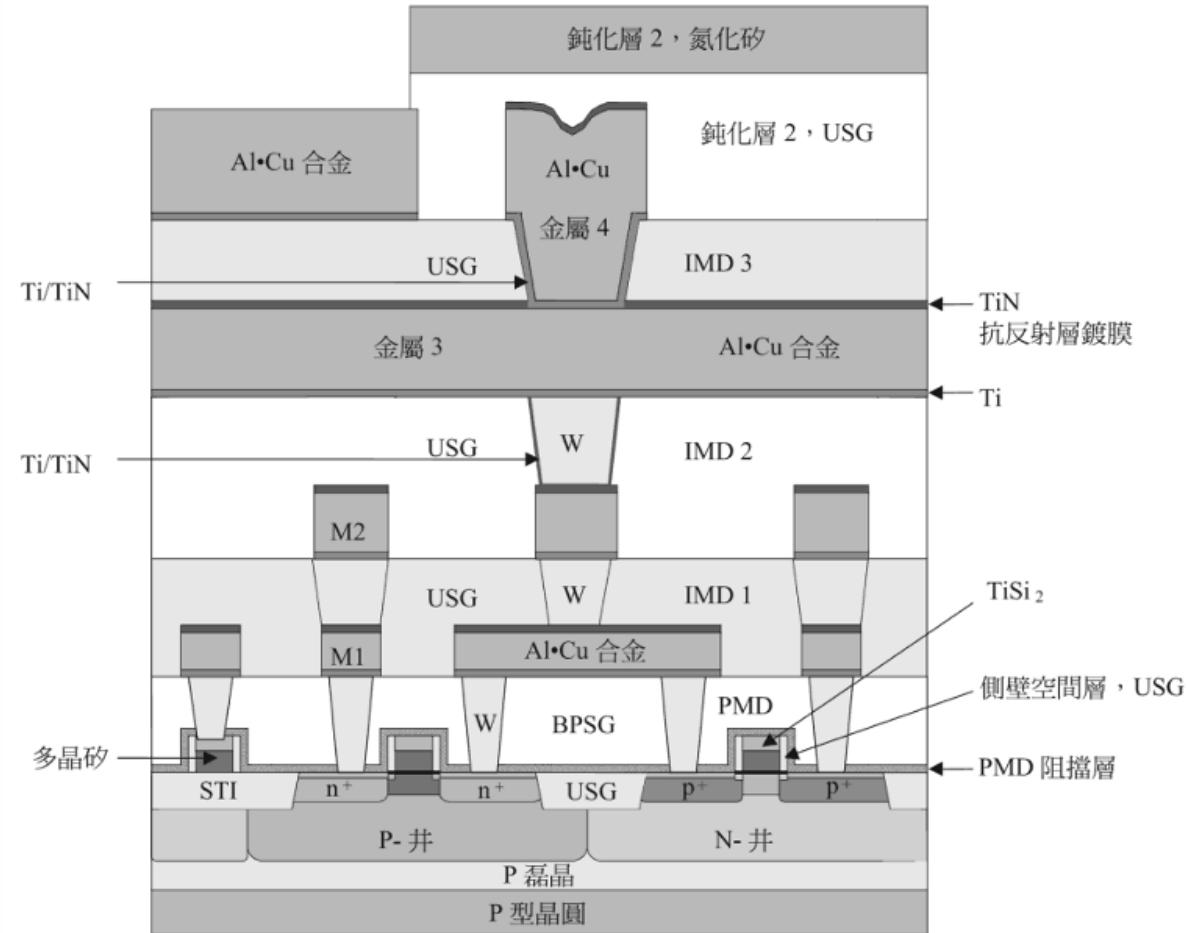


1990 – 2000

- 技術節點： $0.8\mu\text{m} - 0.18\mu\text{m}$
 - 晶圓尺寸： $8 \text{ inches} - 12 \text{ inches}$
 - 使用磊晶層提高元件性能，避免 CZ 法含有的碳氧雜質
 - 淺溝槽隔離 STI 取代了 LOCOS
 - 利用側壁空間層 Spacer 形成 LDD 抑制熱載子效應
 - 曝光波長從 365 nm i-line 降到 248 nm DUV
 - 負光阻因膨脹問題，不適用小於 3 微米的線條圖案化，被正光阻取代
 - 步進機 Stepper 取代了其他的對準和曝光系統
 - 晶圓軌道機可以執行光阻塗佈、烘烤、顯影
 - 所有圖案化蝕刻都是電漿蝕刻製程，濕式蝕刻則應用於整面薄膜去除
 - 快速熱處理 RTP 有更好的熱積存控制，應用於離子佈植後退火和金屬矽化物形成
 - 垂直爐管因為空間利用率高和更好的污染控制，取代水平爐管
 - 滅鍍取代了蒸鍍，直流磁控滅鍍系統是現在最常見的金屬物理氣相沉積 PVD 系統
 - CMP 用於矽氧化物表面的平坦化、鎢栓塞製程中，達到更好的微影解析度
-

1990 – 2000

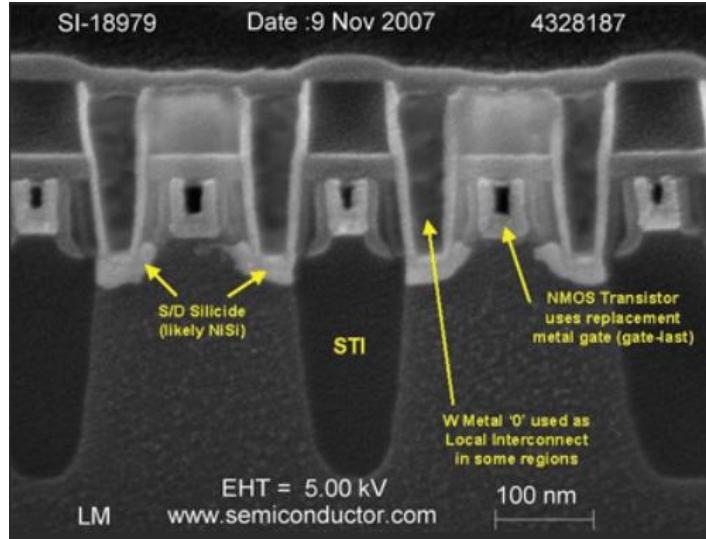
磊晶層、STI、Spacer、LDD



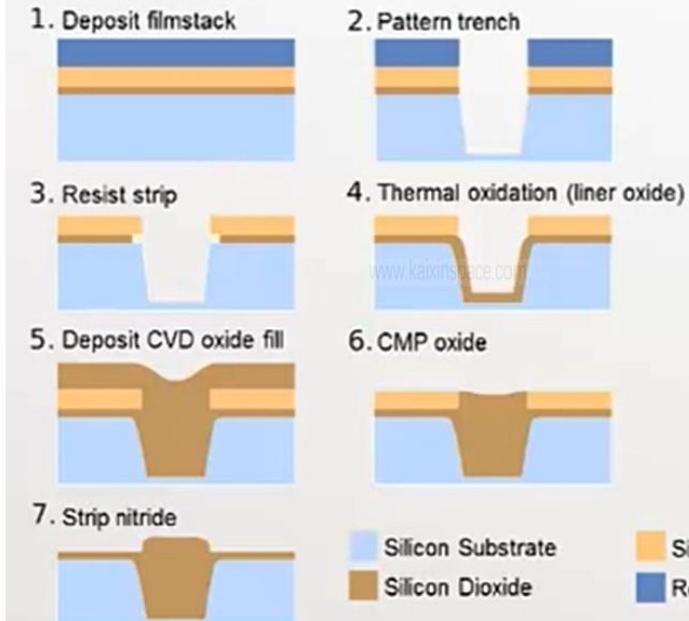
STI

- 淺溝槽隔離（Shallow Trench Isolation, STI）是現代CMOS製程中廣泛應用的一種元件隔離技術
- 特點：

- 隔離
- 微縮化



Shallow Trench Isolation Processes



	STI	LOCOS
隔離結構	垂直溝槽填充	橫向熱氧化
尺寸微縮能力	極佳（無鳥嘴效應）	差（鳥嘴佔用面積）
表面平坦化	與CMP相容	不平坦
應力控制	可通過結構設計優化	高溫氧化導致界面應力

Source: Intel's 45 nm

LDD

- 半導體中的 LDD (Lightly Doped Drain，輕摻雜漏極) 結構是一種常用於CMOS的技術，旨在改善元件的可靠性和穩定性

- 特點：

- 降低局部電場

- 減少 hot carrier effect

- 缺點：

- 增加寄生電阻

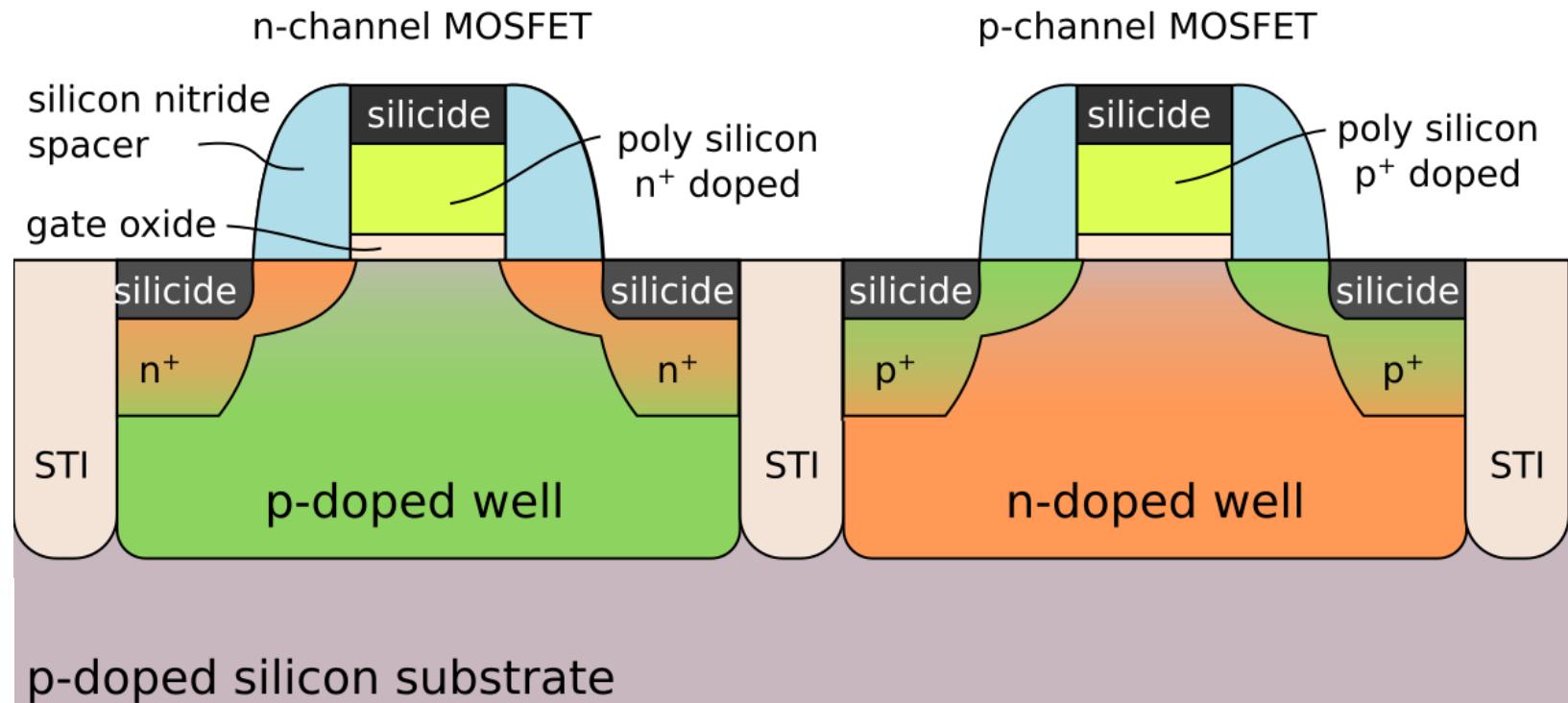
- 製成難度增加

$$\mathcal{E}_{m \text{ LDD}} \approx \frac{V_D' - V_{Dsat}}{\ell}$$
$$= \frac{(V_D + I_D \cdot R_{ext}) - V_{Dsat}}{\ell}$$

Due to LDD region

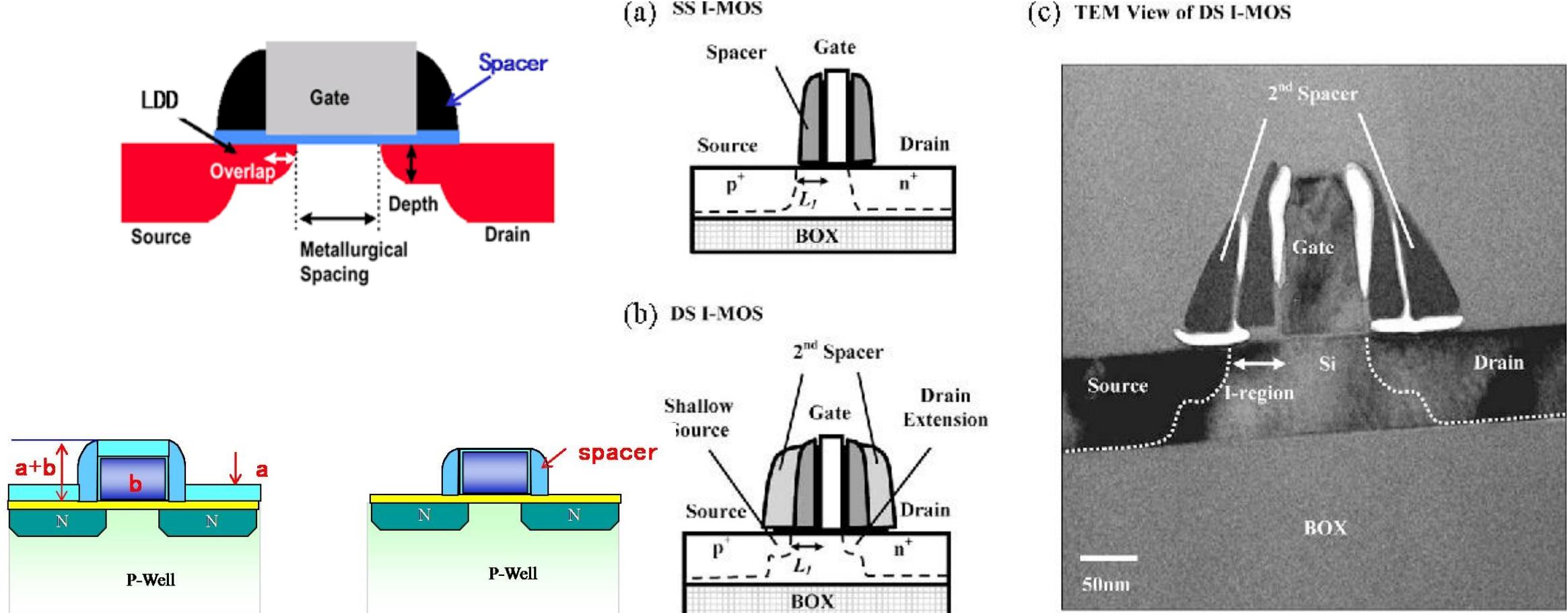
$$\mathcal{E}_{m \text{ non-LDD}} \approx \frac{V_D - V_{Dsat}}{\ell}$$

$\therefore \mathcal{E}_{m \text{ LDD}} < \mathcal{E}_{m \text{ non-LDD}}$



Source: https://commons.wikimedia.org/wiki/File:LDD-MOS_transistor_-_CMOS_with_STI.svg

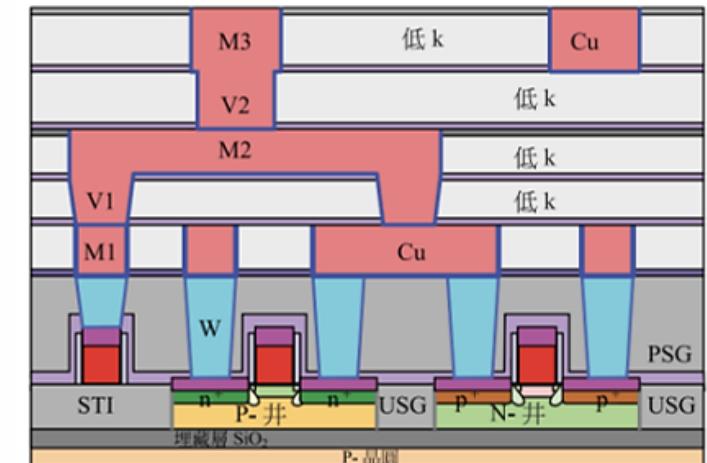
Spacer



Source: E. Toh, A Double-Spacer I-MOS Transistor With Shallow Source Junction and Lightly Doped Drain for Reduced Operating Voltage and Enhanced Device Performance, IEEE Electron Device Letters 21 January 2008

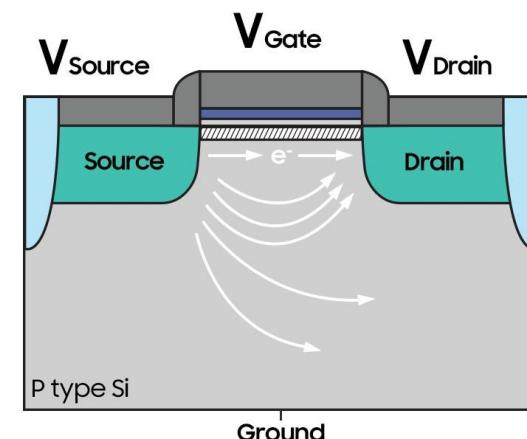
2000 – 2010

- 技術節點：0.13 μm - 32 nm
- 晶圓尺寸：12 inches
- 絝緣層上矽 SOI 將電晶體整合在絝緣材料上，以降低寄生效應並提高速度與功效
- 鎳矽化合物取代鈦矽化合物，因鈦矽的接觸電阻隨元件縮小變得較高
- 銅取代了鋁作為互連材料，銅的電阻率更低，能夠降低 RC 延遲和晶片的功耗
- 部分金屬層採用雙大馬士革製程，一次完成栓塞和導線互聯
- Low-k 材料降低了互連電容，降低 RC 延遲

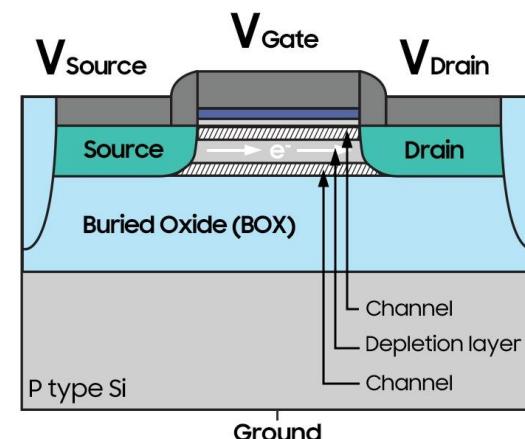


SOI

- 半導體 SOI (Silicon On Insulator) 技術是一種在傳統矽基晶片上引入一層薄絕緣層的製程技術。其主要目的在於隔離表面活躍的矽層與下層基板，從而改善元件的電特性和性能
- SOI技術主要是在一塊晶圓上形成三層結構：最上層是薄矽層（用以製造電晶體），中間是一層薄的絕緣層（通常是二氧化矽），而底層則為傳統的矽基板。這種結構有效地隔離了活動層和基板，減少了寄生效應和漏電流
- 特點：
 - 減少寄生電容
 - 減少漏電流



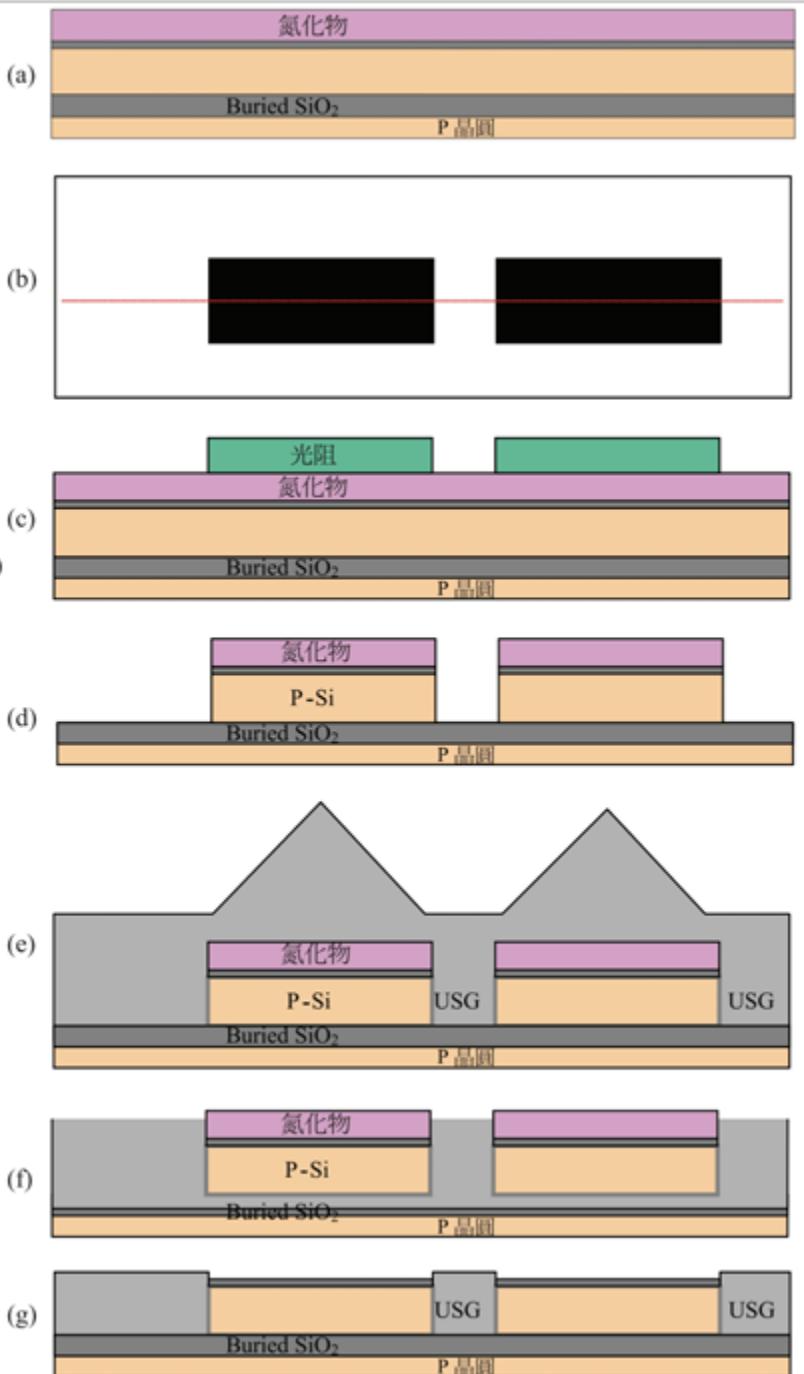
a) Bulk based MOSFET



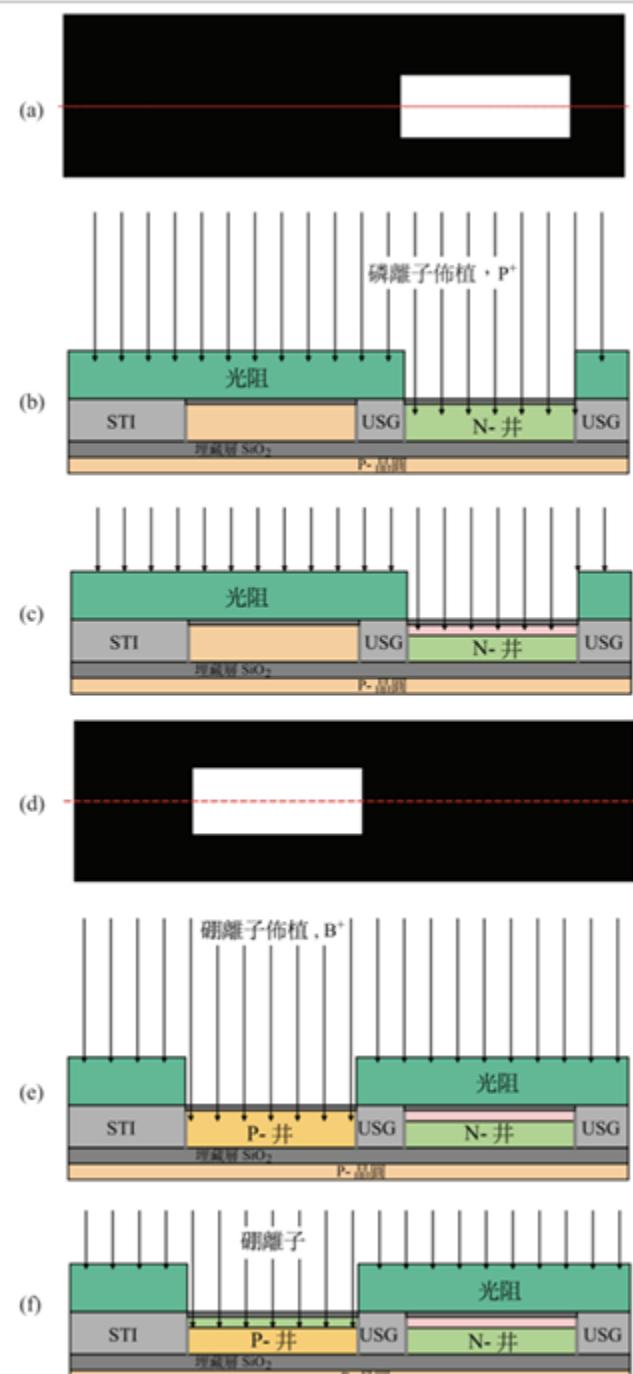
b) SOI MOSFET

Source: Samsung Semiconductor

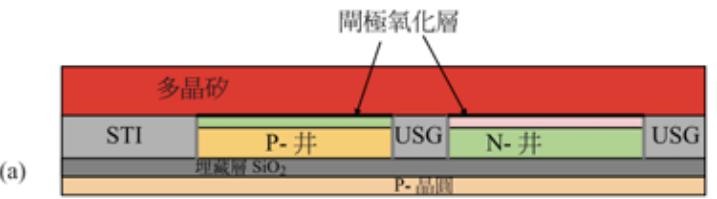
- 晶圓清洗
- 氧化，襯墊氧化層
- LPCVD 沉積氮化矽 (a)
- 光阻覆蓋
- 光罩 1，主動區 (b)
- 顯影
- 顯影後檢測 (ADI)(c)
- 光罩 1：硬烘烤（紫外光烘烤）
- 蝕刻氮化矽和襯墊氧化層
- 蝕刻矽
- 去光阻
- 晶圓清洗
- 清洗和檢測 (ACI)(d)
- 氧化，阻擋氧化層
- HDP CVD 沉積 USG(e)
- CMP USG(f)
- 去除氮化矽和襯墊氧化層 (g)
- 晶圓清洗



- 生長犧牲氧化層
- 光阻覆蓋
- 光罩 2，N 井 (a)
- 顯影
- 顯影後檢測
- N 井佈植 (b)
- PMOS 臨界電壓調整佈植 (c)
- 去光阻
- 晶圓清洗
- 光阻覆蓋
- 光罩 3，P 井 (d)
- 顯影
- 顯影後檢測
- P 井佈植 (e)
- NMOS 臨界電壓調整佈植 (f)
- 去光阻
- 去犧牲氧化層

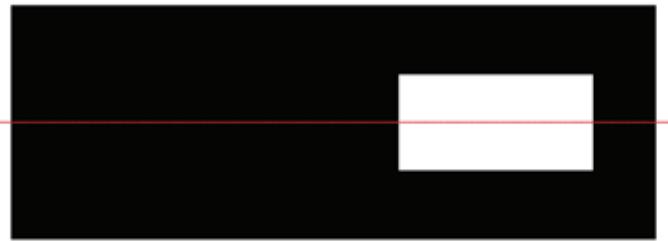


- 晶圓清洗
- 閘極氧化並形成氮化矽
- 薄膜測量
- LPCVD 沉積多晶矽 (a)

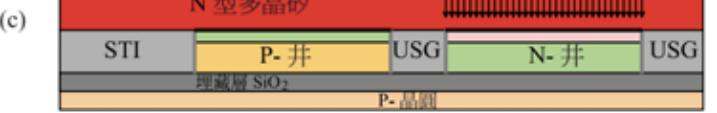


(a)

- NMOS 多晶矽摻雜
- 光阻覆蓋
- 光罩 4, PMOS 多晶矽摻雜 (b) (b)



- 顯影
- 顯影後檢測
- 多晶矽摻雜佈植 (c)



(c)

- 去光阻
- LPCVD 沉積 SiON 抗反射層
- 光阻覆蓋
- 光罩 5, 閘極 (d)



(d)

- 顯影
- 顯影後檢測
- 閘極蝕刻 (e)



(e)

- 去光阻
- 去除 ARC 層
- 清洗後檢測 (ACD)
- 多晶矽氧化 (f)



(f)

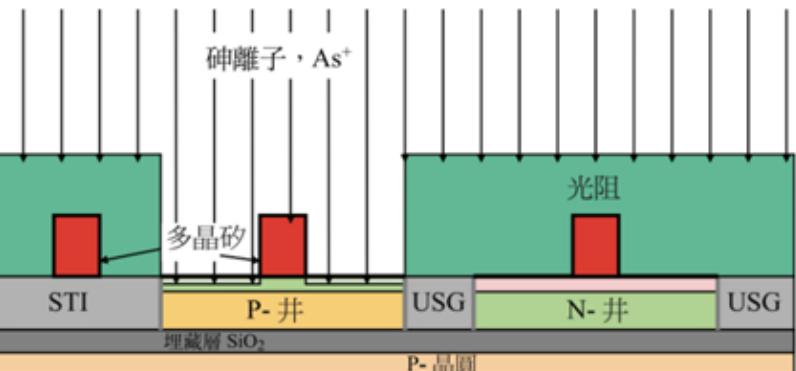
- 光阻覆蓋
- 光罩 6, NMOS SDE(a) (a)



(a)

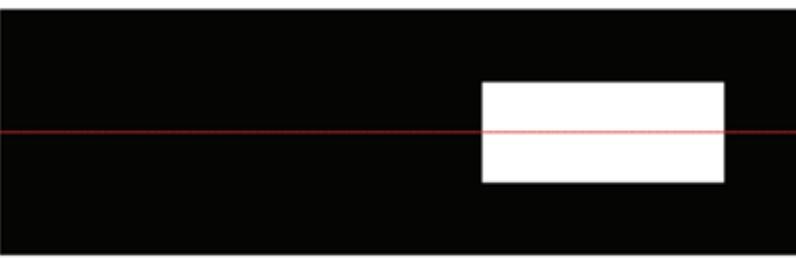
- 顯影
- 顯影後檢測
- NMOS SDE 佈植 (b)

(b)



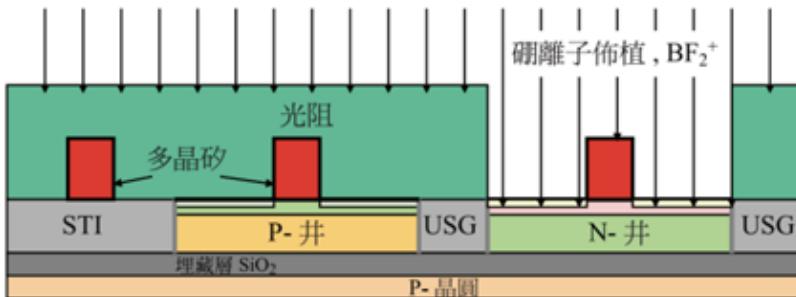
- 去光阻
- 光阻覆蓋
- 光罩 7 : PMOS SDE(c) (c)

(c)



- 顯影
- 顯影後檢測
- PMOS SDE 佈植 (d)
- 去光阻

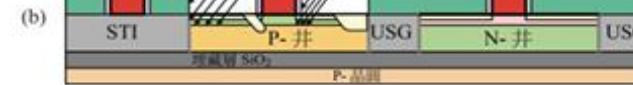
(d)



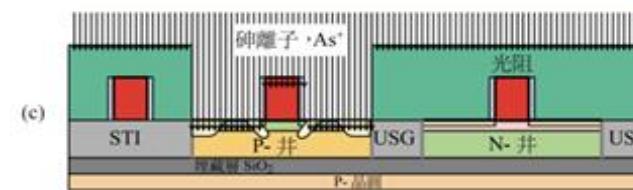
- 光阻覆蓋
- 光罩 8, 形成 NMOS 大傾角和 S/D (a)



- 顯影
- NMOS 大傾角離子佈植 (b)



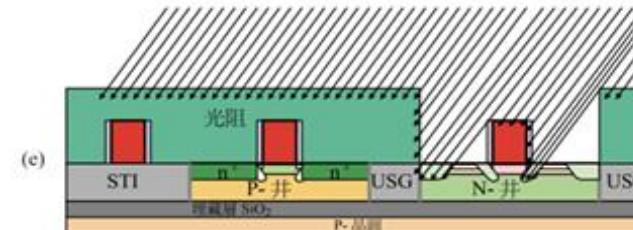
- NMOS S/D 級子佈植 (c)



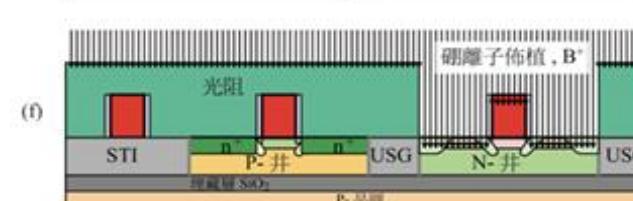
- 去光阻
- 光阻覆蓋
- 光罩 9, 形成 PMOS 大傾角和 S/D (d)



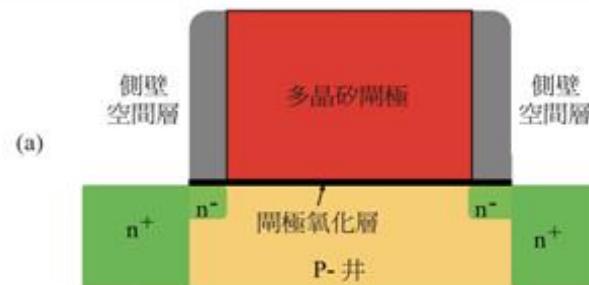
- 顯影
- PMOS 大傾角離子佈植 (e)



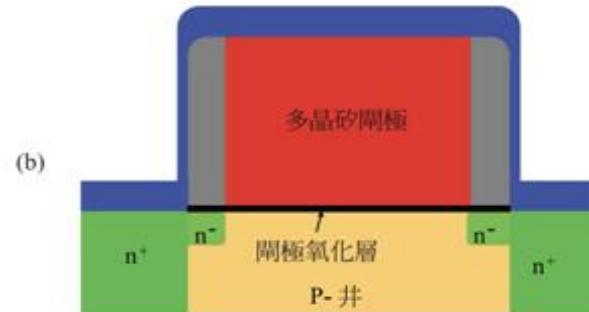
- PMOS S/D 級子佈植 (f)
- 去光阻
- 晶圓清洗
- 快速加熱退火



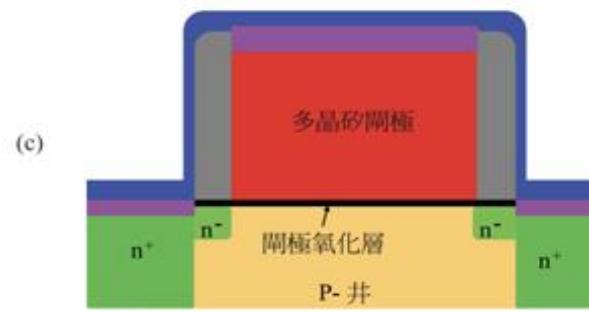
- 氷濺鍍蝕刻 (a)



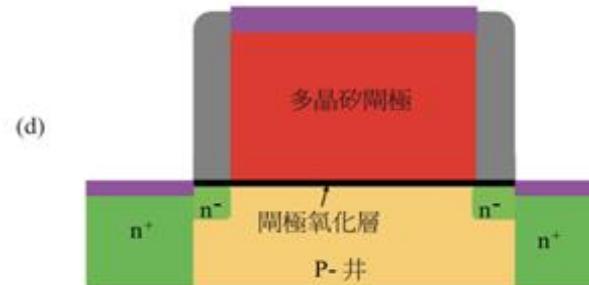
- 鎳 PVD (b)



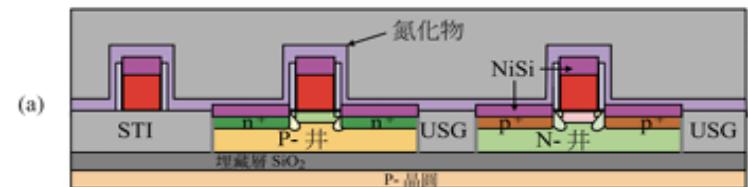
- 快速加熱退火 (c)



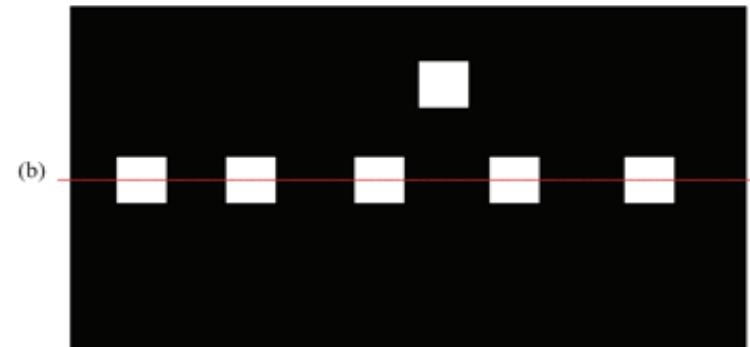
- 去除鎳 (d)
- 圖案檢測



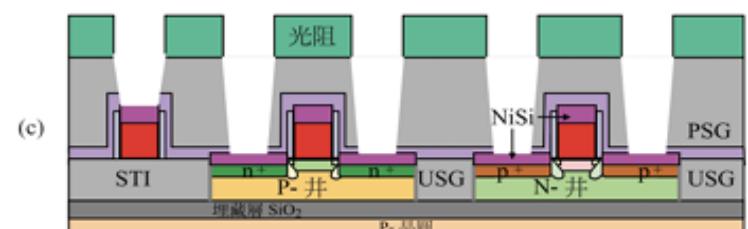
- CVD 沉積氮化物
- HDP CVD 沉積 PSG
- CMP PSG(a)



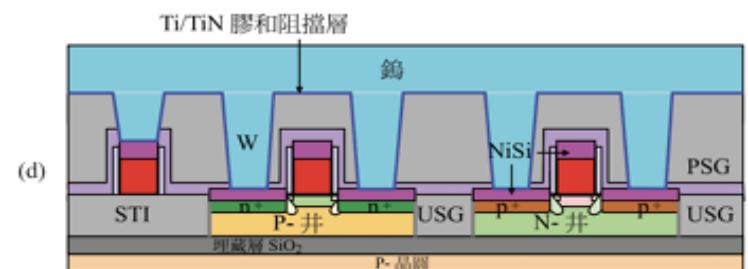
- 光阻覆蓋
- 光罩 10，接觸 (b)



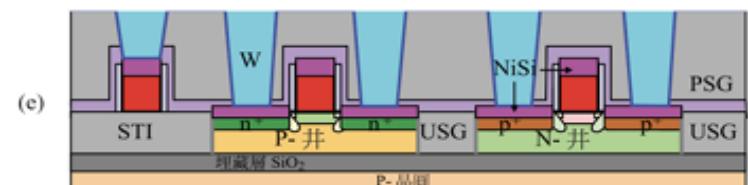
- 顯影
- 蝕刻 PSG(c)



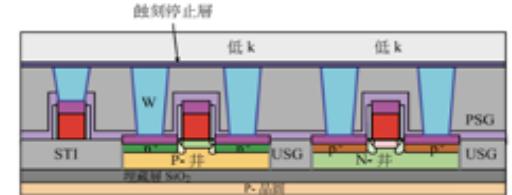
- 去光阻
- 氩漿鍍蝕刻
- Ti 和 TiN 沉積
- 鑭 CVD (d)



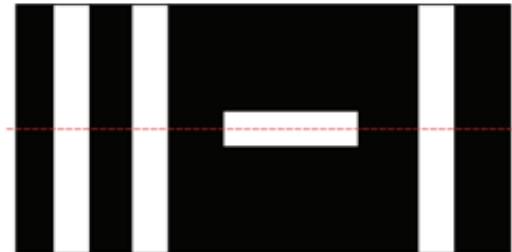
- W/ TiN/Ti CMP(e)
- WCMP 後檢測



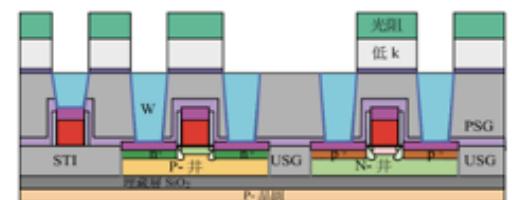
- 蝕刻停止層 (ESL) 沉積 (a)
- 低 k 介電質層沉積 (a)



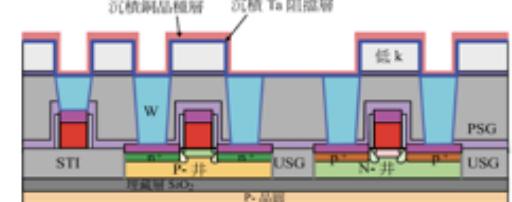
- 光阻覆蓋
- 光罩 11，金屬溝槽 1(b)



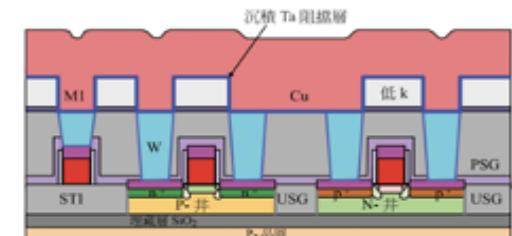
- 顯影
- 蝕刻低 k 介電質層和 ESL(c)



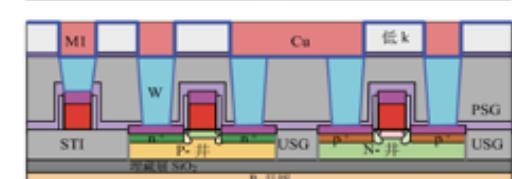
- 去光阻
- 電鍍銅清洗
- PVD 沉積 Ta 阻擋層
- PVD 沉積銅晶種層 (d)



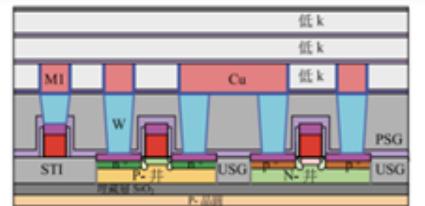
- 巨量銅電化學電鍍 (e)



- 銅退火
- Cu 和 Ta CMP(f)
- CMP 後清洗
- 金屬 I 探測



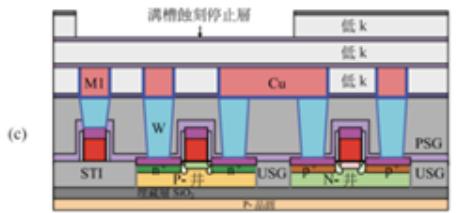
- ILD 叠層沉積 (通孔蝕刻停止層、低 k、溝槽蝕刻停止層、低 k 和覆蓋層) (a)



- 光阻覆蓋
光罩 12，金屬溝槽 2(b)



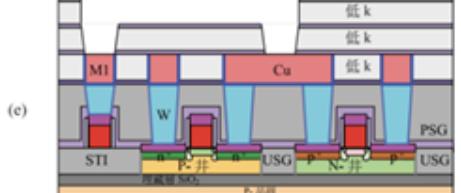
- 顯影
顯影後檢測
蝕刻溝槽，停止於 TESL
去光阻
蝕刻後檢測 (c)



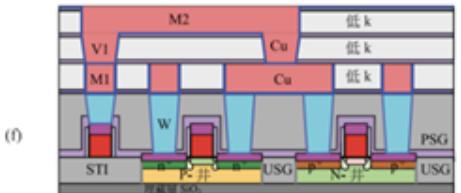
- 光阻覆蓋
光罩 13，通孔 (d)



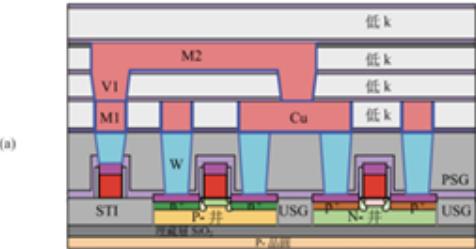
- 顯影
顯影後檢測
通孔 I 蝕刻
去光阻
蝕刻後檢測 (e)



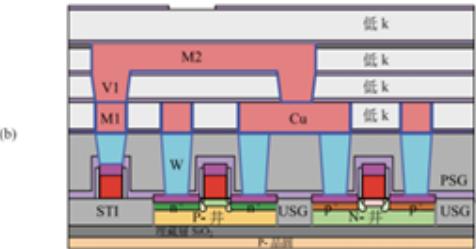
- 氯濃鍍清洗
PVD 沉積 Ta 阻擋層
PVD 沉積銅晶種層
巨量 ECP
銅退火
Cu 和 Ta CMP (f)
CMP 後清洗
金屬 2 探測



- 通孔 ESL 沉積
低 k 介電質層沉積
溝槽 ESL 沉積 (a)



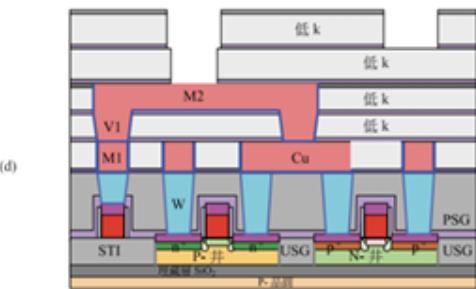
- 光阻覆蓋
光罩 14，通孔 2
顯影
顯影後檢測
蝕刻硬溝槽 ESL 上的光罩
去光阻 (b)



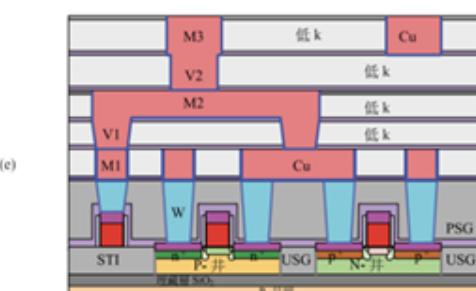
- 低 k 沉積
覆蓋層沉積
光阻覆蓋
光罩 15，金屬溝槽 3 (c)



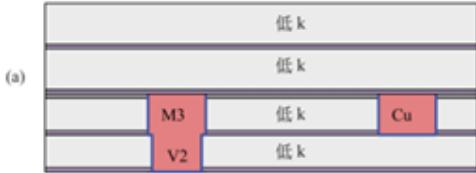
- 顯影
顯影後檢測
介電質層蝕刻
去光阻 (d)



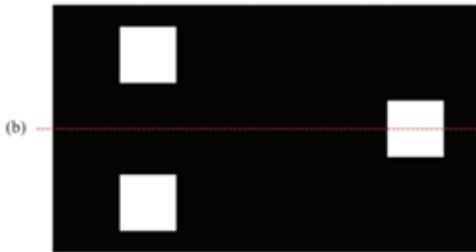
- 氮濃鍍清洗
PVD 沉積 Ta/Cu
Cu ECP
銅退火
Cu 和 Ta CMP (e)
CMP 後清洗
金屬 3 探測



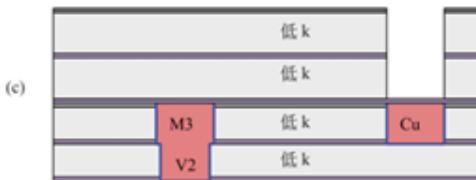
- ILD 沉積 (ESL 通孔，低 k，溝槽 ESL，低 k 覆蓋層) (a)
光阻覆蓋層



- 光罩 16，通孔 3 (b)
顯影
顯影後檢測
蝕刻通孔 3，停止於 ESL
去光阻



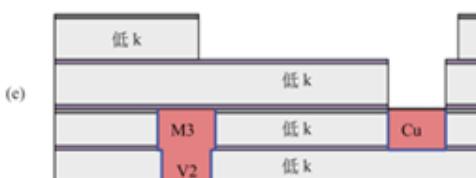
- 蝕刻後檢測 (c)
光阻覆蓋和通孔填充
光阻回蝕
光阻覆蓋



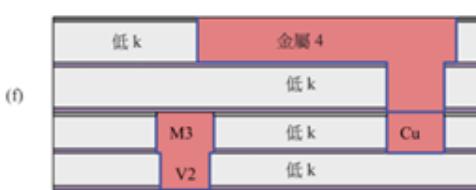
- 光罩 17，金屬 4
顯影
顯影後檢測
蝕刻金屬 4 (d)
去光阻
蝕刻後檢測



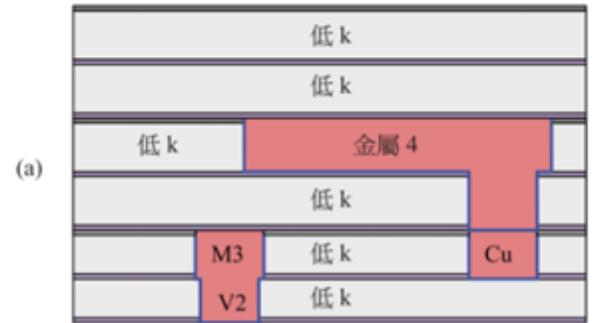
- 移除通孔 ESL (e)
氫電漿清洗
PVD 沉積 Ta 和 Cu
銅 ECP



- Cu 和 Ta CMP (f)
CMP 後清洗



- ILD 沉積 (通孔 ESL，低 k，溝槽 ESL，低 k 和覆蓋層) (a)
- 光阻覆蓋
- 光罩 18，通孔 4
- 顯影
- 顯影後檢測
- 蝕刻通孔 3，停止於通孔 ESL
- 去光阻



- 蝏刻後檢測 (b)
- 光阻覆蓋和通孔填充
- 光阻回蝕
- 光阻覆蓋



- 光罩 19，金屬 5
- 顯影
- 顯影後檢測
- 蝏刻金屬 4
- 去光阻
- 蝏刻後檢測
- 去通孔中的 ESL (c)
- 氣電漿清洗
- PVD 沉積 Ta/Cu
- Cu ECP



- Cu 和 Ta CMP (d)
- CMP 後清洗



- PECVD 沉積氮化物
- PECVD 沉積 PSG
- PECVD 沉積氮化物
- 聚醯胺覆蓋 (a)

(a)



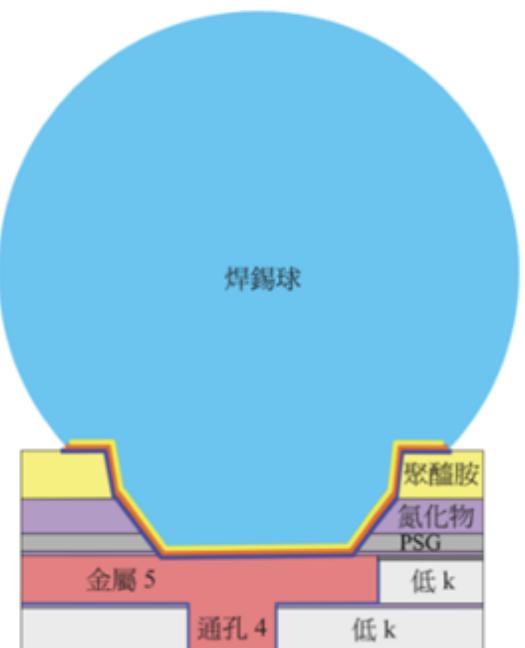
- 聚醯胺烘烤
- 光阻自旋覆蓋
- 光罩 21，凸塊接觸
- 顯影
- 檢測
- 聚醯胺沖洗
- 蝏刻鈍化層
- 去光阻
- 接觸硬遮蔽層
- 表面清洗
- 沉積 Cr
- 沉積 Cu
- 沉積 Au (b)

(b)



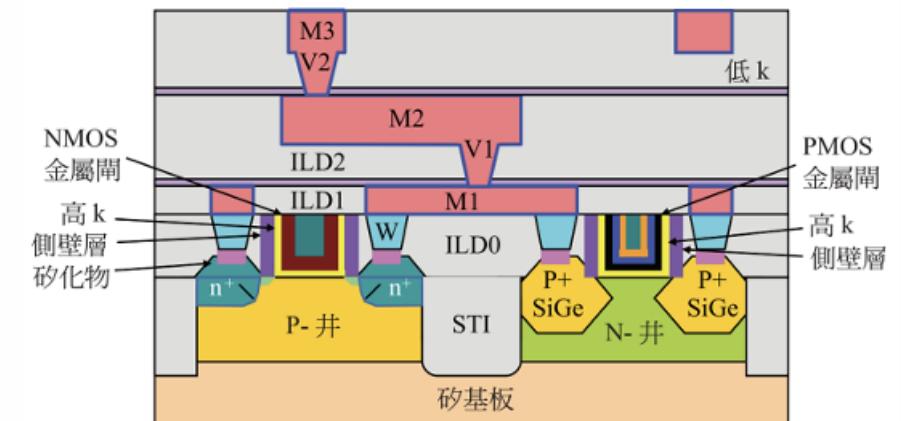
- 鉛錫沉積
- 形成焊錫球 (c)

(c)



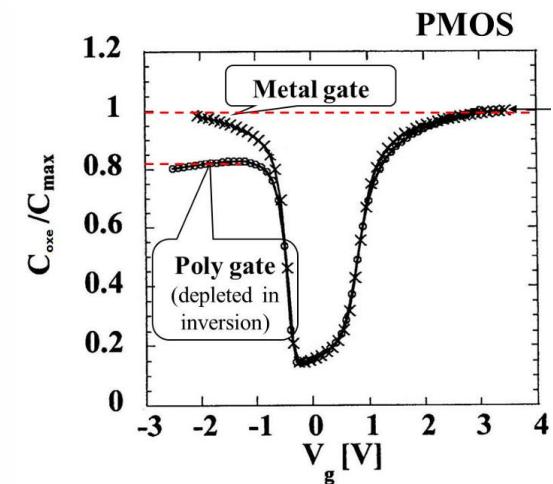
2010 – 2015

- 技術節點：32 nm – 20 nm
- 晶圓尺寸：12 inches
- 在技術節點 40、28、20 奈米的時代，閘極氧化層的厚度已經達到極限，即由於嚴重的漏電問題而不能再減小，High-k 材料取代了常用的二氧化矽和氮氧化矽化物 (SiON)
- 金屬閘極取代了常用的多晶矽閘極
- 應變工程用於增強載子遷移率，矽鍺 (SiGe) 和碳化矽 (SiC) 選擇性磊晶生長在S/D
- 無電鍍技術自對準 CoWP 被用於Cu CMP後覆蓋銅表面以防止銅擴散
- 193nm浸潤式微影技術和雙重圖案化技術



HKMG

- HKMG技術結合了高介電常數（High-K）材料和金屬閘極技術
- HK材料具有較高的介電常數，能夠用相對較厚的介質層達到相同的電容效應
- 特點：
 - 降低漏電流
- Metal gate 指的是在MOSFET中，使用金屬材料作為閘極電極，取代傳統的多晶矽
- 特點：
 - 消除poly-Si 的depletion effect
 - 穩定的功函數
 - 降低電阻率



CoWP

- 隨著半導體技術發展，銅 (Cu) 取代鋁 (Al) 成為主流的金屬互連材料，因為銅具有：
 - 較低的電阻率 ($\sim 1.7 \mu\Omega \cdot \text{cm}$)；鋁為 ($\sim 2.7 \mu\Omega \cdot \text{cm}$)
 - 較高的導熱性
- 然而，銅容易擴散到周圍的低介電常數 (low-k) 介電層中，在Cu Metallization和Cu CMP後，沉積一層CoWP金屬擴散阻擋層，以防止Cu擴散、降低接觸電阻
 - Cobalt (Co) 具有良好的擴散阻擋能力，可以有效防止銅離子透過界面進入周圍介電材料
 - 鑑 (W) 的添加可以進一步提升 CoWP 的擴散阻擋性能
 - 磷 (P) 的存在會破壞Co的結晶性，使 CoWP 形成部分非晶相



材料	晶格常數 (Å)
Cu	3.615
Co	3.54
W	3.165
P	3.31

- 晶圓清洗
- 複墊氧化層生長
- 氮化物沉積 (a)
- 光阻覆蓋
- STI 光罩

(a)



- STI 光阻圖案化 (b)
- STI 氮化物硬遮蔽層蝕刻
- 去光阻

(b)



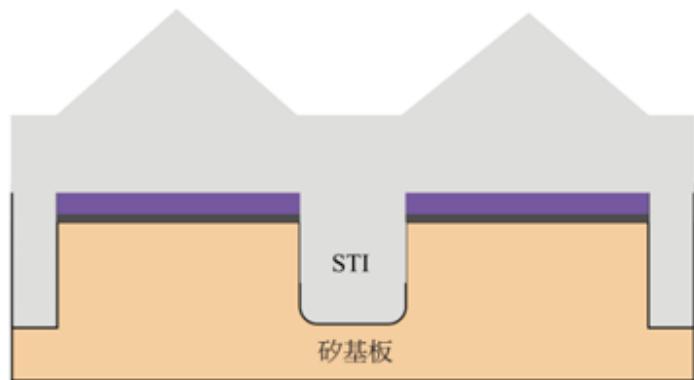
- STI 砂蝕刻 (c)

(c)



- STI 氧化物沉積 (d)
- STI 氧化物 CMP
- 去除氮化物

(d)



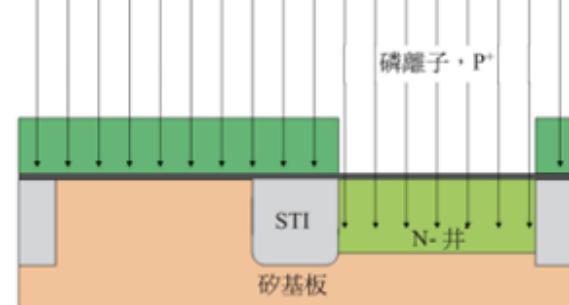
- 去除複墊氧化層 (e)

(e)



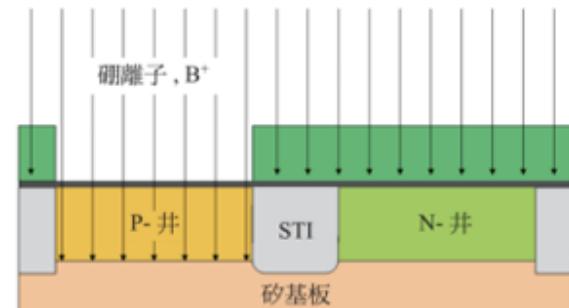
- 晶圓清洗
- 犥牲氧化層生長
- 光阻覆蓋
- N 井光罩
- N 井離子佈植 (a)

(a)



- 去光阻
- 光阻覆蓋
- P 井光罩
- P 井離子佈植 (b)

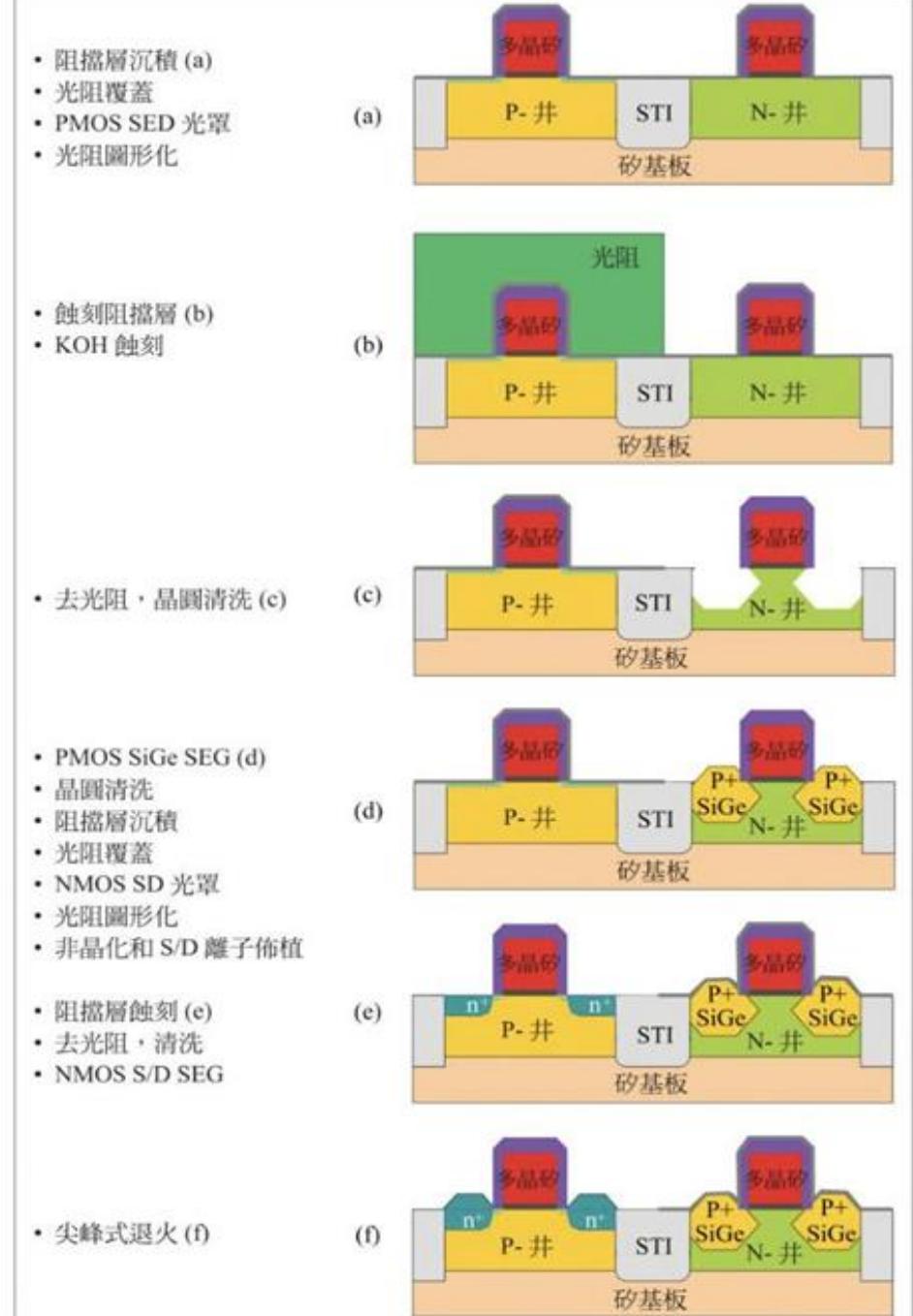
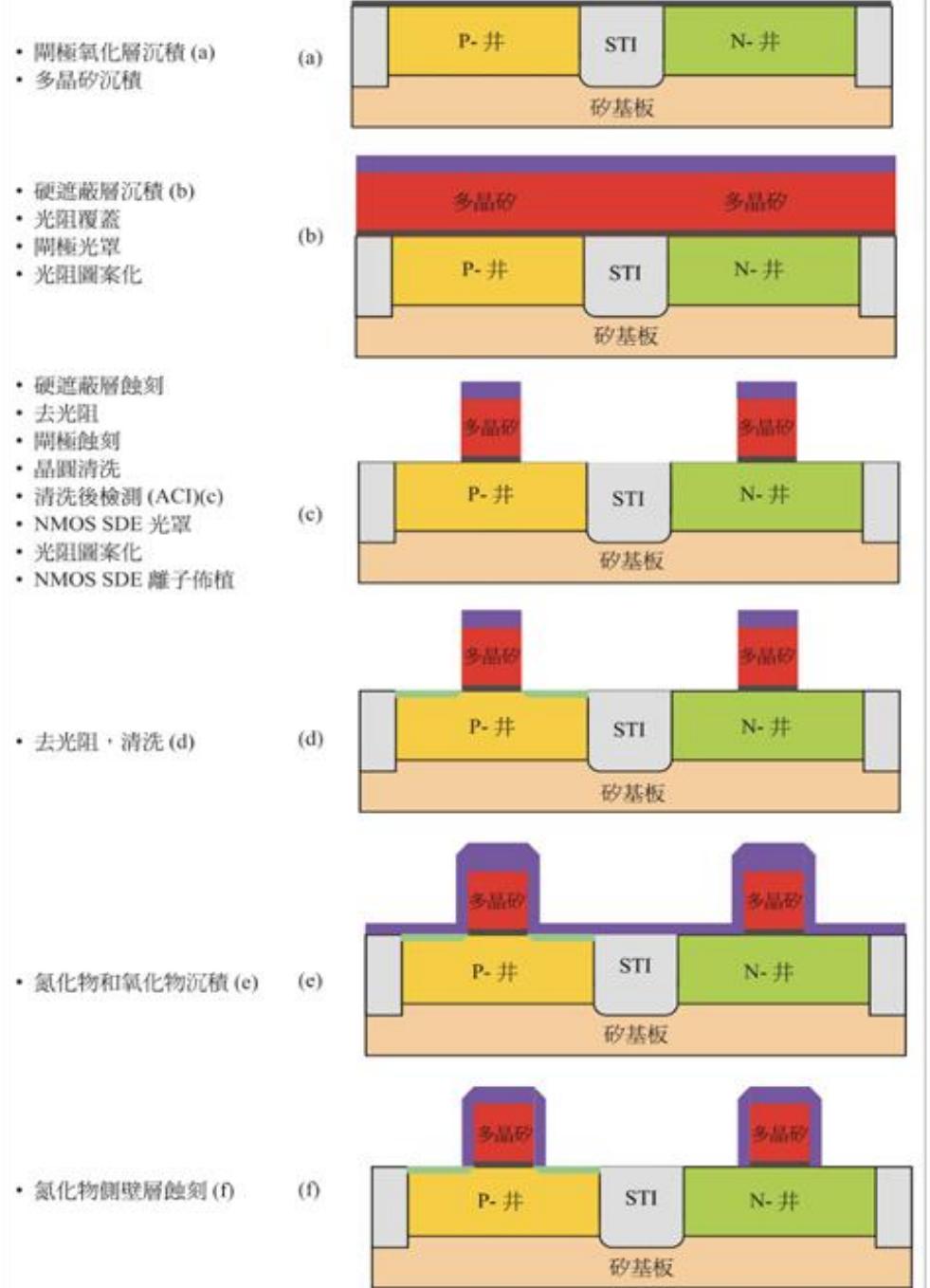
(b)

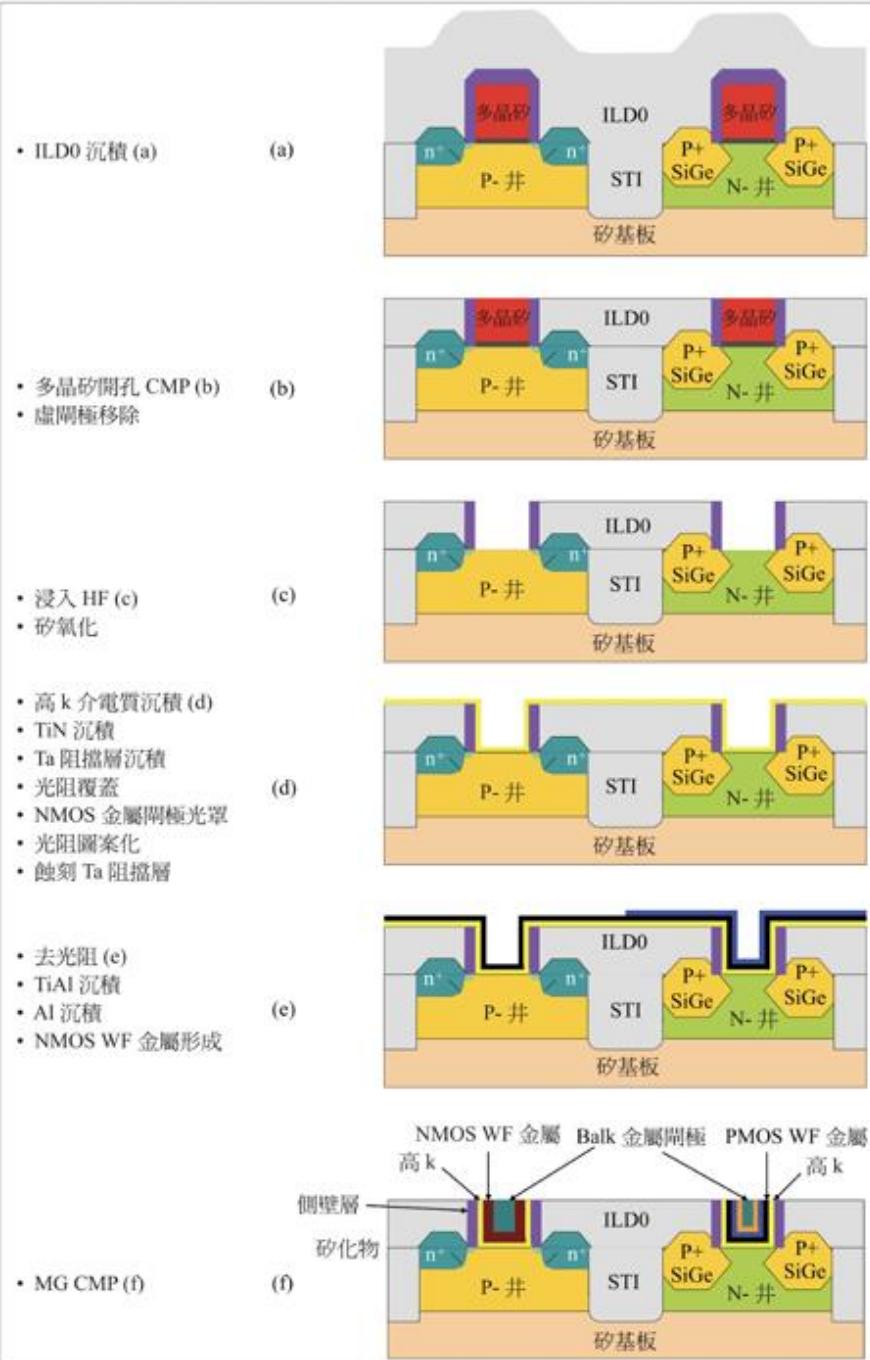


- 去光阻
- 去光阻, 晶圓清洗 (c)

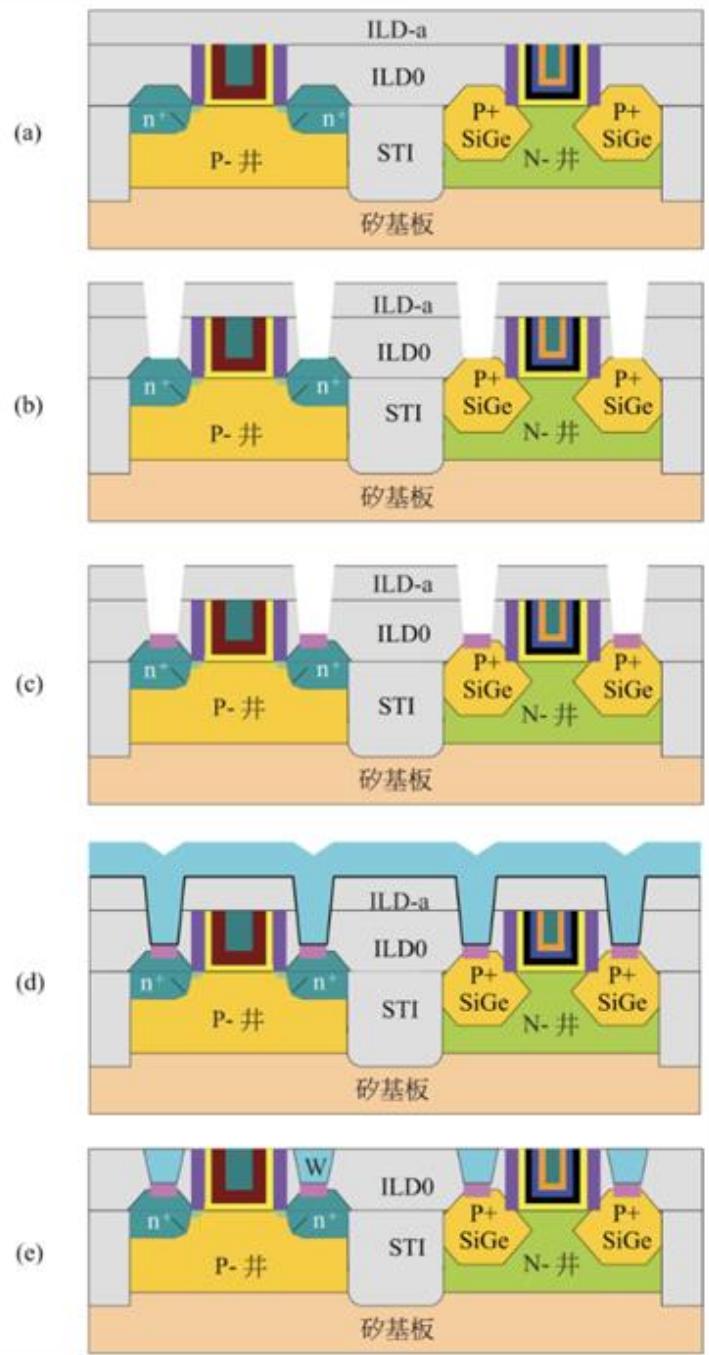
(c)



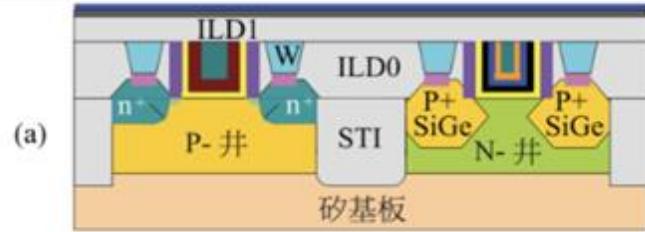




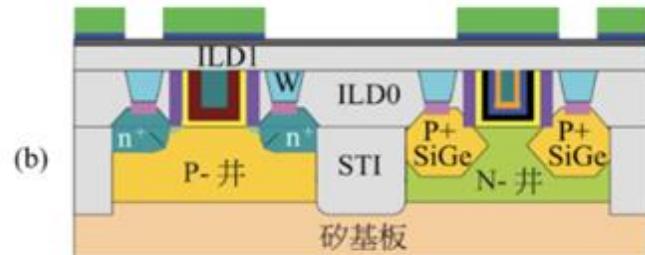
- ILD-a 沉積 (a)
- 光阻覆蓋
- 溝槽接觸光罩
- 光阻圖案化
- 接觸蝕刻



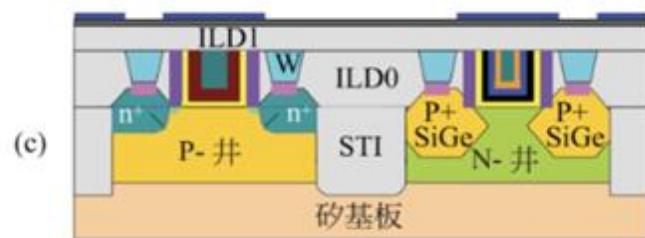
- ILD1 疊層沉積
- TEOS 覆蓋層沉積
- 硬遮蔽層沉積 (a)



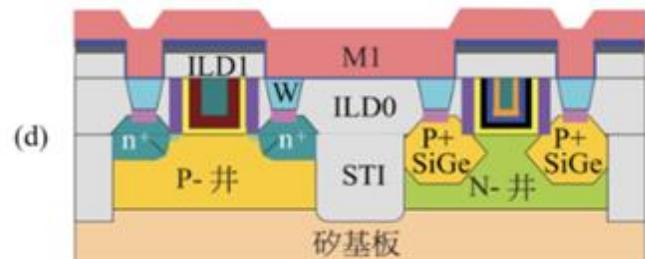
- 光阻覆蓋
- 金屬 1 光罩
- 金屬 1 光阻圖案化
- 金屬 1 硬遮蔽層蝕刻 (b)
- 去光阻



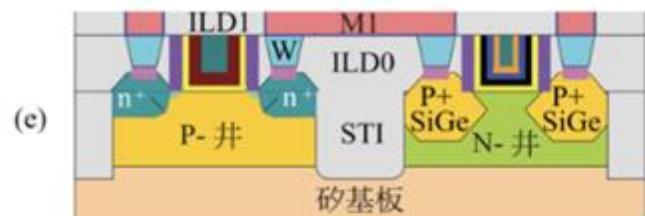
- 金屬 1 蝕刻 (c)
- 蝕刻後檢測
- PVD 沉積 Ta
- PVD 沉積 Cu



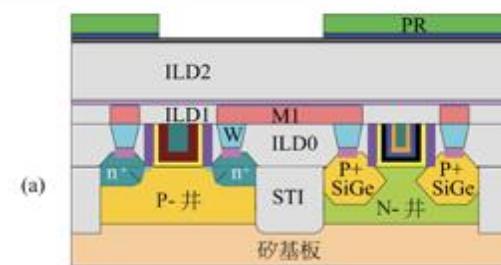
- Cu ECP (d)



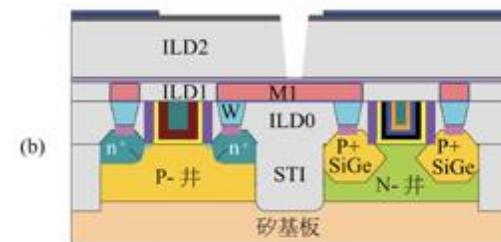
- Cu/Ta/TiN CMP (e)
- CoWP 無電鍍



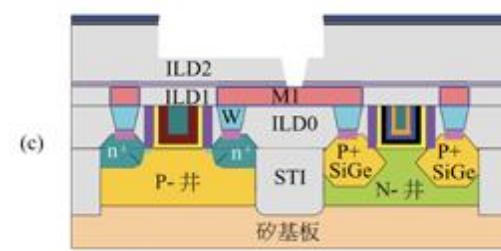
- ILD2 沉積
- TEOS 覆蓋和硬遮蔽層沉積
- 光阻覆蓋
- M2 光罩
- M2 光阻圖案化
- 硬遮蔽層蝕刻 (a)



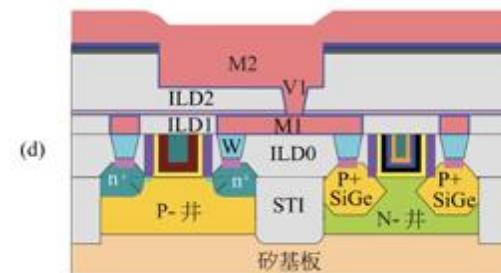
- 去光阻
- 光阻覆蓋
- 通孔 1 光罩
- 光阻圖案化
- 通孔 1 蝕刻
- 去光阻和晶圓清洗 (b)
- M2 溝槽蝕刻



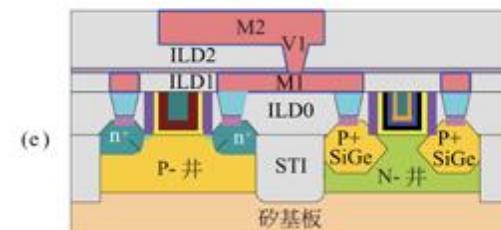
- 晶圓清洗 (c)
- PVD 沉積 Ta/Cu



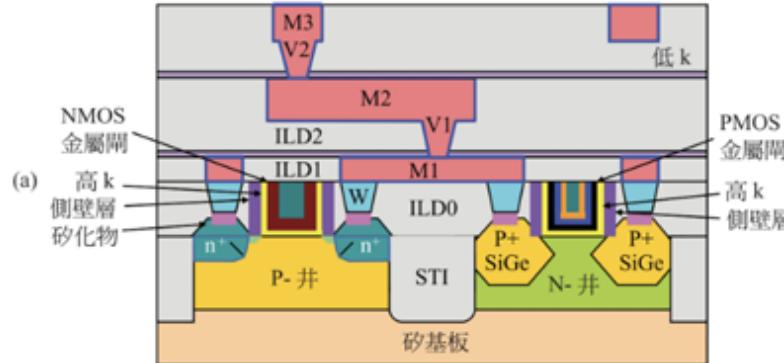
- Cu ECP (d)
- Cu/Ta/TiN/ CMP



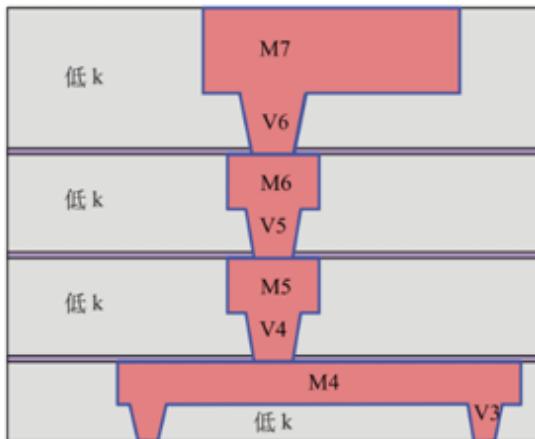
- CoWP 無電鍍 (e)



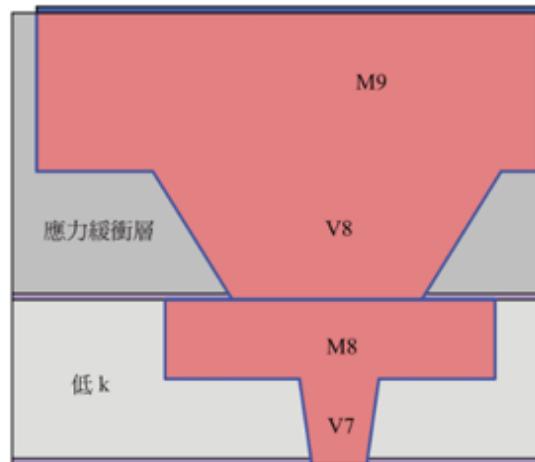
- V2M3 (a)
- V3M4
- V4M5
- V5M6



- V6M7 (b)
- V7M8
- V8M9
- 沉積氮化物應力緩衝層
- 通孔 8 圖案化 (b)
- 通孔 8 蝕刻
- M9 圖案化
- M9 接觸蝕刻
- 沉積 Ta 和 Cu
- Cu/Ta/HM CMP



- 錫電鍍 (c)



2015 – 2025

- 技術節點：16 nm – 3 nm
- FinFET 是三維結構的場效應電晶體，其特點在於使用垂直的鰭狀結構作為通道，並由閘極三面環繞，以提升控制電流的能力
- FinFET 可以在較小的矽表面積上實現相同的通道寬度，透過增加鰭片高度，可以進一步增加通道寬度，因此它可以在不縮小元件特徵尺寸的情況下進一步提高元件性能
- 然而鰭片高度縮放有其限制，如果鰭片太高，深寬比太大，蝕刻和清洗鰭片可能會非常困難，容易導致鰭片坍塌
- [FinFET process flow](#)

