中期答辩自述文档

1. 项目分工

|  |  |  |  |
| --- | --- | --- | --- |
| 姓名 | 学号 | 实验课时间 | 负责的工作（不是扣分项，但建议写，方便问答） |
| 莫丰源 | 12311805 | Monday56\_WangQing |  |
| 施皓天 | 12312214 | Monday56\_WangQing |  |
| 郭珈伊 | 12311851 | Monday56\_WangQing |  |

1. 代码规范：结构化设计（是\否）

命名规范：是

注释要求：是

符号化常量的定义及使用：是

1. CPU特性 (单周期 \ ~~pipeline~~), CPU时钟( 50 MHz) , **ISA**( RISC-V \ ~~LA~~ \ ~~ARM~~)

**存储方案**(~~冯诺伊曼~~ \ 哈佛), **IO方案**( ~~中断~~ \ MMIO) (不是评分点，已确定好建议做标记)

本次大作业中要实现的指令集(请罗列)：

lb、lh、lw、lbu、lhu、sb、sh、sw、addi、slli、slti、sltiu、xori、srli、srai、ori、andi、add、sub、sll、slt、sltu、xor、srl、sra、or、and、beq、bne、blt、bge、bltu、bgeu、jal、jalr、auipc、lui

1. CPU架构设计（内部模块及连线关系）/接口设计说明
2. CPU指令于控制信号的关系 (可参考以下表格)

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 指令 | Branch | ALUOp | ALUsrc | MemRead | MemWrite | MemtoReg | RegWrite |
| lb | 0 | 00 | 1 | 1 | 0 | 1 | 1 |
| lh | 0 | 00 | 1 | 1 | 0 | 1 | 1 |
| lw | 0 | 00 | 1 | 1 | 0 | 1 | 1 |
| lbu | 0 | 00 | 1 | 1 | 0 | 1 | 1 |
| lhu | 0 | 00 | 1 | 1 | 0 | 1 | 1 |
| sb | 0 | 00 | 1 | 0 | 1 | 0 | 0 |
| sh | 0 | 00 | 1 | 0 | 1 | 0 | 0 |
| sw | 0 | 00 | 1 | 0 | 1 | 0 | 0 |
| addi | 0 | 10 | 1 | 0 | 0 | 0 | 1 |
| slli | 0 | 10 | 1 | 0 | 0 | 0 | 1 |
| slti | 0 | 10 | 1 | 0 | 0 | 0 | 1 |
| sltiu | 0 | 10 | 1 | 0 | 0 | 0 | 1 |
| xori | 0 | 10 | 1 | 0 | 0 | 0 | 1 |
| srli | 0 | 10 | 1 | 0 | 0 | 0 | 1 |
| srai | 0 | 10 | 1 | 0 | 0 | 0 | 1 |
| ori | 0 | 10 | 1 | 0 | 0 | 0 | 1 |
| andi | 0 | 10 | 1 | 0 | 0 | 0 | 1 |
| add | 0 | 10 | 0 | 0 | 0 | 0 | 1 |
| sub | 0 | 10 | 0 | 0 | 0 | 0 | 1 |
| sll | 0 | 10 | 0 | 0 | 0 | 0 | 1 |
| slt | 0 | 10 | 0 | 0 | 0 | 0 | 1 |
| sltu | 0 | 10 | 0 | 0 | 0 | 0 | 1 |
| xor | 0 | 10 | 0 | 0 | 0 | 0 | 1 |
| srl | 0 | 10 | 0 | 0 | 0 | 0 | 1 |
| sra | 0 | 10 | 0 | 0 | 0 | 0 | 1 |
| or | 0 | 10 | 0 | 0 | 0 | 0 | 1 |
| and | 0 | 10 | 0 | 0 | 0 | 0 | 1 |
| beq | 1 | 01 | 0 | 0 | 0 | 0 | 0 |
| bne | 1 | 01 | 0 | 0 | 0 | 0 | 0 |
| blt | 1 | 01 | 0 | 0 | 0 | 0 | 0 |
| bge | 1 | 01 | 0 | 0 | 0 | 0 | 0 |
| bltu | 1 | 01 | 0 | 0 | 0 | 0 | 0 |
| bgeu | 1 | 01 | 0 | 0 | 0 | 0 | 0 |
| jal | 1 | 11 | 1 | 0 | 0 | 0 | 1 |
| jalr | 1 | 11 | 1 | 0 | 0 | 0 | 1 |
| auipc | 0 | 11 | 1 | 0 | 0 | 0 | 1 |
| lui | 0 | 11 | 1 | 0 | 0 | 0 | 1 |

注：表格数据基于 control.v 和 ALU.v 模块的逻辑，ALUOp 的值分别为 00(加载/存储)、01(分支)、10(R/I型)、11(跳转/U型)。

1. 项目实施的情况，已完成的项目代码

|  |  |  |
| --- | --- | --- |
| 单项 | 完成百分比 | 备注（待完成/待解决） |
| 文档 | 0 |  |
| CPU模块设计 |  |  |
| CPU顶层设计 |  |  |
| CPU 单元测试 |  |  |
| CPU 集成测试 |  |  |
| IO 设计 |  |  |
| IO 测试 |  |  |
| 程序下发方式 |  |  |
| 工具链 |  |  |
| 基本测试场景1 |  |  |
| 基本测试场景2 |  |  |
| 附加测试场景 |  |  |

1. 计划使用/开发的工具链
2. 项目整体进度（\_\_\_\_%）当前困难或问题、预计最终答辩时间、后续计划