

# Projekt: UART

Jméno: Tony Pham

Login: xphamt00

## Architektura navrženého systému (na úrovni RTL)

### Popis funkce RTL:

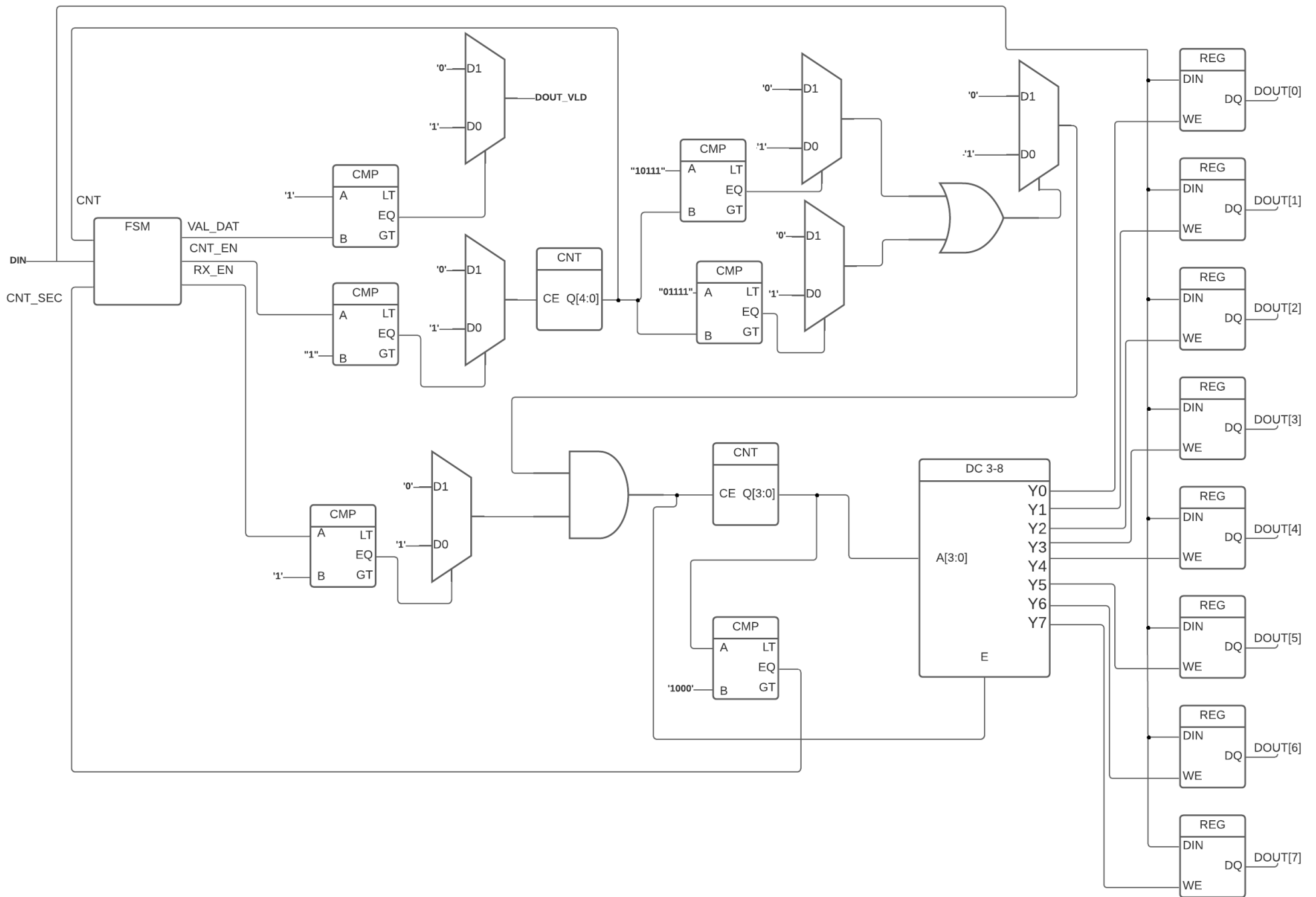
V obvodu je zapojen FSM, který má 3 vstupy CNT, CNT\_SEC a DIN a 3 výstupy VAL\_DAT, CNT\_EN, RX\_EN. Hodnotu DOUT\_VLD udává VAL\_DAT, která má ještě před udáním hodnoty kontrolní podmínku.

Výstup CNT\_EN prvně projdou podmínkou a pak se při splnění přičte k cnt, dále jde na vstup CNT u FSM a k dalším vyhodnocovacím podmínkám.

Další série porovnávání udává, zda se bude číst hodnotu z DIN a zda čítač bude přičítat k cnt\_sec. K tomu, aby čítač mohl přičítat k cnt\_sec musí být ještě splněná podmínka, která závisí na výstupu READ\_EN.

Pokud je toto splněno tak je hodnota DIN na základě hodnoty cnt\_sec uložena do jednoho z osmi registrů. Každý jeden registr udává jeden bit z výstupu DOUT[7:0].

Schéma obvodu je další stránce



## Návrh automatu (Finite state machine)

Popis funkce automatu:

Zažíná se ve stavu WAIT\_START\_BIT a do stavu WAIT\_FIRST\_BIT se dostane pouze pokud vstupní signál DIN je roven 0.

Další stav je RECEIVE\_DATA, do kterého se dostaneme, když CNT = "10110".

Následuje stav WAIT\_STOP\_BIT, který nastane, když CNT\_SEC = "1000" a poslední stav je DATA\_VALID do kterého se dostaneme, když DIN je roven 0.

Schéma obvodu je další stránce

## Legenda:

-stavy automatu: WAIT\_START\_BIT, WAIT\_FIRST\_BIT, RECEIVE\_DATA, WAIT\_STOP\_BIT, DATA\_VALID

-vstupní signály: DIN, CNT, CNT\_SEC

-mooreovy výstupy: RX\_EN, CNT\_EN, VAL\_DAT

