

## 第一章 数制与码制

1-1 将下列二进制数转换成十进制数。

(1) 101101 (2) 11011101 (3) 0.11 (4) 1010101.0011

解: (1) 45 (2) 221 (3) 0.75 (4) 85.1875

1-2 将下列十进制数转换成二进制数 (小数部分取 4 位有效数字)。

(1) 37 (2) 0.75 (3) 12.34 (4) 19.65

解: (1) 100101 (2) 0.11 (3) 1100.0101 (4) 10011.1010

1-3 将下列二进制数转换成十六进制数。

(1) 0011 (2) 10101111 (3) 1001.0101 (4) 101010.001101

解: (1) 3 (2) AF (3) 9.5 (4) 2A.34

1-4 将下列十六进制数转换成二进制数。

(1) 2A (2) 123 (3) 7F.FF (4) 432.B7

解: (1) 101010 (2) 100100011 (3) 1111111.11111111 (4) 10000110010.10110111

1-5 将下列十进制数转换成十六进制数 (小数部分取一位有效数字)。

(1) 43 (2) 36.8 (3) 6.73 (4) 174.5

解: (1) 2B (2) 24.C (3) 6.B (4) AE.8

1-6 将下列十六进制数转换成十进制数。

(1) 56 (2) 4F.12 (3) 2B.C1 (4) AB.CD

解: (1) 86 (2) 79.0703125 (3) 43.75390625 (4) 171.80078125

1-7 完成下列各数的转换。

(1)  $(24.36)_{10} = (00100100.00110110)_{8421BCD}$

(2)  $(64.27)_{10} = (10010111.01011010)_{\text{余}3BCD}$

(3)  $(01011000)_{8421BCD} = (58)_{10}$

(4)  $(10110011.1011)_{2421BCD} = (53.5)_{10}$

1-8 写出下列带符号位二进制数所表示的十进制数。

(1) 0101 (2) 1011 (3) 10101 (4) 11100

解: (1) +5 (2) -3 (3) -5 (4) -12

1-9 试写出下列十进制数的二进制原码、反码和补码 (码长为 8)。

(1) +37 (2) -102 (3) +10.5 (4) -38

解: (1)  $[+37]_{\text{原}} = 00100101, [+37]_{\text{反}} = 00100101, [+37]_{\text{补}} = 00100101$

(2)  $[-102]_{\text{原}} = 11100110, [-102]_{\text{反}} = 10011001, [-102]_{\text{补}} = 10011010$

(3)  $[+10.5]_{\text{原}} = 0001010.1, [+10.5]_{\text{反}} = 0001010.1, [+10.5]_{\text{补}} = 0001010.1$

(4)  $[-38]_{\text{原}} = 10100110, [-38]_{\text{反}} = 11011001, [-38]_{\text{补}} = 11011010$

## 第二章 逻辑函数及其化简

2-1 什么叫与、或、非逻辑？试列举几种相关的实例，并列写出 3 种逻辑运算的表达式。

答：（1）只有当决定某一事件的条件全部具备时，这一事件才会发生。这种因果关系称为与逻辑关系。当任一条件具备时结果就会发生，这种因果关系为或逻辑关系。当条件不具备时，事件发生，这种因果关系成为非逻辑关系。

（2）两个开关和灯泡三者串联，它们都闭合，灯才会亮。两个开关是与的关系。两个开关并联后再和灯泡串联，两个开关只要有一个闭合，灯就会亮。两个开关是或的关系。开关和灯泡并联，开关不闭合灯亮，开关闭合灯亮的结果就不会发生。灯亮和开关闭合是非的关系。

（3）与逻辑表达式： $F = A \cdot B$ ；或逻辑表达式： $F = A + B$ ；非逻辑表达式： $F = \overline{A}$ 。

2-2 根据真值表判断异或和同或的逻辑关系是什么？

答：表 2-1、2-2 是异或和同或运算的真值表：

表 2-1 异或逻辑真值表

| A | B | F |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

表 2-2 同或逻辑真值表

| A | B | F |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

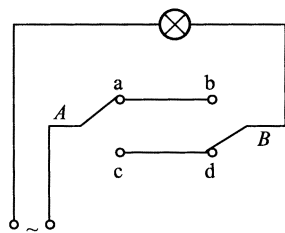
可以看出：一个值为 0 和另外一个值为 1 的两个量进行异或运算，输出才为 1。而同或运算相反，两个值同为 0 或者同时为 1 进行同或运算，输出才为 1。

2-3 逻辑函数有哪些表示方法？

答：逻辑函数表示方法有：（1）逻辑函数表达式（2）逻辑真值表（3）逻辑符号图（4）波形图（5）卡诺图等。

2-4 列出下述问题的真值表，并写出逻辑表达式：

（1）题 2-4 图所示为楼道里“单刀双掷”开关控制楼道灯的示意图。A 点表示楼上开关，B 表示楼下开关，两个开关的上接点分别为 a 和 b；下接点分别为 c 和 d。在楼下时，可以按动开关 B 开灯，照亮楼梯；到楼上后，可以按动开关 A 关掉灯。试写出灯的亮灭与开关 A、B 的真值表和逻辑表达式。



题 2-4 图

解：假设两个开关拨至 a, b 为 1, 拨至 c, d 为 0。变量 F 代表灯的工作状态，灯亮为 1, 灯灭为 0, 真值表如表 2-3 所示。

表 2-3 习题 2-4 (1) 真值表

| A | B | F |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

$$F = \bar{A} \cdot \bar{B} + A \cdot B = A \odot B$$

(2) 有三个温度探测器，当探测的温度超过 60°C 时，输出控制信号 1；如果探测的温度低于 60°C 时，输出控制信号为 0，当有两个或者两个以上的温度探测器输出 1 信号时，总控制器输出 1 信号，自动控制调控设备，使温度降低到 60°C 以下。假设有 3 个温度探测器，试写出总控制器的真值表和逻辑表达式。

解：假设三个温度探测器分别是 A、B、C，F 代表总控制器的工作状态。则可以列出真值表如表 2-4 所示。

表 2-4 习题 2-4 (2) 真值表

| A | B | C | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

$$F = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

2-5 用公式法和真值表两种方法证明下列各等式：

(1)  $(A + \bar{B})(\bar{A} + \bar{B} + \bar{C}) = \bar{A}\bar{C} + \bar{B}$

证明：公式法

$$\begin{aligned}\text{左边} &= A\bar{A} + A\bar{B} + A\bar{C} + \bar{B}\bar{A} + \bar{B}\bar{B} + \bar{B}\bar{C} = 0 + A\bar{B} + A\bar{C} + (\bar{B}\bar{A} + \bar{B} + \bar{B}\bar{C}) \\ &= A\bar{B} + A\bar{C} + \bar{B} = A\bar{C} + \bar{B} = \text{右边}\end{aligned}$$

真值表法

表 2-5 习题 2-5 (1) 真值表

| A | B | C | 左边<br>$(A + \bar{B})(\bar{A} + \bar{B} + \bar{C})$ | 右边<br>$A\bar{C} + \bar{B}$ |
|---|---|---|--|----------------------------|
| 0 | 0 | 0 | 1  | 1                          |
| 0 | 0 | 1 | 1  | 1                          |
| 0 | 1 | 0 | 0  | 0                          |
| 0 | 1 | 1 | 0  | 0                          |
| 1 | 0 | 0 | 1  | 1                          |
| 1 | 0 | 1 | 1  | 1                          |
| 1 | 1 | 0 | 1  | 1                          |
| 1 | 1 | 1 | 0  | 0                          |

$$(2) \bar{A}\bar{C} + \bar{A}\bar{B} + \bar{A}\bar{C}\bar{D} + BC = \bar{A} + BC$$

证明：公式法

$$\begin{aligned}\text{左边} &= (\bar{A}\bar{C} + \bar{A}\bar{B}) + \bar{A}\bar{C}\bar{D} + BC = \bar{A}\bar{B}\bar{C} + BC + \bar{A}\bar{C}\bar{D} \\ &= \bar{A} + BC + \bar{A}\bar{C}\bar{D} = \bar{A} + BC = \text{右边}\end{aligned}$$

真值表法

表 2-6 习题 2-5 (2) 真值表

| A | B | C | 左边<br>$\bar{A}\bar{C} + \bar{A}\bar{B} + \bar{A}\bar{C}\bar{D} + BC$ | 右边<br>$\bar{A} + BC$ |
|---|---|---|--|----------------------|
| 0 | 0 | 0 | 1  | 1                    |
| 0 | 0 | 1 | 1  | 1                    |
| 0 | 1 | 0 | 1  | 1                    |
| 0 | 1 | 1 | 1  | 1                    |
| 1 | 0 | 0 | 0  | 0                    |
| 1 | 0 | 1 | 0  | 0                    |
| 1 | 1 | 0 | 0  | 0                    |
| 1 | 1 | 1 | 1  | 1                    |

2-6 写出下列各式 F 和它们的对偶式、反演式的最小项表达式：

$$(1) F = ABCD + ACD + B\bar{D}$$

$$\text{解： } F = ABCD + ACD + B\bar{D} = \sum m(4, 6, 11, 12, 14, 15)$$

$$\overline{F} = (\overline{A} + \overline{B} + \overline{C} + \overline{D})(\overline{A} + \overline{C} + \overline{D})(\overline{B} + D) = \sum m(0,1,2,3,5,7,8,9,10,13)$$

$$F^* = (A + B + C + D)(A + C + D)(B + \overline{D}) = \sum m(2,5,6,7,8,10,12,13,14,15) ;$$

$$(2) F = \overline{A}\overline{B} + CD$$

$$\text{解: } F = \overline{A}\overline{B} + CD = \sum m(0,1,2,3,7,11,15)$$

$$\overline{F} = \sum m(4,5,6,8,9,10,12,13,14)$$

$$F^* = \sum m(1,2,3,5,6,7,9,10,11) ;$$

$$(3) F = A + \overline{BC} + D。$$

$$\text{解: } F = A + \overline{BC} + D = A + \overline{BD} + C\overline{D} = \sum m(0,2,6,8,9,10,11,12,13,14,15)$$

$$\overline{F} = \sum m(1,3,4,5,7)$$

$$F^* = \sum m(8,10,11,12,14)$$

2-7 用公式法化简下列各式:

$$(1) F = A(A + \overline{B}) + BC(\overline{A} + B) + \overline{B}(A \oplus C)$$

解:

$$\begin{aligned} F &= A(A + \overline{B}) + BC(\overline{A} + B) + \overline{B}(A \oplus C) \\ &= A + \overline{A}BC + BC + \overline{A}\overline{B} \oplus \overline{B}C \\ &= A + BC + \overline{B}C = A + C \end{aligned}$$

$$(2) F = \overline{(A + B)(A + C)} + \overline{A + B + C}$$

解:

$$\begin{aligned} F &= \overline{(A + B)(A + C)} + \overline{A + B + C} \\ &= \overline{A}\overline{B} + \overline{A}\overline{C} + \overline{A}\overline{B}\overline{C} = \overline{A}(\overline{B} + \overline{C} + \overline{B}\overline{C}) \\ &= \overline{A}(\overline{B} + \overline{C}) = \overline{A}\overline{BC} \end{aligned}$$

$$(3) F = AB + \overline{A}\overline{C} + \overline{B}\overline{C}。$$

$$\text{解: } F = AB + \overline{A}\overline{C} + \overline{B}\overline{C} = AB + \overline{A}\overline{C}$$

2-8 用卡诺图法化简下列各函数:

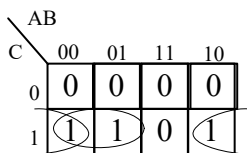
$$(1) F = (\overline{A} + \overline{B})(AB + C)$$

$$\begin{aligned} \text{解: } F &= (\overline{A} + \overline{B})(AB + C) = \overline{A}AB + \overline{B}AB + \overline{A}C + \overline{B}C = \overline{A}\overline{B}C + \overline{A}BC + \overline{A}\overline{B}C \\ &= \sum m(1,3,5) \end{aligned}$$

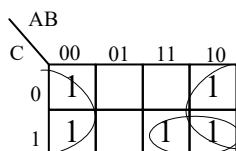
化简卡诺图如题 2-8 图 1 所示，化简结果得：  $F = \overline{A}C + \overline{B}C$

(2)  $F(A, B, C) = \sum m(0, 1, 4, 5, 7)$

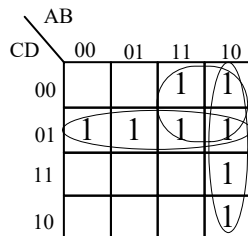
解： 化简卡诺图如题 2-8 图 2 所示，化简结果得：  $F = \overline{B} + AC$



题 2-8 图 1



题 2-8 图 2



题 2-8 图 3

(3)  $F = \overline{A}BC + \overline{A}CD + \overline{A}C$

解： 化简卡诺图如题 2-8 图 3 所示，化简结果得：

$$F = \overline{A}B + \overline{C}D + \overline{A}C$$

(4)  $F = BC + D + \overline{D}(\overline{B} + \overline{C})(AD + B)$ ;

解

$$\begin{aligned} F &= BC + D + \overline{D}(\overline{B} + \overline{C})(AD + B) \\ &= BC + D + (\overline{D}\overline{B} + \overline{D}\overline{C})(AD + B) \\ &= BC + D + \overline{D}\overline{C}(AD + B) \\ &= BC + D + \overline{D}\overline{C}B \\ &= \sum m(1, 3, 4, 5, 6, 7, 9, 11, 12, 13, 14, 15) \end{aligned}$$

化简卡诺图如题 2-8 图 4 所示，化简结果得：  $F = B + D$

(5)  $F(A, B, C, D) = \sum m(4, 5, 6, 8, 9, 10, 13, 14, 15)$ ;

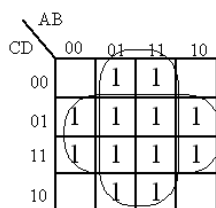
解： 化简卡诺图如题 2-8 图 5 所示，化简结果得：

$$F(A, B, C, D) = \overline{A}B\overline{C} + ABD + BC\overline{D} + \overline{A}B\overline{C} + AC\overline{D}$$

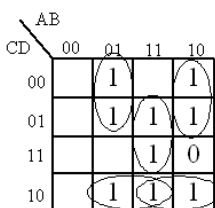
(6)  $F(A, B, C, D) = \sum m(0, 2, 7, 13, 15) + \sum d(1, 3, 4, 5, 6, 8, 10)$ 。

解： 化简卡诺图如题 2-8 图 6 所示，化简结果得：

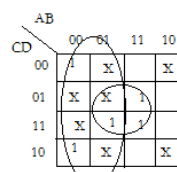
$$F(A, B, C, D) = \overline{A} + BD$$



题 2-8 图 4



题 2-8 图 5



题 2-8 图 6

### 第三章 集成逻辑门电路

3-1 什么是 N 沟道增强型 MOS 管的开启电压?如何判断 MOS 管所处的工作状态?

答: 开启电压就是  $V_{GS(th)}$ , 当  $V_{GS} < V_{GS(th)}$  时, MOS 管处于截止状态,  $i_{DS} = 0$ 。当  $V_{GS} \geq V_{GS(th)}$  时, MOS 管导通, 产生  $i_{DS}$ 。在  $V_{GS} = 0$  时不存在导电沟道, 必须加以足够高的栅极电压才有导电沟道形成, 所以将这种类型的 MOS 管称为 N 沟道增强型 MOS 管。

根据  $V_{GS}$  的大小判断 MOS 管的工作状态:

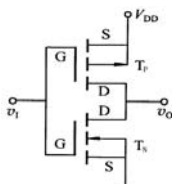
当  $|V_{GS}| < |V_{GS(th)}|$  时, 漏极 D 和源极 S 之间没有导电沟道, MOS 管处于截止区;

当  $|V_{GS}| > |V_{GS(th)}|$ , 且  $|V_{DS}| > |V_{GS}| - |V_{GS(th)}|$  时, MOS 管工作在恒流区;

当  $|V_{GS}| > |V_{GS(th)}|$ , 而  $|V_{DS}| < |V_{GS}| - |V_{GS(th)}|$  时, MOS 管工作在可调电阻区。

3-2 CMOS 反相器的电路结构是怎样的, 它有哪些特点?

答: (1) CMOS 反相器是互补对称式金属-氧化物-半导体场效应管, 由绝缘栅场效应管组成的单极型集成电路。标准的 CMOS 反相器是由增强型 PMOS 负载管 (TP) 和增强型 NMOS 驱动管 (TN) 串联组成, 其电路结构如图所示。



题 3-2 图

(2) 特点: 静态功耗低; 抗干扰能力较强; 电压利用率高; 输入阻抗高; 带同类门的负载能力强。

CMOS 反相器有效地克服了 TTL 集成电路中存在的单元电路结构复杂、功耗大、集成度低等缺点。因而在向大规模和超大规模集成电路的发展中, CMOS 集成电路已占有统治地位。

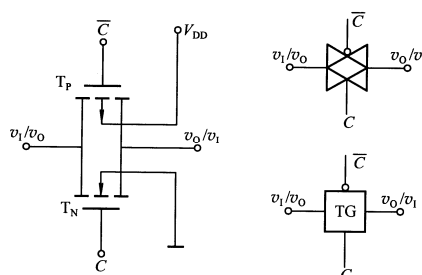
CMOS 反相器的电压传输特性上  $V_{th} = V_{DD} / 2$ , 且转折区变化率很大, 因此它更接近于理想的开关特性。这种形式的电压传输特性, 使 CMOS 反相器获得了更大的抗干扰能力。

CMOS 门电路输入管是增强型 MOS 管, 其输入电流近似等于零。因此, 在输入端接电阻不会像 TTL 门电路那样导致输入端的逻辑电平改变。由于输入阻抗很高, 因此多余输入端不能悬空, 应根据逻辑功能需要接电源或地。

CMOS 反相器输出电平的振幅近似等于电源电压  $V_{DD}$ ，电源利用率高。

### 3-3 CMOS 传输门的电路结构是怎样的，它有何特殊应用？

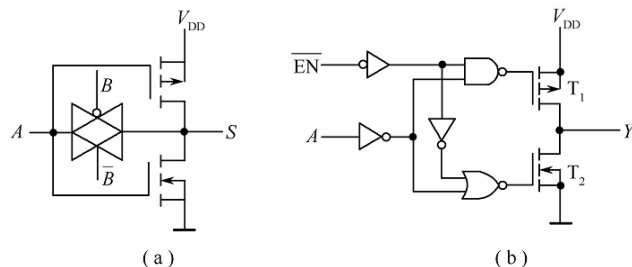
答：CMOS 传输门是由一个 P 沟道增强型 MOS 管和一个 N 沟道增强型 MOS 管并联互补组成，其电路结构和逻辑符号如图所示。



题 3-3 图

两管的栅极由一对互补的控制信号  $C$  和  $\bar{C}$  控制。由于 MOS 器件的源极和漏极是对称的，所以信号可以双向传输。CMOS 传输门和 CMOS 反相器一样，也是构成各种逻辑电路的一种基本单元电路，传输门的一个重要用途是作模拟开关，用来传输连续变化的模拟电压信号。

3-4 分析题 3-4 图所示 (a)、(b) 电路的逻辑功能，写出电路输出函数  $S$  和  $Y$  的逻辑表达式。



题 3-4 图

解：(1) 分析图 (a) 电路，得到：

| A | B | S |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

可以得到逻辑关系是：

$$S = \bar{A}\bar{B} + \bar{A}B = A \oplus B$$

(2) 分析图 (b) 电路，得到：



| A | $\overline{EN}$ | Y   |
|---|-----------------|-----|
| 0 | 0               | 1   |
| 0 | 1               | 高阻态 |
| 1 | 0               | 0   |
| 1 | 1               | 高阻态 |

可以得到逻辑关系是：

$$Y = \overline{A} \cdot (\overline{\overline{EN}}) \quad (\text{输出和输入之间是 } \overline{EN} \text{ 低有效三态控制非门})$$

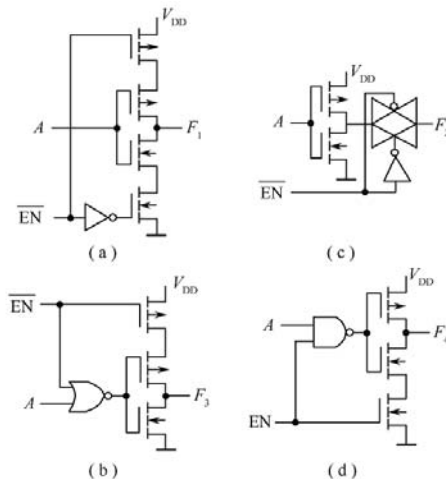
3-5 判断以下叙述是否正确（正确者打√，错误者打×）：

对于 CMOS 或非门电路：

- (1) 输入端悬空会造成逻辑出错。（√）
- (2) 输入端接大电阻（如 510 kΩ）到地相当于接高电平 1。（×）
- (3) 输入端接小电阻（如 510 Ω）到地相当于接低电平 0。（√）
- (4) 输入端接低电平时有电流从门中流出。（√）
- (5) 多余输入端不可以并联使用。（×）

3-6 电路如题 3-6 图所示，试

- (1) 写出  $F_1$ 、 $F_2$ 、 $F_3$ 、 $F_4$  的逻辑表达式；
- (2) 说明四种电路的相同之处与不同之处。



题 3-6 图

解：(a) 图中  $\overline{EN} = 1$  时，输出高阻态； $\overline{EN} = 0$  时，构成非门。所以：  $F_1 = \overline{A}$ 。

(b) 图中  $\overline{EN}=1$  时，输出高阻态； $\overline{EN}=0$  时，输入和输出导通。所以：  $F_3 = A$ 。

(c) 图中  $\overline{EN}=1$  时，输入和输出之间呈现高阻抗； $\overline{EN}=0$  时，传输门导通，构成非门。

所以：  $F_2 = \overline{A}$ 。

(d) 图中  $EN=0$  时，输出高阻态； $EN=1$  时，输入和输出导通。所以：  $F_4 = A$ 。

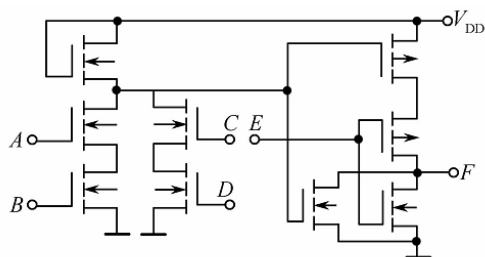
这四种电路相同之处是都包含一个 CMOS 反相器，都利用 P 沟道增强型 MOS 管和 N 沟道增强型 MOS 管导通与截止的功能，实现三态控制。(a) 和 (c) 类似，实现三态非门。

(b) 和 (d) 类似，构成三态传输门。

不同之处是：四种图用了不同的结构。(a)、(b)、(c) 都是低有效信号控制三态非门，

(d) 图是高有效信号控制三态门。

3-7 试写出题 3-3 图所示电路输出端 F 的最简逻辑表达式。



题 3-7 图

解： 根据上图电路，分析逻辑功能如所列：

题 3-7 真值表

| A | B | C | D | E | F |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |

|   |   |   |   |   |   |
|---|---|---|---|---|---|
| 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 |

由上表，可以得到输出端 F 的逻辑表达式：

$$F = (AB + CD)\overline{E}$$

3-8 晶体二极管作为开关应用时，呈现的瞬态开关特性与理想开关有哪些区别？什么是反向恢复时间？产生的原因是什么？

答：（1）晶体二极管属于双极型器件。它的开关特性分静态和动态两部分。静态开关特性又称稳态开关特性；动态开关特性又称瞬态开关特性。

（2）反向电流持续的时间用反向恢复时间  $t_{re}$  来定量描述。 $t_{re}$  是指反向电流从它的峰值衰减到峰值的十分之一所经过的时间。

（3）反向恢复时间就是存储电荷耗尽所需要的时间，产生反向恢复时间的原因是由电荷存储效应引起。该过程使二极管不能在快速连续脉冲作用下作为开关使用。如果反向脉冲的持续时间比  $t_{re}$  短，则二极管在正、反向都可导通，起不到开关作用。因此，了解二极管反向恢复时间对正确选取晶体管和合理设计电路至关重要。

3-9 什么是晶体三极管的饱和状态？如何判断晶体三极管处于导通、饱和和截止状态？

答：当加在三极管发射结上的电压大于 PN 结的导通电压，基极电流增大到一定程度时，集电极电流不再随基极电流的增大而增大，而是处于某一定值附近。这时三极管失去电流放大作用，集电极与发射极之间的电压很小，集电极和发射极之间相当于开关的导通状态。三极管的这种状态我们称之为饱和导通状态。

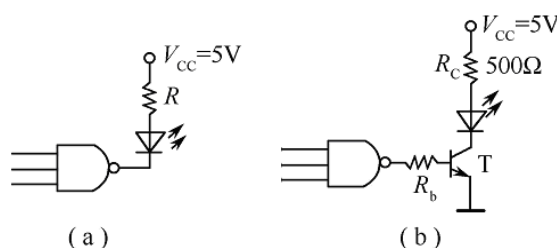
$$\begin{array}{ll} \text{导通条件} & V_c > V_b > V_e \quad \text{截止条件} \quad V_{IL} < V_{BE(th)} \quad (\text{使 } i_B = 0) \\ \text{饱和条件} & i_B \geq I_{BS} \end{array}$$

3-10 什么是三极管延迟时间、上升时间、存储时间和下降时间？影响这些时间的因素有哪些？

答：从输入电压  $v_i$  正跳变开始到  $i_c$  从 0 上升至  $10\%i_c$  所需的时间称延迟时间，用  $t_d$  表示。 $i_c$  从  $10\%i_c$  上升至  $90\%i_c$  所需的时间称上升时间，用  $t_r$  表示。 $v_i$  负跳变开始到  $i_c$  从最大值  $i_c$  下降至  $90\%i_c$  所需的时间称存储时间，用  $t_s$  表示。 $90\%i_c$  下降到  $10\%i_c$  所需的时间称下降时间，用  $t_f$  表示。三极管的时间参数  $t_d, t_r, t_s, t_f$  主要取决于三极管的内部构造，结电容越小，基区越薄，则结电容充放电时间就越短，基区中储存的电荷数量也越少，因此开关时间就越短。

3-11 已知 TTL 与非门带灌电流负载最大值  $I_{OL}=15 \text{ mA}$ ，带拉电流负载最大值为  $I_{OH}=-40 \text{ mA}$ ，输出高电平  $V_{OH}=3.6 \text{ V}$ ，输出低电平  $V_{OL}=0.3 \text{ V}$ ；发光二极管正向导通电压  $V_D=2 \text{ V}$ ，正向电流  $I_D=5 \sim 10 \text{ mA}$ ，三极管导通时  $V_{BE}=0.7 \text{ V}$ ，饱和电压降  $V_{CES} \approx 0.3 \text{ V}$ ， $\beta=50$ 。如题 3-11 图所示两电路均为发光二极管驱动电路，试问：

- (1) 两个电路的主要不同之处；
- (2) 图 (a) 中  $R$  和图 (b) 中  $R_b$  的取值范围。



题 3-11 图

解：(1) 两个电路都是要控制发光二极管，不同之处有：控制电平不同，(a) 图中当所有输入端都是高电平时，与非门输出低电平，发光二极管点亮，输入端只要有一个为低电平，与非门输出高，二极管都不亮。(b) 图是反过来，只要输入端有一个为低电平，与非门就输出高，三极管导通，二极管导通，点亮。只有当输入端都是高电平，与非门输出才为低电平，三极管截止，二极管才不亮；从逻辑关系上，三极管在这里起到一个非门的作用。

(2) a 图中:

$$R = \frac{V_{CC} - V_D - V_{OL}}{I_D} = \frac{5 - 2 - 0.3}{5 \sim 10\text{mA}} = \frac{2.7}{5 \sim 10\text{mA}} \approx 270 \sim 540\Omega$$

b 图中: 集电极电流  $I_{CE}$  范围:  $I_{CE(Max)}$  最大时保证二极管导通, 二极管阈值电压  $V_{D(th)} = 0.7\text{V}$ ;

$I_{CE(Min)}$  最小时, 二极管压降不会超过  $V_D = 2\text{V}$ 。

$$I_{CE} = \frac{V_{CC} - V_D - V_{CES}}{R_C} = \frac{5 - V_D - 0.3}{500} = \frac{4.7 - V_D}{500}$$

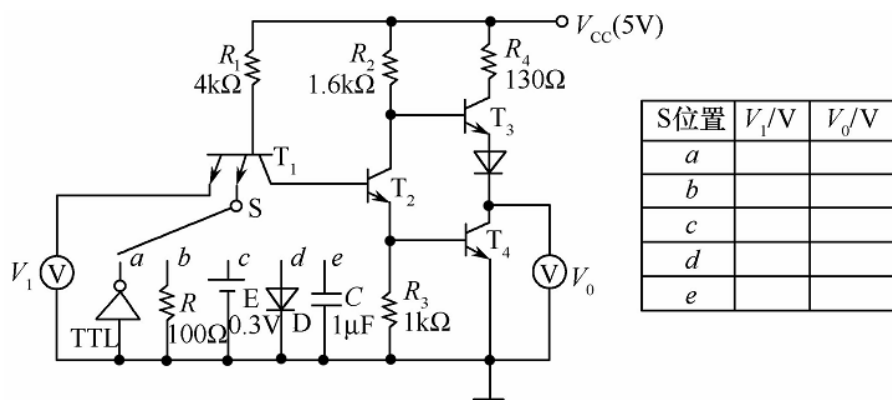
$$\text{有: } I_{CE(Max)} = \frac{4.7 - V_{D(th)}}{500} = \frac{4.7 - 0.7}{500} = 8\text{mA}, \quad I_{CE(Min)} = \frac{4.7 - V_D}{500} = \frac{4.7 - 2}{500} = 5.4\text{mA}$$

$$\text{所以: } I_b = \frac{I_{CE}}{\beta} = \frac{5.4 \sim 8}{50} = 0.108 \sim 0.16\text{mA}$$

由与非门高电平输出、 $R_b$ 、三极管基极发射极 B、E 直流等效回路, 有:

$$R_b = \frac{V_{OH} - V_{BE}}{I_b} = \frac{3.6 - 0.7}{0.108 \sim 0.16} = \frac{2.9}{0.108 \sim 0.16} \approx 18.1 \sim 26.8\text{k}\Omega$$

3-12 TTL 与非门电路与输入端外接电路如题 3-12 图所示, 当 S 合在不同位置时, 用题 3-12 图中万用表 (内阻为  $20\text{k}\Omega$ ) 测量  $V_1$  和  $V_0$  的值, 将结果填入表内。



题 3-12 图

解: 测量结果如表所示。

表 题 3-12 真值表

| S 位置 | V1/V | V0/V |
|------|------|------|
| a    | 3.6  | 0.3  |

此时 T1 为倒置工作状态

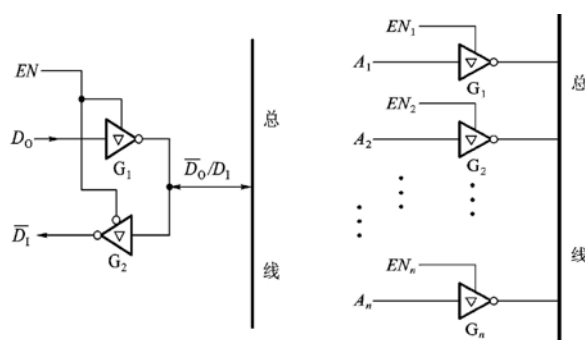
|   |     |     |
|---|-----|-----|
| b | 0.3 | 3.6 |
| c | 0.3 | 3.6 |
| d | 0.7 | 0.3 |
| e | 3.6 | 0.3 |

3-13 OC 门、三态输出门各有什么特点？什么是线与？什么是总线结构？如何用三态输出门实现数据双向传输？

答：（1）OC 门具有线与功能；三态输出门除了有导通和截至 2 个状态外，还有高阻态，所以称为三态门。

（2）两个或者两个以上输出端直接互连就可以实现“与”的逻辑功能，这就是“线与”的逻辑关系。让某些输出并联，可实现与的逻辑功能，节省一个多输入的与门器件。

（3）总线就是计算机连接有关部件的一组信号线，用来传送信息代码的公共通道。如图 3-6 所示的结构就是总线结构。



题 3-13 总线结构图

（4）利用三态门还可以实现数据的双向传输，其中门 G1 和门 G2 为三态反相器，门 G1 高电平有效，门 G2 低电平有效。当三态使能端  $EN=1$  时， $D_0$  经门 G1 反相送到数据总线，门 G2 呈高阻态；当三态使能端  $EN=0$  时，数据总线中的  $D_1$  由门 G2 反相后输出，而门 G1 呈高阻态。

3-14 CMOS 集成门电路与 TTL 集成门电路相比各有什么特点？

答 CMOS 集成门电路具有低功耗特性，延时小，开关速度快的特点。

3-15 CMOS 集成门和 TTL 集成门在使用时应注意哪些问题？多余输入端应如何正确处理？

答：（1）存放 CMOS 集成电路时要屏蔽，一般放在金属容器中，也可以用金属箔将引

脚短路。

(2) 在组装调试电路时，电烙铁、仪器仪表、工作台等均应良好接地。

(3) 不使用的多余输入端要做处理，不能悬空。以免拾取脉冲干扰。

(4) 为了防止输入端保护二极管因正向偏置而引起损坏，输入电压切记不能将极性接反。

注意 CMOS 和 TTL 集成门使用时，CMOS 悬空等效于接低电平，而 TTL 悬空相当于接高电平。

当要求多余端接高电平时，TTL 可以悬空，但 CMOS 必须接高电平；

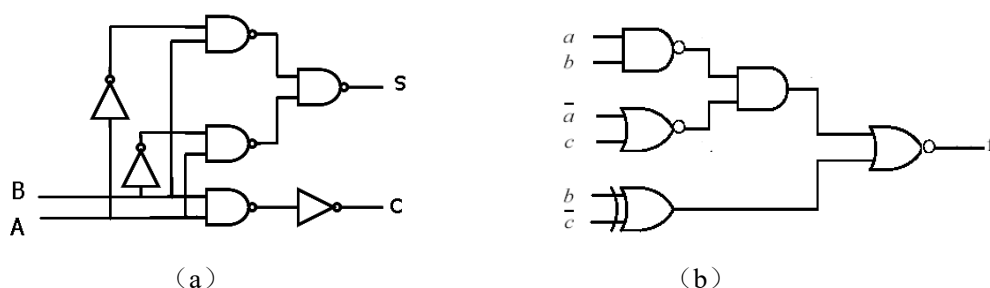
当要求多余端接低电平时，TTL 必须接低电平，但 CMOS 可以悬空。

## 第四章 组合逻辑电路

4-1 什么是组合逻辑电路？在电路结构上和逻辑功能上各有什么特征？

**答：**组合逻辑电路在任何时刻，电路的输出仅仅取决于该时刻的输入信号，而与该时刻输入信号作用前电路原来的状态无关。电路结构上的特点是只有从输入到输出的通路，而没有从输出反馈到输入的回路。在长期的数字电路的应用过程中，形成了一些典型逻辑功能的组合逻辑电路，如：加法器、编码器、译码器、数据选择器、数值比较器等。

4-2 分析题 4-2 (a) (b) 所示电路的逻辑功能。



题 4-2 图

**解** (a)图:  $S = \overline{\overline{AB}}(\overline{AB}) = \overline{AB} + A\overline{B}; C = AB$

逻辑功能如表所示:

题 4-2 功能真值表

| A | B | S | C |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

逻辑功能是实现半加器,  $S=A+B$ , 产生进位  $C$ 。

(b)  $f = \overline{\overline{ab}}(\overline{a+c}) + (b \oplus \overline{c})$

$$f = \overline{\overline{ab}}(\overline{a+c}) + (b \oplus \overline{c}) = \left( \overline{\overline{ab}}(\overline{a+c}) \right) (\overline{b \oplus \overline{c}}) = ((ab) + (\overline{a+c})) (b \odot \overline{c}) = (b + \overline{a+c})(b\overline{c} + \overline{b}c) \\ = b\overline{c} + \overline{a}b\overline{c} + \overline{a}b\overline{c} + \overline{b}c = b\overline{c} + \overline{b}c(1 + \overline{a}) = b\overline{c} + \overline{b}c = b \oplus c$$

实现了 b 和 c 两个变量的异或运算。

4-3 用小规模门电路实现函数

$$F(A, B, C, D) = \sum m(1, 3, 5, 7, 8, 9, 12, 13, 15)$$

要求用以下 6 种方案实现: (1) 与门-或门; (2) 与非-与非门; (3) 与或非门; (4) 与非门



-与门；(5) 或门-与门；(6) 或非-或非门。

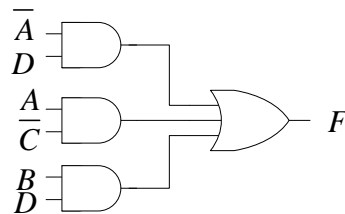
**解：** 将函数 F 用卡诺图化简，如图所示：

|    |    |    |    |    |    |
|----|----|----|----|----|----|
|    |    | AB |    |    |    |
|    |    | 00 | 01 | 11 | 10 |
| CD | 00 |    |    | 1  | 1  |
|    | 01 | 1  | 1  | 1  | 1  |
|    | 11 | 1  | 1  | 1  |    |
|    | 10 |    |    |    |    |

题 4-3 化简卡诺图

$$F = \overline{A}D + A\overline{C} + BD$$

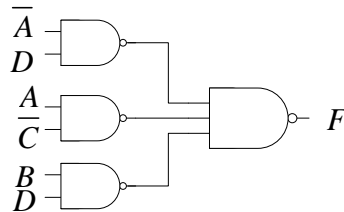
(1) 与门-或门



题 4-3 用与-或门实现图

(2) 与非-与非门

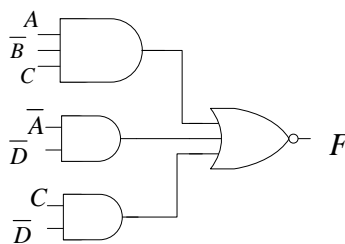
$$F = \overline{A}D + A\overline{C} + BD = \overline{\overline{\overline{A}D} \cdot \overline{\overline{A\overline{C}}} \cdot \overline{\overline{BD}}}$$



题 4-3 用与非门实现图

(3) 与或非门：由圈零法或者最大项表达式可以得到：

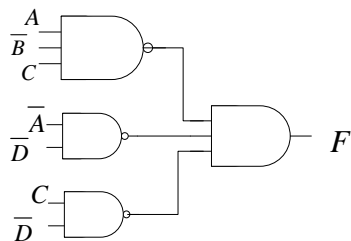
$$\begin{aligned} F &= (\overline{A} + B + \overline{C})(A + D)(\overline{C} + D) = \overline{\overline{\overline{\overline{A} + B + \overline{C}}}(A + D)(\overline{C} + D)} \\ &= \overline{\overline{\overline{A} + B + \overline{C}} + \overline{\overline{A} + D} + \overline{\overline{C} + D}} = \overline{\overline{A}B\overline{C} + \overline{A}D + C\overline{D}} \end{aligned}$$



题 4-3 用与或非门实现图

(4) 与非门-与门

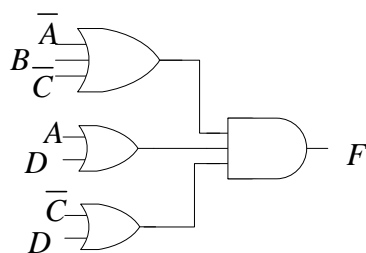
$$F = \overline{\overline{A}\overline{B}\overline{C} + \overline{A}\overline{D} + \overline{C}\overline{D}} = \overline{\overline{A}\overline{B}\overline{C}} \cdot \overline{\overline{A}\overline{D}} \cdot \overline{\overline{C}\overline{D}}$$



题 4-3 用与非-与门实现图

(5) 或门-与门

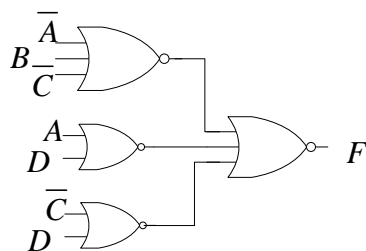
$$F = (\overline{A} + B + \overline{C})(A + D)(\overline{C} + D)$$



题 4-3 用或-与门实现图

(6) 或非-或非门

$$\begin{aligned} F &= (\overline{A} + B + \overline{C})(A + D)(\overline{C} + D) = \overline{\overline{\overline{\overline{\overline{A} + B + \overline{C}}}}(\overline{\overline{\overline{\overline{A + D}}}})(\overline{\overline{\overline{\overline{\overline{C} + D}}}})} \\ &= \overline{(\overline{\overline{A + B + \overline{C}}}) + (\overline{\overline{A + D}}) + (\overline{\overline{C + D}})} \end{aligned}$$



题 4-3 用或非门实现图

4-4 用与非门设计一个判别电路，以判别 8421 码所表示的十进制数之值是否大于等于 5。

**解** 假设 8421 码所表示的十进制数为 ABCD，判别电路输出为 F，当 ABCD 大于等于 5

时，输出 F 为 1，否则为 0。根据题意，列表如表所示：

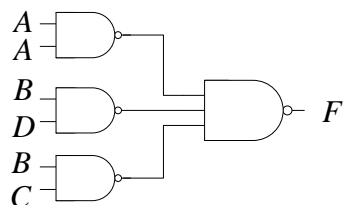
题 4-4 真值表

| A | B | C | D | F |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

|    |    |    |    |    |    |
|----|----|----|----|----|----|
|    |    | AB |    |    |    |
|    |    | 00 | 01 | 11 | 10 |
| CD | 00 | 0  | 0  | 1  | 1  |
|    | 01 | 0  | 1  | 1  | 1  |
|    | 11 | 0  | 1  | 1  | 1  |
|    | 10 | 0  | 1  | 1  | 1  |

题 4-4 化简卡诺图

化简结果： $F = A + BD + BC = \overline{\overline{A + BD + BC}} = \overline{\overline{A} \cdot \overline{BD} \cdot \overline{BC}}$ ，设计电路如图 4-13 所示。



题 4-4 逻辑电路图

4-5 试设计一个可控组合逻辑电路，其功能是将 4 位二进制码和 4 位格雷码进行相互转换，转换受  $M$  控制。当  $M=1$  时，将 4 位二进制码转换成格雷码；当  $M=0$  时，将 4 位格雷码转换成 4 位二进制码。

解 (1) 控制变量  $M=1$  时, 将 4 位二进制码  $X_3X_2X_1X_0$  转换成格雷码  $Y_3Y_2Y_1Y_0$ , 列表如表所示:

题 4-5  $M=1$  时真值

| 序号 | $X_3$ | $X_2$ | $X_1$ | $X_0$ | $Y_3$ | $Y_2$ | $Y_1$ | $Y_0$ |
|----|-------|-------|-------|-------|-------|-------|-------|-------|
| 0  | 0     | 0     | 0     | 0     | 0     | 0     | 0     | 0     |
| 1  | 0     | 0     | 0     | 1     | 0     | 0     | 0     | 1     |
| 2  | 0     | 0     | 1     | 0     | 0     | 0     | 1     | 1     |
| 3  | 0     | 0     | 1     | 1     | 0     | 0     | 1     | 0     |
| 4  | 0     | 1     | 0     | 0     | 0     | 1     | 1     | 0     |
| 5  | 0     | 1     | 0     | 1     | 0     | 1     | 1     | 1     |
| 6  | 0     | 1     | 1     | 0     | 0     | 1     | 0     | 1     |
| 7  | 0     | 1     | 1     | 1     | 0     | 1     | 0     | 0     |
| 8  | 1     | 0     | 0     | 0     | 1     | 1     | 0     | 0     |
| 9  | 1     | 0     | 0     | 1     | 1     | 1     | 0     | 1     |
| 10 | 1     | 0     | 1     | 0     | 1     | 1     | 1     | 1     |
| 11 | 1     | 0     | 1     | 1     | 1     | 1     | 1     | 0     |
| 12 | 1     | 1     | 0     | 0     | 1     | 0     | 1     | 0     |
| 13 | 1     | 1     | 0     | 1     | 1     | 0     | 1     | 1     |
| 14 | 1     | 1     | 1     | 0     | 1     | 0     | 0     | 1     |
| 15 | 1     | 1     | 1     | 1     | 1     | 0     | 0     | 0     |

|   |    |    |    |    |
|---|----|----|----|----|
| $\begin{array}{c} \diagdown X_3X_2 \\ X_1X_0 \end{array}$ | 00 | 01 | 11 | 10 |
| 00  | 0  | 0  | 1  | 1  |
| 01  | 0  | 0  | 1  | 1  |
| 11  | 0  | 0  | 1  | 1  |
| 10  | 0  | 0  | 1  | 1  |
| $Y_3$   |    |    |    |    |

|   |    |    |    |    |
|---|----|----|----|----|
| $\begin{array}{c} \diagdown X_3X_2 \\ X_1X_0 \end{array}$ | 00 | 01 | 11 | 10 |
| 00  | 0  | 1  | 0  | 1  |
| 01  | 0  | 1  | 0  | 1  |
| 11  | 0  | 1  | 0  | 1  |
| 10  | 0  | 1  | 0  | 1  |
| $Y_2$   |    |    |    |    |

|   |    |    |    |    |
|---|----|----|----|----|
| $\begin{array}{c} \diagdown X_3X_2 \\ X_1X_0 \end{array}$ | 00 | 01 | 11 | 10 |
| 00  | 0  | 1  | 1  | 0  |
| 01  | 0  | 1  | 1  | 0  |
| 11  | 1  | 0  | 0  | 1  |
| 10  | 1  | 0  | 0  | 1  |
| $Y_1$   |    |    |    |    |

|   |    |    |    |    |
|---|----|----|----|----|
| $\begin{array}{c} \diagdown X_3X_2 \\ X_1X_0 \end{array}$ | 00 | 01 | 11 | 10 |
| 00  | 0  | 0  | 0  | 0  |
| 01  | 1  | 1  | 1  | 1  |
| 11  | 0  | 0  | 0  | 0  |
| 10  | 1  | 1  | 1  | 1  |
| $Y_0$   |    |    |    |    |

题 4-5  $M=1$  时化简卡诺图

$$Y_3 = X_3 \cdot M$$

$$Y_2 = (X_3 \overline{X_2} + \overline{X_3} X_2) \cdot M = (X_2 \oplus X_3) \cdot M$$

$$Y_1 = (X_2 \overline{X_1} + \overline{X_2} X_1) \cdot M = (X_1 \oplus X_2) \cdot M$$

$$Y_0 = (\overline{X_1} X_0 + X_1 \overline{X_0}) \cdot M = (X_0 \oplus X_1) \cdot M$$

(2) 控制变量  $M=0$  时, 将 4 位格雷码  $X_3X_2X_1X_0$  转换成 4 位二进制码  $Y_3Y_2Y_1Y_0$ , 列表:

题 4-5  $M=0$  时真值表

| 序号 | $X_3$ | $X_2$ | $X_1$ | $X_0$ | $Y_3$ | $Y_2$ | $Y_1$ | $Y_0$ |
|----|-------|-------|-------|-------|-------|-------|-------|-------|
| 0  | 0     | 0     | 0     | 0     | 0     | 0     | 0     | 0     |
| 1  | 0     | 0     | 0     | 1     | 0     | 0     | 0     | 1     |
| 2  | 0     | 0     | 1     | 1     | 0     | 0     | 1     | 0     |
| 3  | 0     | 0     | 1     | 0     | 0     | 0     | 1     | 1     |
| 4  | 0     | 1     | 1     | 0     | 0     | 1     | 0     | 0     |
| 5  | 0     | 1     | 1     | 1     | 0     | 1     | 0     | 1     |
| 6  | 0     | 1     | 0     | 1     | 0     | 1     | 1     | 0     |
| 7  | 0     | 1     | 0     | 0     | 0     | 1     | 1     | 1     |
| 8  | 1     | 1     | 0     | 0     | 1     | 0     | 0     | 0     |
| 9  | 1     | 1     | 0     | 1     | 1     | 0     | 0     | 1     |
| 10 | 1     | 1     | 1     | 1     | 1     | 0     | 1     | 0     |
| 11 | 1     | 1     | 1     | 0     | 1     | 0     | 1     | 1     |
| 12 | 1     | 0     | 1     | 0     | 1     | 1     | 0     | 0     |
| 13 | 1     | 0     | 1     | 1     | 1     | 1     | 0     | 1     |
| 14 | 1     | 0     | 0     | 1     | 1     | 1     | 1     | 0     |
| 15 | 1     | 0     | 0     | 0     | 1     | 1     | 1     | 1     |

|                      |                      |    |    |    |    |
|----------------------|----------------------|----|----|----|----|
| $X_3 \backslash X_2$ | $X_1 \backslash X_0$ | 00 | 01 | 11 | 10 |
| 00                   | 00                   | 0  | 0  | 1  | 1  |
| 01                   | 00                   | 0  | 0  | 1  | 1  |
| 11                   | 00                   | 0  | 0  | 1  | 1  |
| 10                   | 00                   | 0  | 0  | 1  | 1  |
| $Y_3$                |                      |    |    |    |    |
| $X_3 \backslash X_2$ | $X_1 \backslash X_0$ | 00 | 01 | 11 | 10 |
| 00                   | 00                   | 0  | 1  | 0  | 1  |
| 01                   | 00                   | 0  | 1  | 0  | 1  |
| 11                   | 00                   | 0  | 1  | 0  | 1  |
| 10                   | 00                   | 0  | 1  | 0  | 1  |
| $Y_2$                |                      |    |    |    |    |
| $X_3 \backslash X_2$ | $X_1 \backslash X_0$ | 00 | 01 | 11 | 10 |
| 00                   | 00                   | 0  | 1  | 0  | 1  |
| 01                   | 00                   | 0  | 1  | 0  | 1  |
| 11                   | 00                   | 1  | 0  | 1  | 0  |
| 10                   | 00                   | 1  | 0  | 1  | 0  |
| $Y_1$                |                      |    |    |    |    |
| $X_3 \backslash X_2$ | $X_1 \backslash X_0$ | 00 | 01 | 11 | 10 |
| 00                   | 00                   | 0  | 1  | 0  | 1  |
| 01                   | 00                   | 1  | 0  | 1  | 0  |
| 11                   | 00                   | 1  | 0  | 1  | 0  |
| 10                   | 00                   | 1  | 0  | 1  | 0  |
| $Y_0$                |                      |    |    |    |    |

题 4-5 M=0 时化简卡诺图

$$Y_3 = X_3 \cdot \overline{M};$$

$$Y_2 = (X_3 \overline{X_2} + \overline{X_3} X_2) \cdot \overline{M};$$

$$Y_1 = (\overline{X_3} X_2 \overline{X_1} + X_3 \overline{X_2} \overline{X_1} + \overline{X_3} X_2 X_1 + X_3 \overline{X_2} X_1) \cdot \overline{M} = (\overline{X_1} (X_2 \oplus X_3) + X_1 (\overline{X_2} \oplus \overline{X_3})) \cdot \overline{M} \\ = (X_1 \oplus X_2 \oplus X_3) \cdot \overline{M}$$

$$Y_0 = (X_3 \oplus X_2 \oplus X_1 \oplus X_0) \cdot \overline{M}$$

(3) 写成总的输出逻辑表达式:

假设输入是  $X_3 X_2 X_1 X_0$  时, 输出是  $Y_3 Y_2 Y_1 Y_0$ 。控制变量  $M=1$  时, 将 4 位二进制码

$X_3 X_2 X_1 X_0$  转换成格雷码  $Y_3 Y_2 Y_1 Y_0$ ; 当控制变量  $M=0$  时, 将 4 位格雷码  $X_3 X_2 X_1 X_0$  转换成

4 位二进制码  $Y_3 Y_2 Y_1 Y_0$ 。由上面分析可得:

$$Y_3 = X_3 M + X_3 \overline{M} = X_3$$

$$Y_2 = (X_3 \oplus X_2) \cdot (\overline{M} + M) = X_3 \oplus X_2$$

$$\begin{aligned} Y_1 &= (X_1 \oplus X_2) \cdot M + (X_1 \oplus X_2 \oplus X_3) \cdot \overline{M} = (X_1 \oplus X_2) \cdot M + (X_1 \oplus Y_2) \cdot \overline{M} \\ &= X_1 \oplus (MX_2 + \overline{M}Y_2) \\ &= X_1 \oplus \overline{\overline{MX_2} \cdot \overline{\overline{MY_2}}} \end{aligned}$$

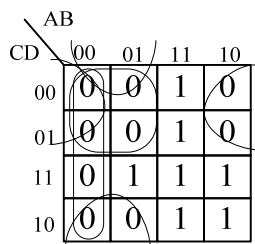
$$Y_0 = X_0 \oplus \overline{\overline{MX_1} \cdot \overline{\overline{MY_1}}}$$

4-6 某学期考试四门课程，数学：7 学分；英语：5 学分；政治：4 学分；体育：2 学分；每个学生总计要获得 10 个以上学分才能通过本学期考试。要求写出反映学生是否通过本学期考试的逻辑函数。并用或非门实现，画出逻辑电路图。

**解** 设数学为 A，英语为 B，政治为 C，体育为 D，0 代表没有通过课程考试，1 代表通过课程考试。F 表示本学期考试是否通过，1 代表通过，0 代表没有通过。建立真值表如表所示。

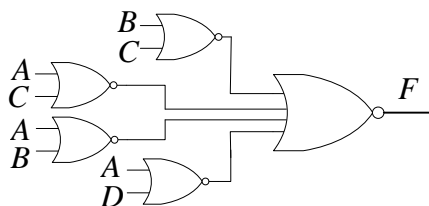
题 4-6 真值表

| A | B | C | D | F |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |



题 4-6 化简卡诺图

$$\begin{aligned}
 F &= (B + C)(A + C)(A + B)(A + D) \\
 &= \overline{\overline{(B + C)(A + C)(A + B)(A + D)}} \\
 &= \overline{B + C + A + C + A + B + A + D}
 \end{aligned}$$



题 4-6 逻辑电路图

4-7 已知  $X = X_2X_1$  和  $Y = Y_2Y_1$  是两个正整数，写出判断  $X > Y$  的逻辑表达式。并用最少的门电路实现。能否选择中规模功能器件实现？

**解** 用  $F$  表示  $X > Y$  输出，1 代表  $X > Y$  成立，0 代表不成立，由题意得真值表如表所列：

题 4-7 真值表

| $X$   |       | $Y$   |       | $F$ |
|-------|-------|-------|-------|-----|
| $X_2$ | $X_1$ | $Y_2$ | $Y_1$ |     |
| 0     | 0     | 0     | 0     | 0   |
| 0     | 0     | 0     | 1     | 0   |
| 0     | 0     | 1     | 0     | 0   |
| 0     | 0     | 1     | 1     | 0   |
| 0     | 1     | 0     | 0     | 1   |
| 0     | 1     | 0     | 1     | 0   |
| 0     | 1     | 1     | 0     | 0   |
| 0     | 1     | 1     | 1     | 0   |
| 1     | 0     | 0     | 0     | 1   |
| 1     | 0     | 0     | 1     | 1   |
| 1     | 0     | 1     | 0     | 0   |
| 1     | 0     | 1     | 1     | 0   |
| 1     | 1     | 0     | 0     | 1   |

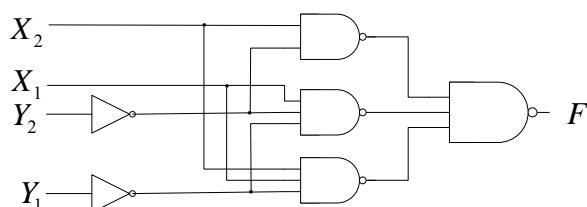
|   |   |   |   |   |
|---|---|---|---|---|
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

| $X_2 X_1$ |    | 00 | 01 | 11 | 10 |
|-----------|----|----|----|----|----|
| $Y_2 Y_1$ | 00 | 0  | 1  | 1  | 1  |
|           | 01 | 0  | 0  | 1  | 1  |
|           | 11 | 0  | 0  | 0  | 0  |
|           | 10 | 0  | 0  | 1  | 0  |

题 4-7 化简卡诺图

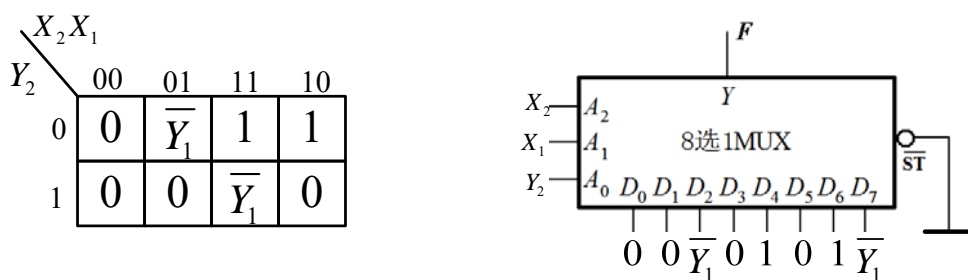
$$F = X_2 \overline{Y_2} + X_1 \overline{Y_2} \overline{Y_1} + X_2 X_1 \overline{Y_1}$$

$$= \overline{\overline{X_2 Y_2} \cdot \overline{X_1 Y_2 Y_1} \cdot \overline{X_2 X_1 Y_1}}$$



题 4-7 逻辑电路图

可以用中规模器件实现，由于是四变量，可以采用四线-十六线译码器；或者采用数据选择器实现，比如十六选一、八选一、四选一等。若采用八选一器件， $Y_1$ 为记图变量，将卡诺图降维成三变量卡诺图，如图所示。



题 4-7 采用 8 选 1 实现逻辑电路图及化简图

$$F = 0 \cdot \overline{X_2} \overline{X_1} \overline{Y_2} + 0 \cdot \overline{X_2} \overline{X_1} Y_2 + \overline{Y_1} \cdot \overline{X_2} X_1 \overline{Y_2} + 0 \cdot \overline{X_2} X_1 Y_2$$

$$+ 1 \cdot X_2 \overline{X_1} \overline{Y_2} + 0 \cdot X_2 \overline{X_1} Y_2 + 1 \cdot X_2 X_1 \overline{Y_2} + \overline{Y_1} \cdot X_2 X_1 Y_2$$

或降维成两变量卡诺图， $Y_2$ 作为记图变量，将 3 变量卡诺图降维成 2 变量卡诺图，采用四选一实现如图所示。



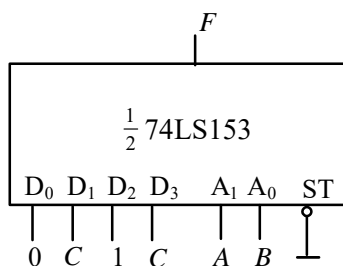
|       |   |                     |                     |
|-------|---|---------------------|---------------------|
|       |   | $X_2$               |                     |
|       |   | 0                   | 1                   |
| $X_1$ | 0 | 0                   | $\overline{Y_2}$    |
|       | 1 | $\overline{Y_1}Y_2$ | $\overline{Y_1}Y_2$ |

题 4-7 化简卡诺图

$$\begin{aligned}
 F &= \overline{Y_2} \overline{Y_1} \cdot \overline{X_2} X_1 + \overline{Y_2} \cdot X_2 \overline{X_1} + (\overline{Y_2} + \overline{Y_1}) \cdot X_2 X_1 \\
 &= 0 \cdot \overline{X_2} \overline{X_1} + (\overline{Y_2} \overline{Y_1}) \cdot \overline{X_2} X_1 + (\overline{Y_2}) \cdot X_2 \overline{X_1} + (\overline{Y_2} \overline{Y_1}) \cdot X_2 X_1
 \end{aligned}$$

(电路图略)

4-8 用双 4 选 1 数据选择器 74LS153 实现的逻辑电路如题 4-8 图所示，试写出输出  $F$  的逻辑表达式。



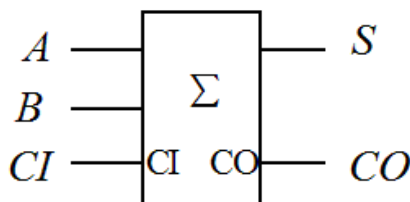
题 4-8 图

解： 图中两位地址  $A_1A_0$  连接为  $AB$ ， $D_0=0, D_1=C, D_2=1, D_3=C$ ，所以：

$$\begin{aligned}
 F &= D_0 \overline{A} \overline{B} + D_1 \overline{A} B + D_2 A \overline{B} + D_3 A B \\
 &= 0 \cdot \overline{A} \overline{B} + C \cdot \overline{A} B + 1 \cdot A \overline{B} + C \cdot A B \\
 &= C \cdot \overline{A} B + A \overline{B} + C \cdot A B = A \overline{B} + B C
 \end{aligned}$$

4-9 试用全加器实现一个 2 位二进制乘法运算电路。

解 (1) 全加器的逻辑符号如图所示：



全加器逻辑符号

设  $A$ 、 $B$  为两个 1 位二进制加数， $CI$  为低位来的进位， $S$  为本位的和， $CO$  为本位向高

位的进位。 $S$  和  $CO$  的逻辑表达式为

$$\begin{aligned}
 S &= \overline{A}\overline{B}CI + \overline{A}B\overline{CI} + A\overline{B}\overline{CI} + ABCI \\
 &= \overline{A}(\overline{B}CI + B\overline{CI}) + A(\overline{B}\overline{CI} + BCI) = \overline{A}(B \oplus CI) + A(\overline{B} \oplus \overline{CI}) \\
 &= A \oplus B \oplus CI \\
 CO &= \overline{A}BCI + A\overline{B}CI + AB = AB + B \cdot CI + A \cdot CI \\
 &= (A \oplus B)CI + AB
 \end{aligned}$$

半加器的  $CI=0$ ，所以：

$$S' = A \oplus B \oplus CI = A \oplus B \oplus 0 = A \oplus B ; CO' = (A \oplus B)CI + AB = AB$$

即半加器的进位  $CO$  可以实现“与”运算；和输出可以实现“异或”运算。

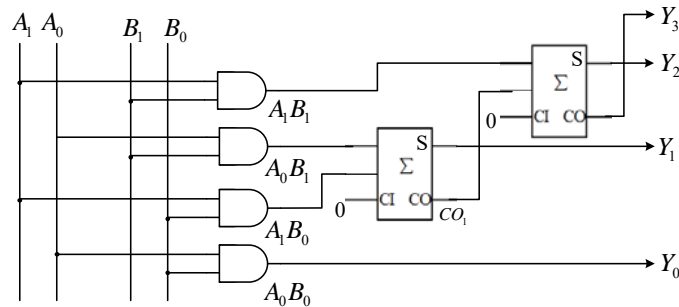
(2) 2 位二进制乘法运算：

假设两位二进制数  $(A_1A_0)_2$  和  $(B_1B_0)_2$  相乘得到结果，最高为 4 位，假设为  $(Y_3Y_2Y_1Y_0)_2$ ，

即：  $(A_1A_0) \times (B_1B_0) = (Y_3Y_2Y_1Y_0)$ ，列计算式有：

$$\begin{array}{r}
 \begin{array}{cc} A_1 & A_0 \end{array} \\
 \times \begin{array}{cc} B_1 & B_0 \end{array} \\
 \hline
 \begin{array}{cc} A_1B_0 & A_0B_0 \end{array} \\
 \begin{array}{cc} A_1B_1 & A_0B_1 \end{array} \\
 \begin{array}{cc} + & + \\ CO & CO_1 \end{array} \\
 \hline
 \begin{array}{cccc} \downarrow CO_2 & \downarrow & \downarrow & \downarrow \\ Y_3 & Y_2 & Y_1 & Y_0 \end{array}
 \end{array}$$

具体电路实现方式：利用与门实现  $A_0B_0$ 、 $A_1B_0$ 、 $A_0B_1$ 、 $A_1B_1$ ，然后利用一个全加器实现  $Y_1=A_1B_0+A_0B_1$ ，产生的和就是  $Y_1$ ，产生的进位  $CO_1$  供给高位计算产生  $Y_2$ ；再利用一个全加器实现：  $Y_2=A_1B_1+CO_1$ ，产生的和是  $Y_2$ ，产生的进位  $CO_2$  就是  $Y_3$ 。



题 4-8 逻辑电路图

图 4-23 中四个与项  $A_0B_0$ 、 $A_1B_0$ 、 $A_0B_1$ 、 $A_1B_1$  也可以利用全加器实现，把两个变量送到全加器的加数和被加数端，低位的 CI 接 0，此时 CO 输出端就产生“与”的输出。

4-10 有一密码锁有三个按键，分别是  $A$ 、 $B$ 、 $C$ 。当三个键均不按下时，锁打不开，也不报警；当只有一个键按下时，锁打不开，且发出报警信号；当有两个键同时按下时，锁打开，也不报警。当三个键都按下时，锁打开，但要报警。请设计此逻辑电路，分别用（1）门电路；（2）3 线-8 线译码器和与非门；（3）双 4 选 1 数据选择器和与非门；（4）全加器来实现。

**解：**假设  $F$  代表锁是否打开， $F=1$  锁打开，反之不打开； $Y$  代表是否报警， $Y=1$  报警， $Y=0$  不报警。0 代表按键未按下，1 代表按键按下。 $F=0$  表示锁打不开， $F=1$  表示锁开。根据三个按键和  $F$  与  $Y$  的关系，列出真值表如表所示：

题 4-10 真值表

| $A$ | $B$ | $C$ | $F$ | $Y$ |
|-----|-----|-----|-----|-----|
| 0   | 0   | 0   | 0   | 0   |
| 0   | 0   | 1   | 0   | 1   |
| 0   | 1   | 0   | 0   | 1   |
| 0   | 1   | 1   | 1   | 0   |
| 1   | 0   | 0   | 0   | 1   |
| 1   | 0   | 1   | 1   | 0   |
| 1   | 1   | 0   | 1   | 0   |
| 1   | 1   | 1   | 1   | 1   |

|     |      |    |    |    |
|-----|------|----|----|----|
| $C$ | $AB$ |    |    |    |
|     | 00   | 01 | 11 | 10 |
| 0   | 0    | 0  | 1  | 0  |
| 1   | 0    | 1  | 1  | 1  |

$F$

|     |      |    |    |    |
|-----|------|----|----|----|
| $C$ | $AB$ |    |    |    |
|     | 00   | 01 | 11 | 10 |
| 0   | 0    | 1  | 0  | 1  |
| 1   | 1    | 0  | 1  | 0  |

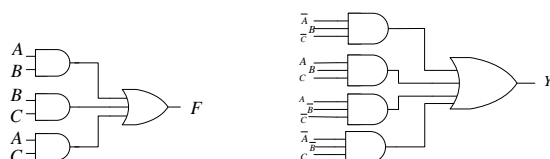
$Y$

题 4-10 化简卡诺图

$$F = AB + BC + AC$$

$$Y = \overline{A}\overline{B}\overline{C} + ABC + A\overline{B}\overline{C} + \overline{A}BC$$

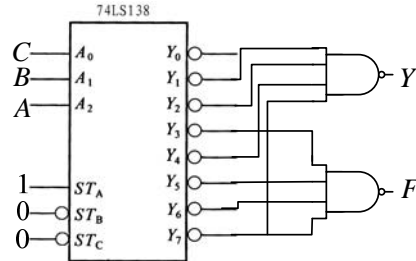
（1）采用门电路实现如下：



题 4-10 采用门电路实现逻辑电路图

(2) 3 线-8 线译码器和与非门:

$$\begin{aligned}
 F &= AB + BC + AC & Y &= \overline{A}\overline{B}\overline{C} + ABC + \overline{A}B\overline{C} + \overline{A}\overline{B}C \\
 &= m_3 + m_5 + m_6 + m_7 & &= m_1 + m_2 + m_4 + m_7 \\
 &= \overline{m_3 \cdot m_5 \cdot m_6 \cdot m_7} & &= \overline{m_1 \cdot m_2 \cdot m_4 \cdot m_7}
 \end{aligned}$$



题 4-10 采用译码器实现逻辑电路图

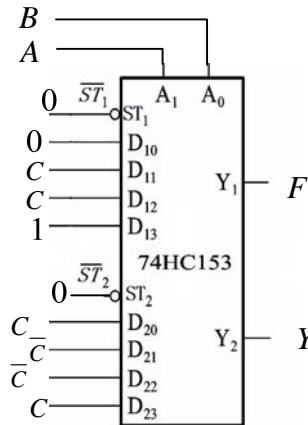
(3) 双 4 选 1 数据选择器和非门

|   |   | AB |    |    |    |
|---|---|----|----|----|----|
|   |   | 00 | 01 | 11 | 10 |
| C | 0 | 0  | 0  | 1  | 0  |
|   | 1 | 0  | 1  | 1  | 1  |

F

|   |   | AB |    |    |    |
|---|---|----|----|----|----|
|   |   | 00 | 01 | 11 | 10 |
| C | 0 | 0  | 1  | 0  | 1  |
|   | 1 | 1  | 0  | 1  | 0  |

Y



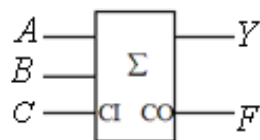
题 4-10 采用门电路实现逻辑电路图

$$\begin{aligned}
 F &= 0 \cdot \overline{A}\overline{B} + C \cdot \overline{A}\overline{B} + C \cdot \overline{A}B + 1 \cdot AB & Y &= C \cdot \overline{A}\overline{B} + \overline{C} \cdot \overline{A}\overline{B} + \overline{C} \cdot \overline{A}B + C \cdot AB
 \end{aligned}$$

(4) 全加器来实现:

$$\begin{aligned}
 F &= AB + BC + AC & Y &= \overline{A}\overline{B}\overline{C} + ABC + \overline{A}B\overline{C} + \overline{A}\overline{B}C
 \end{aligned}$$

Y 为 A+B+C 全加器的和, F 为 A+B+C 全加器的本位向高位的进位。



题 4-10 采用全加器实现逻辑电路图

4-11 用 8 选 1 的数据选择器和与非门实现函数：

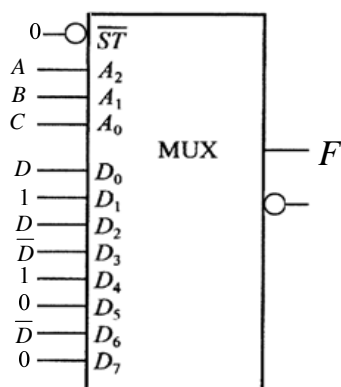
$$(1) F(A, B, C, D) = \sum m(1, 2, 3, 5, 6, 8, 9, 12)$$

$$(2) F(A, B, C, D, E) = \sum m(0, 1, 3, 9, 11, 12, 13, 14, 20, 21, 22, 23, 26, 31)$$

解：（1）采用降维法，D 作为记图变量，将四变量函数变成三变量函数，如下：

| CD \ AB | AB |    |    |    |
|---------|----|----|----|----|
|         | 00 | 01 | 11 | 10 |
| 00      | 0  | 0  | 1  | 1  |
| 01      | 1  | 1  | 0  | 1  |
| 11      | 1  | 0  | 0  | 0  |
| 10      | 1  | 1  | 0  | 0  |

| C \ AB | AB |                |                |    |
|--------|----|----------------|----------------|----|
|        | 00 | 01             | 11             | 10 |
| 0      | D  | D              | $\overline{D}$ | 1  |
| 1      | 1  | $\overline{D}$ | 0              | 0  |



题 4-11 化简卡诺图及数据选择器实现图

（2）采用降维法，将五变量函数变成四变量函数，依次将 A 和 E 作为记图变量，降成四变量和三变量卡诺图，化简过程如图所示：

A=0 时：

| DE \ BC | BC |    |    |    |
|---------|----|----|----|----|
|         | 00 | 01 | 11 | 10 |
| 00      | 1  | 0  | 1  | 0  |
| 01      | 1  | 0  | 1  | 1  |
| 11      | 1  | 0  | 0  | 1  |
| 10      | 0  | 0  | 1  | 0  |

A=1 时：

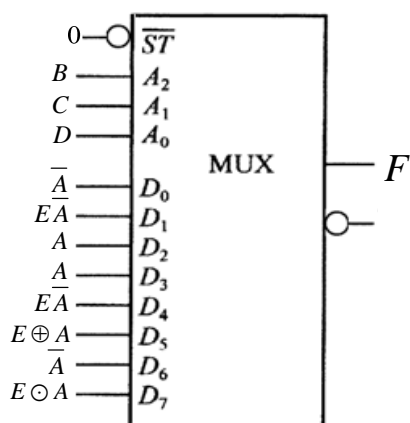
| DE \ BC | BC |    |    |    |
|---------|----|----|----|----|
|         | 00 | 01 | 11 | 10 |
| 00      | 0  | 1  | 0  | 0  |
| 01      | 0  | 1  | 0  | 0  |
| 11      | 0  | 1  | 1  | 0  |
| 10      | 0  | 1  | 0  | 1  |

|    |    | BC             |     |                |                |
|----|----|----------------|-----|----------------|----------------|
|    |    | 00             | 01  | 11             | 10             |
| DE | 00 | $\overline{A}$ | $A$ | $\overline{A}$ | 0              |
|    | 01 | $\overline{A}$ | $A$ | $\overline{A}$ | $\overline{A}$ |
|    | 11 | $\overline{A}$ | $A$ | $A$            | $\overline{A}$ |
|    | 10 | 0              | $A$ | $\overline{A}$ | $A$            |

|   |   | BC              |     |                |                 |
|---|---|-----------------|-----|----------------|-----------------|
|   |   | 00              | 01  | 11             | 10              |
| D | 0 | $\overline{A}$  | $A$ | $\overline{A}$ | $E\overline{A}$ |
|   | 1 | $E\overline{A}$ | $A$ | $E \odot A$    | $E \oplus A$    |

题 4-11 卡诺图化简降维图

用 8 选 1 的数据选择器实现如下：



题 4-11 数据选择器实现图

4-12 利用 3 线-8 线译码器 74HC138 设计一个多输出的组合逻辑电路。输出逻辑函数式为

为 
$$F_1 = \overline{A}\overline{C} + \overline{A}BC + A\overline{B}\overline{C}$$

$$F_2 = BC + \overline{A}\overline{B}\overline{C}$$

$$F_3 = \overline{A}B + A\overline{B}\overline{C}$$

$$F_4 = \overline{A}\overline{B}\overline{C} + \overline{B}\overline{C} + ABC$$

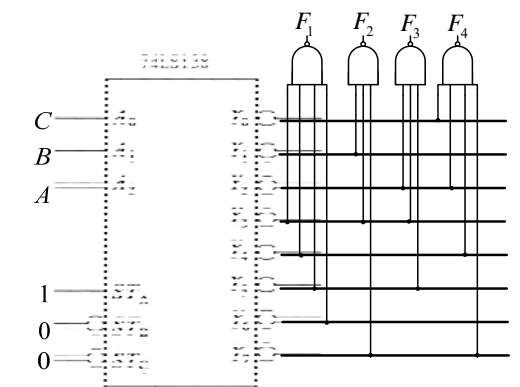
解： 将以上四个逻辑函数转变成最小项形式：

$$F_1 = \overline{A}\overline{C} + \overline{A}BC + A\overline{B}\overline{C} = m_3 + m_4 + m_5 + m_6 = \overline{\overline{m_3} \cdot \overline{m_4} \cdot \overline{m_5} \cdot \overline{m_6}} = \overline{\overline{Y_3} \cdot \overline{Y_4} \cdot \overline{Y_5} \cdot \overline{Y_6}}$$

$$F_2 = BC + \overline{A}\overline{B}\overline{C} = m_1 + m_3 + m_7 = \overline{\overline{m_1} \cdot \overline{m_3} \cdot \overline{m_7}} = \overline{\overline{Y_1} \cdot \overline{Y_3} \cdot \overline{Y_7}}$$

$$F_3 = \overline{A}B + A\overline{B}\overline{C} = m_2 + m_3 + m_5 = \overline{\overline{m_2} \cdot \overline{m_3} \cdot \overline{m_5}} = \overline{\overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_5}}$$

$$F_4 = \overline{A}\overline{B}\overline{C} + \overline{B}\overline{C} + ABC = m_0 + m_2 + m_4 + m_7 = \overline{\overline{m_0} \cdot \overline{m_2} \cdot \overline{m_4} \cdot \overline{m_7}} = \overline{\overline{Y_0} \cdot \overline{Y_2} \cdot \overline{Y_4} \cdot \overline{Y_7}}$$



题 4-12 逻辑电路图

4-13 设计一个多功能组合逻辑电路,要求实现如题 4-13 表所列的逻辑功能。其中  $M_1M_0$  为选择信号,  $A$ 、 $B$  为输入逻辑变量,  $F$  为输出。试用 4 选 1 数据选择器实现。

题 4-13 表

| $M_1$ | $M_0$ | $F$              |
|-------|-------|------------------|
| 0     | 0     | $\overline{A+B}$ |
| 0     | 1     | $AB$             |
| 1     | 0     | $A \oplus B$     |
| 1     | 1     | $A \odot B$      |

解 由上面功能表,可列出函数输出表达式:

$$F = \overline{A+B} \cdot \overline{M_1M_0} + AB \cdot \overline{M_1}M_0 + (A \oplus B) \cdot M_1\overline{M_0} + (A \odot B) \cdot M_1M_0$$

利用 4 选 1 数据选择器实现如下图:

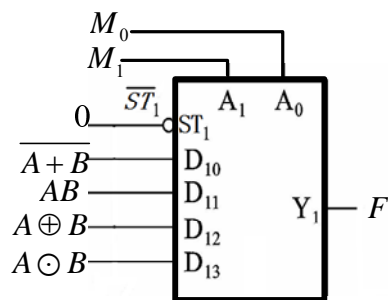
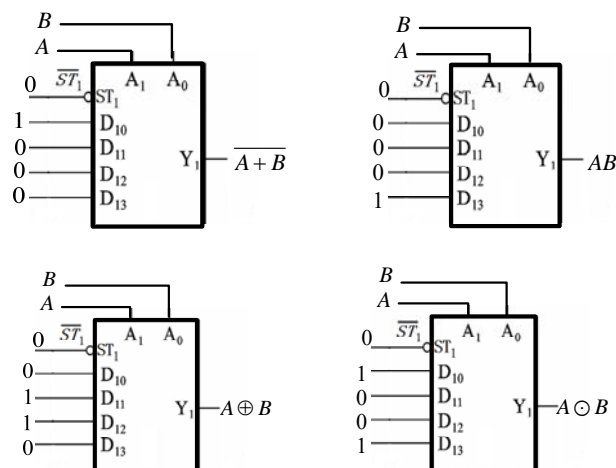


图 4-33 题 4-13 利用门电路及数据选择器实现图

各功能输出为:  $\overline{A+B} = \overline{AB}$ ;  $A \oplus B = \overline{AB} + AB$ ;  $A \odot B = \overline{AB} + AB$ , 可以利用简单逻辑门电路实现, 也可以再利用 4 选 1 数据选择器实现, 如下图:



题 4-13 利用多个数据选择器实现图

4-14 简述加法器、编码器、译码器、数据选择器和数值比较器的逻辑功能及主要用途。

**答** (1) 加法器：逻辑功能是实现 1 位或多位的加法运算模块。有半加器和全加器，实现多位加法运算的模块有串行进位加法器和超前进位加法器。主要用途：它是构成算术运算器的基本单元，两个二进制数之间所进行的算术运算加、减、乘、除等，在数字计算机中都是化作若干步加法运算进行。

(2) 编码器：逻辑功能是将具有特定意义的信息编成相应二进制代码。分为普通编码器和优先编码器。主要用途：在数字系统中，常常需要把二进制代码按照一定的规律编排，如 8421 码、5421 码和格雷码等，使每组代码具有特定的含义。

(3) 译码器：逻辑功能是根据输入的编码来确定对应的输出信号，是编码的逆过程。主要用途：将输入的二进制代码翻译成相应输出信号电平，种类很多，根据所完成的逻辑功能可分为变量译码器、码制译码器和显示译码器三种。

(4) 数值比较器：逻辑功能是用来比较两个相同位数二进制数大小及是否相等的组合逻辑电路。其输入是要进行比较的两个二进制数，输出是比较的三个结果：大于、小于、等于。主要用途：在各种数字系统中，对两个二进制数进行大小判别，然后根据判别结果执行某种操作。

4-15 简述采用集成逻辑门设计组合逻辑电路的方法和采用中规模功能器件设计组合逻辑电路的方法。

**答** 组合逻辑电路设计过程是根据给定要实现的逻辑功能要求，找出实现这一逻辑功能的逻辑电路。由给定逻辑器件不同，分为两种：

(1) 采用集成逻辑门设计组合逻辑电路方法：由给定的逻辑功能要求，分析得到问题的逻辑函数表达式以后，化简逻辑函数表达式，再按给定的集成逻辑门器件的类型特点，进行适



当的函数表达式变换，根据化简与变换后的最佳输出逻辑函数表达式，画出逻辑电路图，完成设计任务。

(2) 采用中规模功能器件设计组合逻辑电路方法：中规模集成电路器件有各自的类型特点，如加法器、编码器、译码器、数据选择器、数值比较器、奇偶检验/产生器等，要利用这些中规模组合器件的各种功能及其使能端、扩展端实现要设计的任务。同样由给定的逻辑功能要求，分析得到问题的逻辑函数表达式以后，按照给定的中规模集成电路器件特点，适当化简并转换要实现的逻辑函数表达式，通常所谓“逻辑函数对比法”，画出逻辑电路图，完成设计任务。

4-16 组合逻辑电路为什么会出现竞争冒险现象？如何判断组合逻辑电路在某些输入信号变化时是否会出现竞争冒险？如何避免或消除竞争冒险？

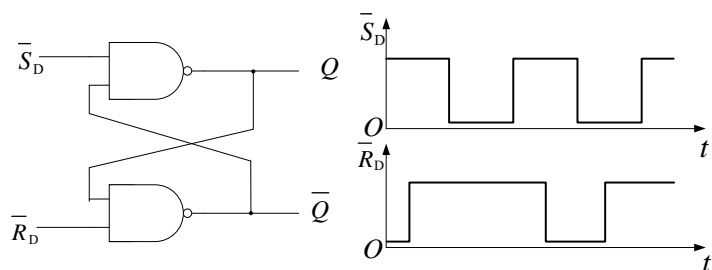
答 (1) 理想情况下，假设电路的连线和集成门电路都没有延迟，电路中的多个输入信号都是同时瞬间发生变化的，而实际上信号通过连线及集成门都有一定延迟时间，输入信号变化也需要一个过渡时间，多个输入信号发生变化时，有可能有先后变化差异。因此，在理想情况下设计的组合逻辑电路，受到上述因素的影响后，可能在输入信号发生变化的瞬间，在输出端出现一些不正确的尖峰信号。这些尖峰信号又称毛刺信号，主要是由信号经不同的路径或控制，到达同一点的时间不同而产生的竞争引起的，故称为竞争冒险现象。

(2) 如何判断：在输入变量每次只有一个改变状态的简单情况下，可以通过电路的输出逻辑函数表达式或卡诺图，来判断组合逻辑电路中是否有竞争冒险现象的存在，这就是常用的代数法和卡诺图法。在一定条件下，如果电路的输出逻辑函数等于某个原变量与其反变量之积 ( $Y = A \cdot \bar{A}$ ) 或之和 ( $Y = A + \bar{A}$ )，则电路存在竞争冒险现象。还可以用卡诺图判断电路是否存在竞争冒险现象，在电路输出函数卡诺图上，凡存在乘积项包围圈相邻者，则有竞争冒险存在；相交或不相邻，无竞争冒险。

(3) 如何避免或消除竞争冒险：常用的方法是修改逻辑设计、引入选通脉冲和加输出滤波电容三种方法。

## 第五章 触发器

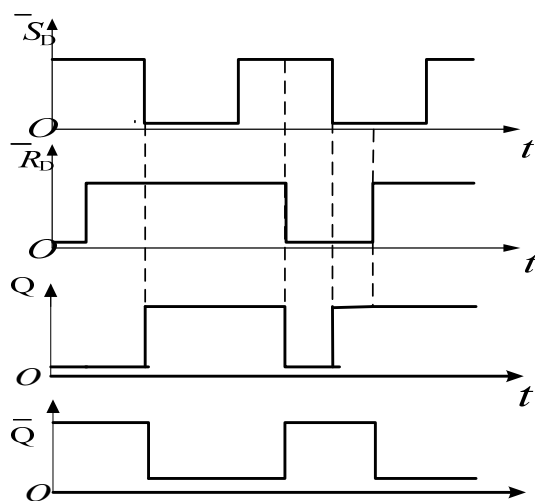
5-1 画出题 5-1 图中由与非门组成的基本  $RS$  触发器输出端  $Q$ 、 $\bar{Q}$  的电压波形，输入端  $\bar{S}_D$ 、 $\bar{R}_D$  的电压波形如图所示。



题 5-1 图

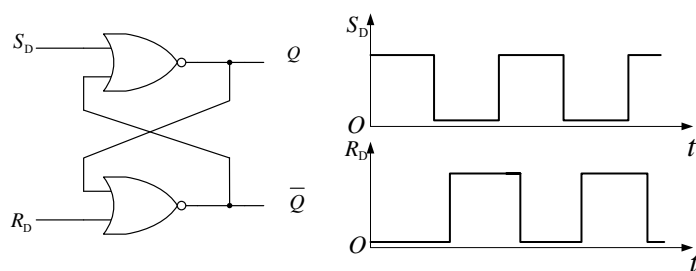
解：  $RS$  触发器的状态方程为 
$$\begin{cases} Q^{n+1} = S_D + \bar{R}_D Q^n \\ S_D R_D = 0 \end{cases}$$
，  $RS$  触发器输出端  $Q$ 、 $\bar{Q}$  的电压波

形如图所示



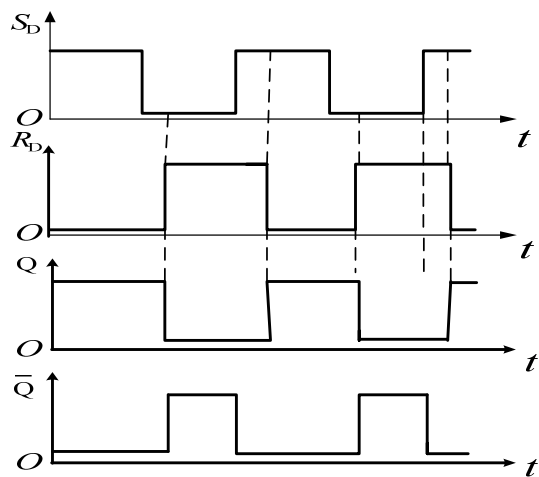
题 5-1 波形图

5-2 画出题 5-2 图中由或非门组成的基本  $RS$  触发器输出端  $Q$ 、 $\bar{Q}$  的电压波形，输入端  $S_D$ 、 $R_D$  的电压波形如图中所示。



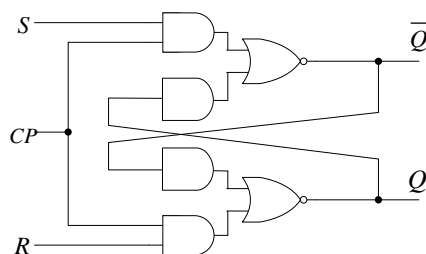
题 5-2 图

解：  $RS$  触发器输出端  $Q$ 、 $\bar{Q}$  的电压波形如图所示。



题 5-2 波形图

5-3 分析题 5-3 图所示的由两个与或非门构成的基本触发器，写出其状态转移真值表、状态方程和状态转移图。



题 5-3 图

**解：** 当  $CP = 0$  时，输入信号  $R$ 、 $S$  不会影响输出端的状态，故触发器保持原状态不变。

当  $CP = 1$  时，输入信号  $R$  和  $S$  通过与门组成的基本  $RS$  触发器的输入端，使  $Q$  和  $\bar{Q}$  的状态跟随输入状态的变化而变化。

(1) 状态转移真值表如表所示

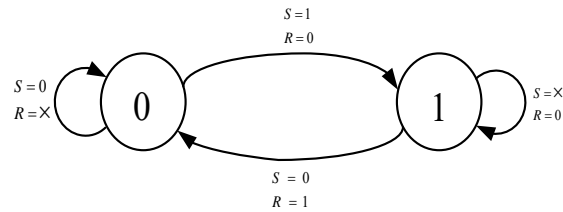
题 5-3 状态转移表

| $CP$ | $S$ | $R$ | $Q^n$ | $Q^{n+1}$ |
|------|-----|-----|-------|-----------|
| 0    | ×   | ×   | 0     | 0         |
| 0    | ×   | ×   | 1     | 1         |
| 1    | 0   | 0   | 0     | 0         |
| 1    | 0   | 0   | 1     | 1         |
| 1    | 0   | 1   | 0     | 0         |
| 1    | 0   | 1   | 1     | 0         |
| 1    | 1   | 0   | 0     | 1         |
| 1    | 1   | 0   | 1     | 1         |
| 1    | 1   | 1   | 0     | 0*        |
| 1    | 1   | 1   | 1     | 1*        |

(2) 由卡诺图化简可得基本  $RS$  触发器的状态方程为 
$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ SR = 0 \end{cases}$$

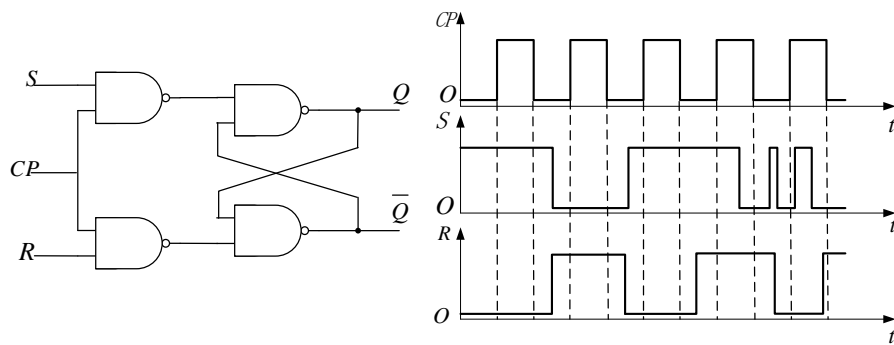
式中： $SR = 0$  是约束条件，它表示  $S$  和  $R$  不能同时为 1。

(3) 基本  $RS$  触发器的状态转移图如下



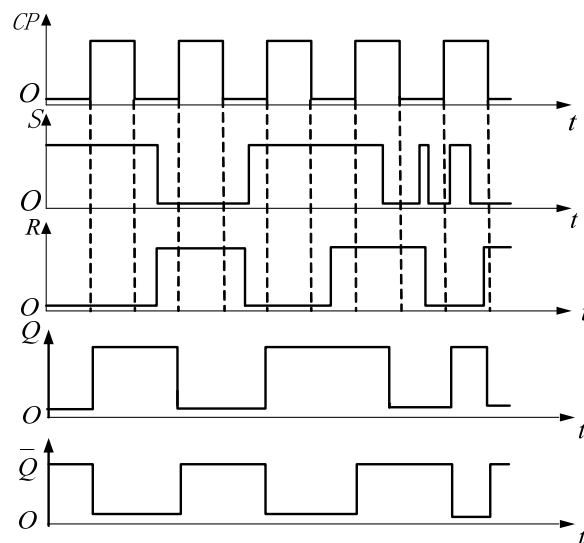
题 5-3 状态转移图

5-4 在题 5-4 图电路中，若  $CP$ 、 $S$ 、 $R$  的电压波形如图所示，试画出  $Q$  和  $\bar{Q}$  端与之对应的电压波形。假定触发器的初始状态为  $Q = 0$ 。



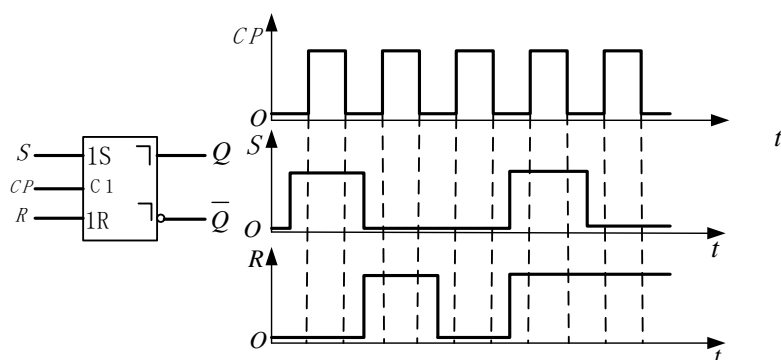
题 5-4 图

**解** 图为钟控同步  $RS$  触发器，当  $CP = 0$  时，触发器保持原状态不变。当  $CP = 1$  时，为基本  $RS$  触发器。



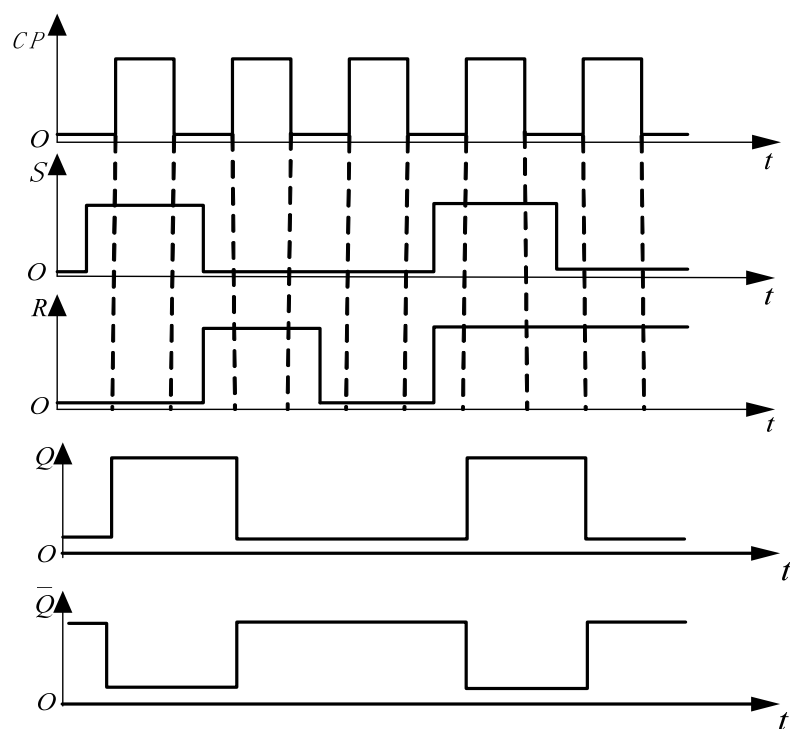
题 5-4 波形图

5-5 如果主从  $RS$  触发器各输入端的电压波形如题 5-5 图中所给出，试画出  $Q$ 、 $\bar{Q}$  端对应的电压波形。设触发器的初始状态为  $Q = 0$ 。



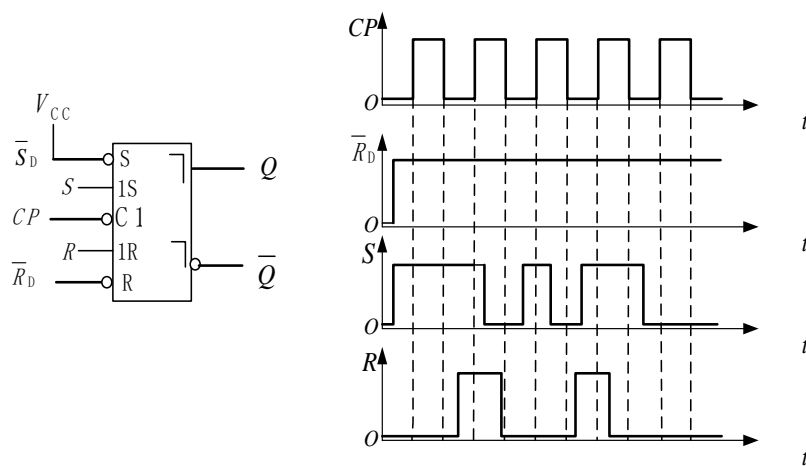
题 5-5 图

解 主从  $RS$  触发器输出状态的改变发生在  $CP$  上升沿， $Q$ 、 $\bar{Q}$  端对应的电压波形如图 5-11 所示。

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases}$$


题 5-5 波形图

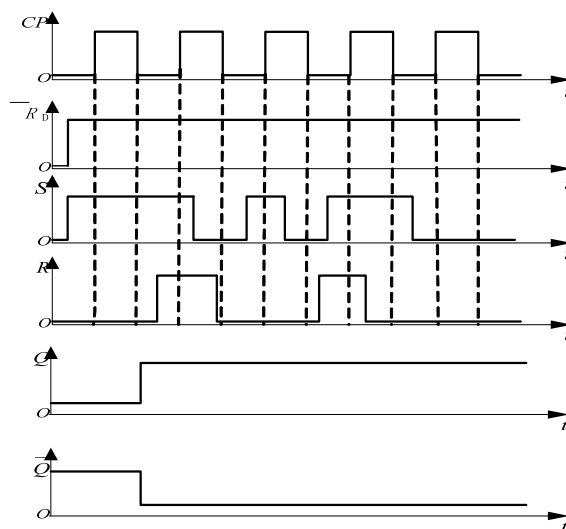
5-6 如果主从  $RS$  触发器的  $CP$ 、 $S$ 、 $R$ 、 $\bar{R}_D$  各输入端的电压波形如题 5-6 图所示，其中  $\bar{S}_D = 1$ ，试画出  $Q$ 、 $\bar{Q}$  端对应的电压波形。



题 5-6 图

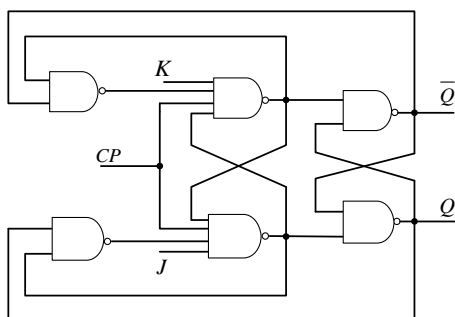
解： CP 下降沿触发， $\begin{cases} Q^{n+1} = Q^n = S + \bar{R}Q^n \\ RS = 0 \end{cases}$ ，具有异步置 0 功能， $Q$ 、 $\bar{Q}$  端对应的

电压波形如图所示。



题 5-6 波形图

5-7 试证明题 5-7 图所示电路具有  $J-K$  触发器的逻辑功能。



题 5-7 图

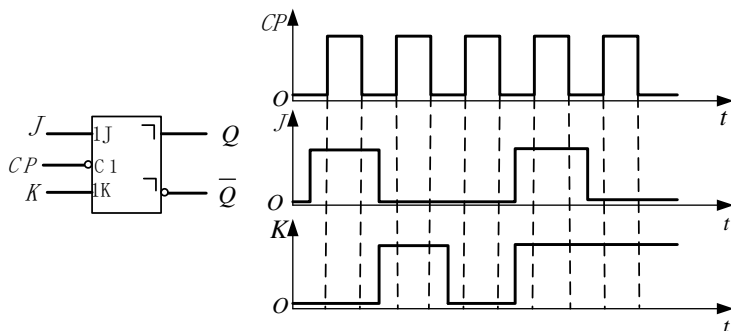
解 当  $CP = 0$  时，输入信号  $J$ 、 $K$  不会影响输出端的状态，故触发器保持原状态不变。

当  $CP$  由 0 变为 1 时， $Q$  和  $\bar{Q}$  的状态跟随输入状态的变化而变化， $\bar{R} = \overline{KQ^n}$ ,  $\bar{S} = \overline{JQ^n}$ ，

$$Q^{n+1} = S_D + \overline{R_D}Q^n = \overline{J}Q^n + \overline{K}Q^n$$

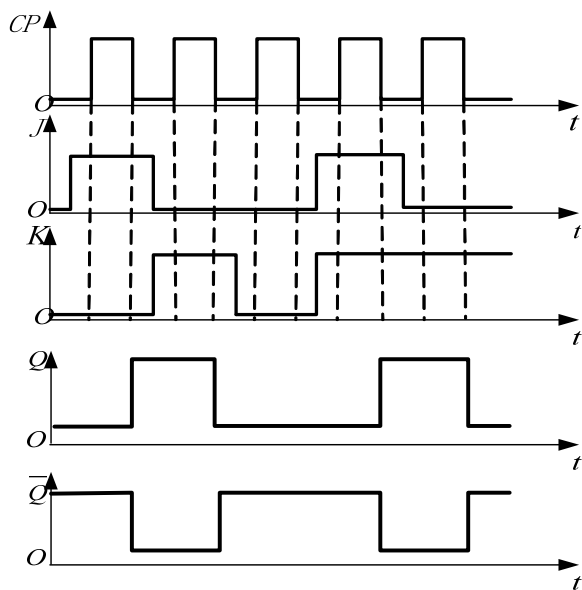
与  $J-K$  触发器相同，所以题 5-7 图所示电路具有  $J-K$  触发器的逻辑功能。

5-8 已知主从  $JK$  触发器输入端  $J$ 、 $K$  和  $CP$  的电压波形如题 5-8 图所示，试画出  $Q$ 、 $\overline{Q}$  端对应的电压波形。设触发器的初始状态为  $Q = 0$ 。



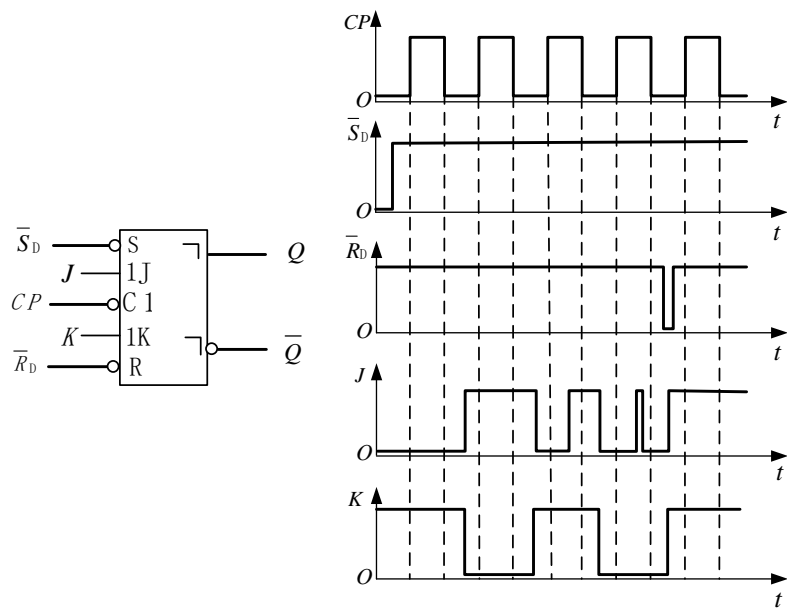
题 5-8 图

解  $Q$ 、 $\overline{Q}$  端对应的电压波形如下：



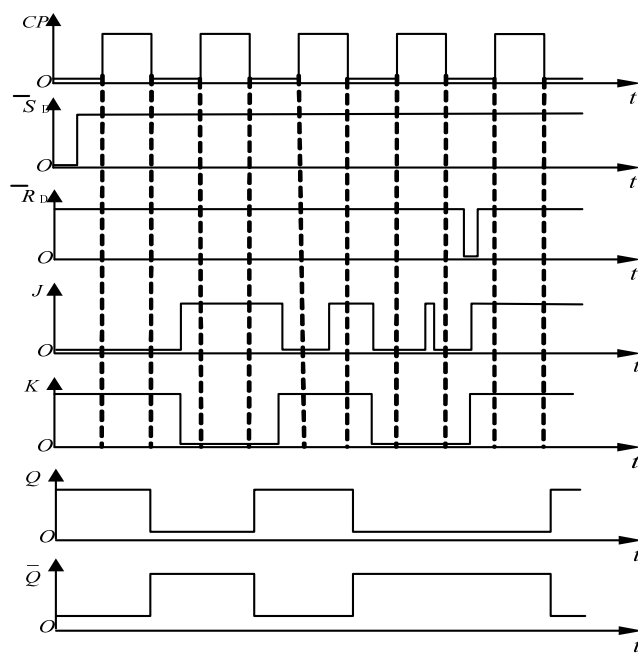
题 5-8 波形图

5-9 如果主从  $JK$  触发器  $CP$ 、 $\overline{R_D}$ 、 $\overline{S_D}$ 、 $J$ 、 $K$  端的电压波形如题 5-9 图所示，试画出  $Q$ 、 $\overline{Q}$  端对应的电压波形。



题 5-9 图

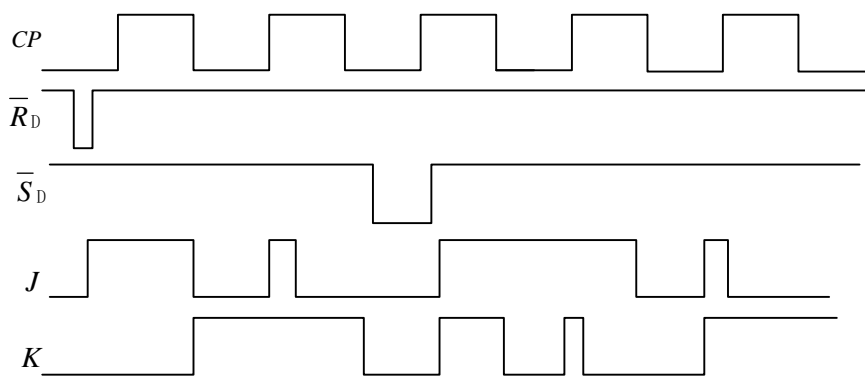
解  $Q$ 、 $\bar{Q}$  端对应的电压波形如下：



题 5-9 波形图

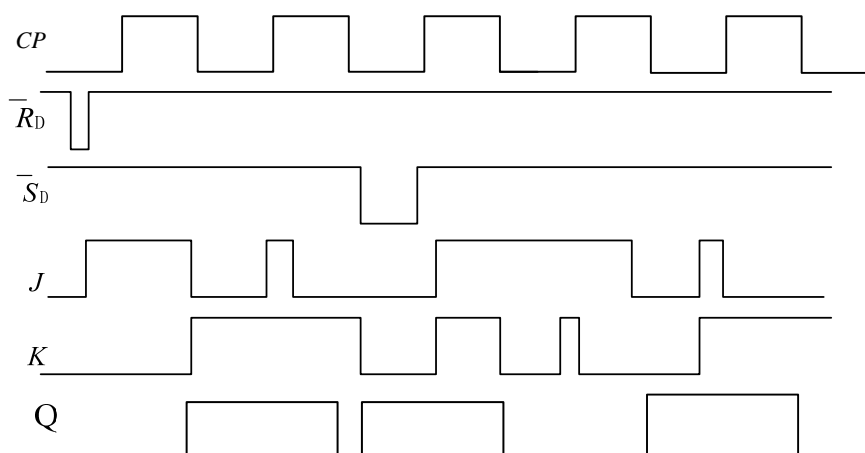
5-10 边沿（下降沿）触发的  $JK$  触发器输入端波形如题 5-10 图所示，试画出输出端  $Q$  的工作波形。





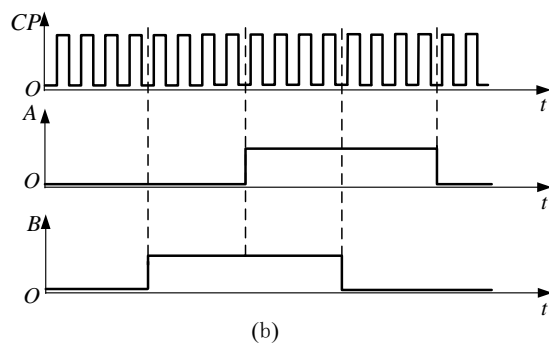
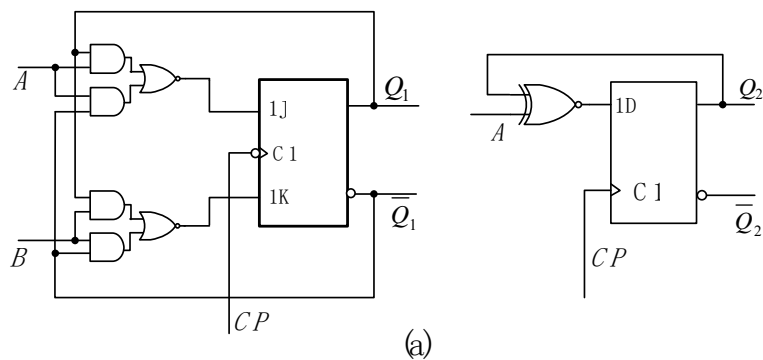
题 5-10 图

解 输出端  $Q$  的工作波形:



题 5-10 波形图

5-11 分别画出题 5-11 图(a)所示电路的工作波形。其输入波形如题 5-11 图 (b) 所示。



题 5-11 图

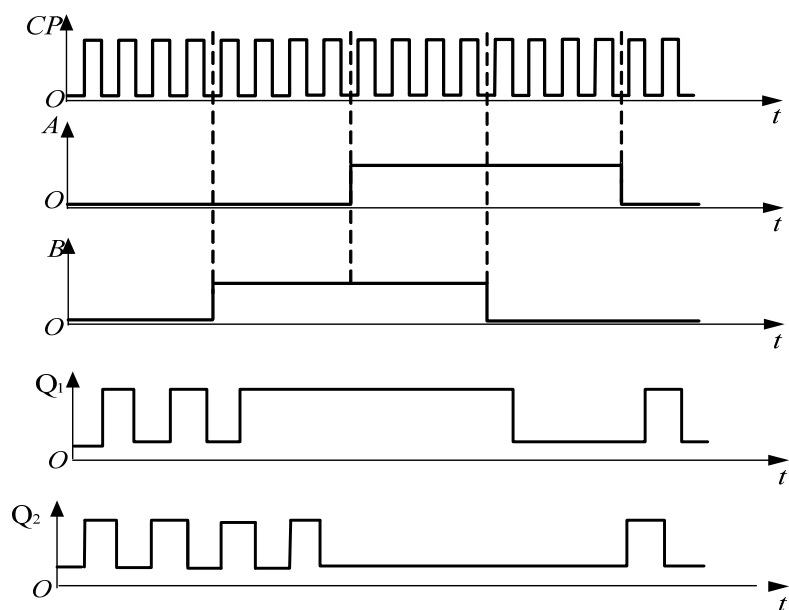
解： 触发器的驱动方程为：

$$J = \overline{AQ_1^n} + \overline{AQ_1^n} = \overline{A}, K = \overline{BQ_1^n} + \overline{BQ_1^n} = \overline{B}; \quad D = AQ_2 + \overline{A}Q_2^n$$

状态转移方程为：

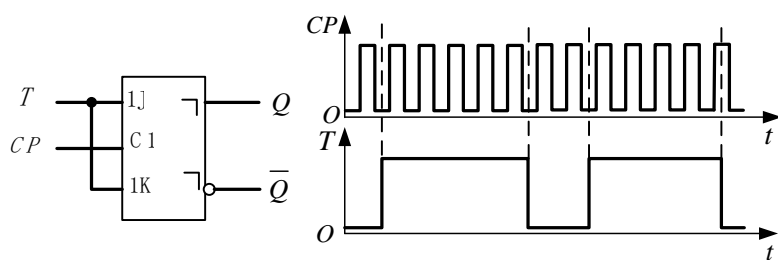
$$Q_1^{n+1} = [J\overline{Q_1^n} + \overline{K}Q_1^n]CP \downarrow = [\overline{A}\overline{Q_1^n} + BQ_1^n]CP \downarrow$$

$$Q_2^{n+1} = [D]CP \uparrow = [AQ_2 + \overline{A}Q_2^n]CP \uparrow, \text{ 设初始值为 } 0$$



题 5-11 波形图

5-12 在题 5-12 图的主从 JK 触发器电路中, 已知 CP 和输入信号 T 的电压波形如图所示, 试画出触发器输出端 Q 和  $\overline{Q}$  的电压波形。设触发器的起始状态为 Q = 0。



题 5-12 图

解 触发器的状态转移方程为:  $Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n = T \oplus Q^n$

触发器输出端 Q 和  $\overline{Q}$  的电压波形

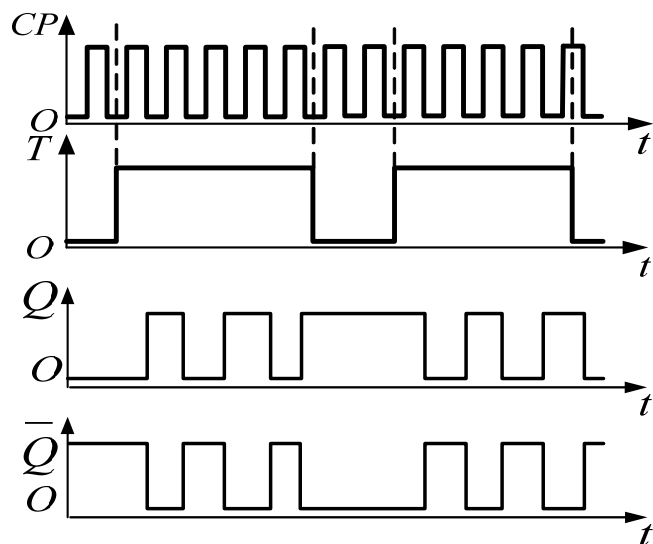
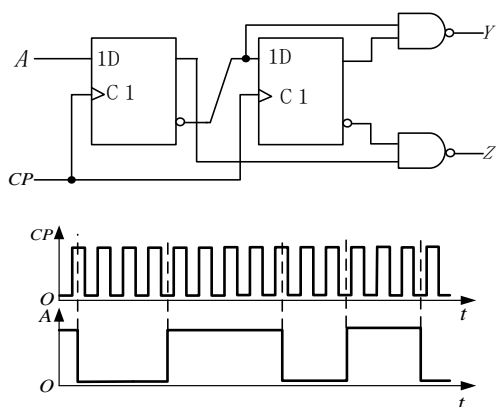


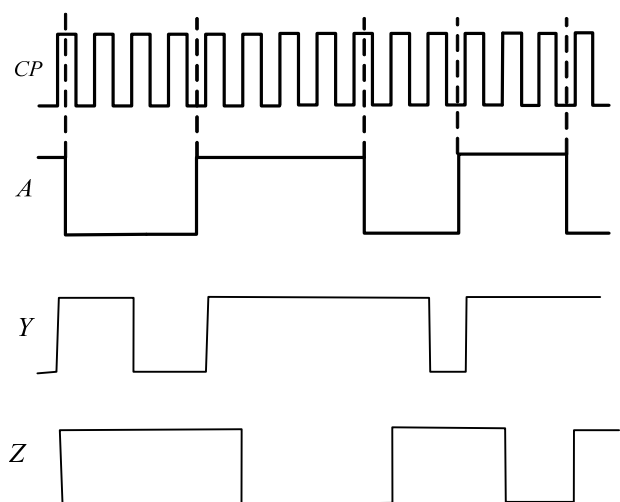
图 5-17 题 5-12 波形图

5-13 试画出题 5-13 图电路输出端  $Y$ 、 $Z$  的电压波形。输入信号  $A$  和  $CP$  的电压波形如图中所示。设触发器的初始状态均为  $Q = 0$ 。



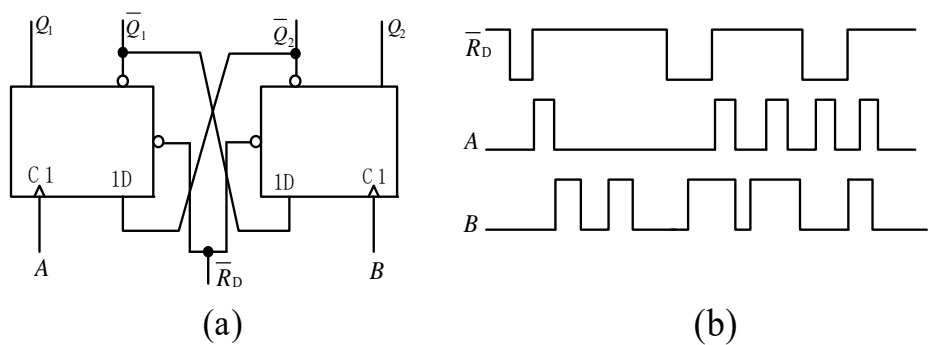
题 5-13 图

解：CP 上升沿有效， $D_1=A$ ， $D_2=\overline{Q_1} = \overline{A} \cdot CP \uparrow$ ， $Y = \overline{Q_1 Q_2} = Q_1^n + \overline{Q_2^n}$ ，  
 $Z = \overline{Q_2^n Q_1^n} = \overline{Q_1^n} + \overline{Q_2^n}$ ，输出端  $Y$ 、 $Z$  的电压波形如图所示。



题 5-13 波形图

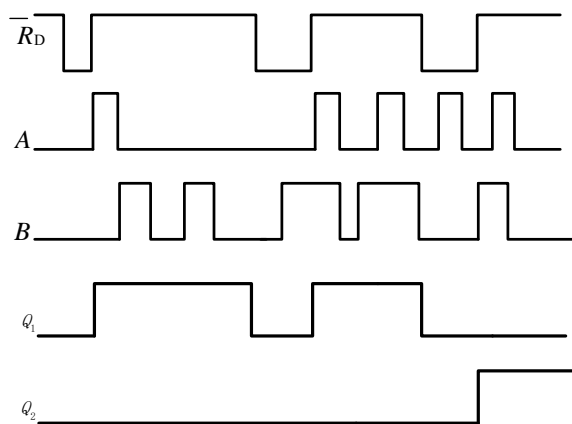
5-14 试画出题 5-14 图所示电路中  $Q_1$  和  $Q_2$  的输出波形。



题 5-14 图

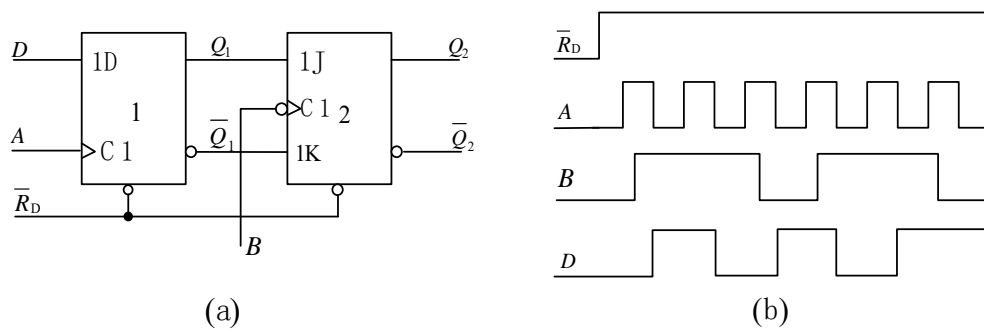
解 电路由两个 D 触发器组成，CP1=A，CP2=B， $\overline{R_D}=0$  时置 0， $Q_1^{n+1} = \left[ \overline{Q_2^n} \right] A \uparrow$ ，

$$Q_2^{n+1} = \left[ \overline{Q_1^n} \right] \cdot B \uparrow$$



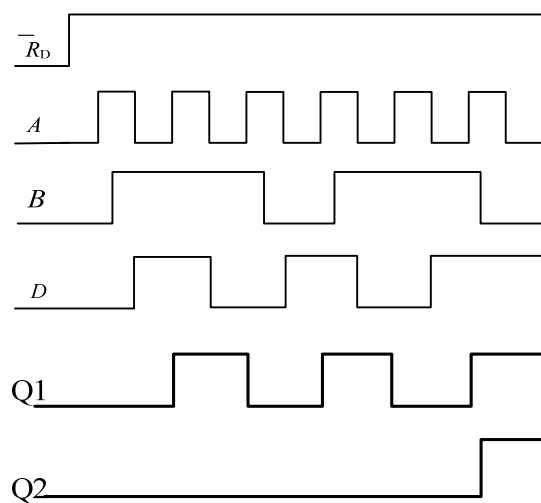
题 5-14 波形图

5-15 试画出题 5-15 图所示电路中  $Q_2$  的输出波形。



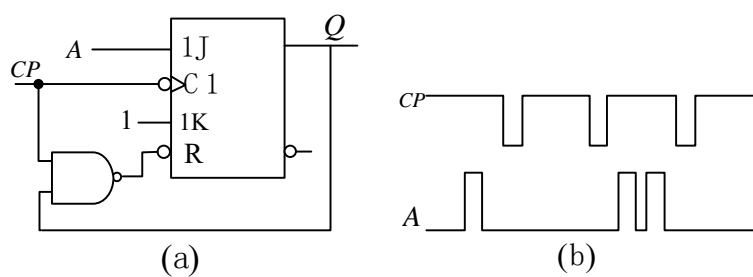
题 5-15 图

解  $Q_1^{n+1} = [D] \cdot A \uparrow$ ,  $Q_2^{n+1} = [D] \cdot A \uparrow \cdot B \downarrow$



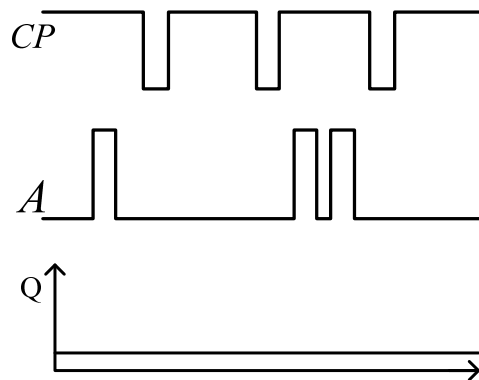
题 5-15 波形图

5-16 在题 5-16 图 (a) 所示主从 JK 触发器电路中, CP 和 A 波形如图 (b) 所示, 试画出 Q 端对应的输出波形, 设初始状态为 0。



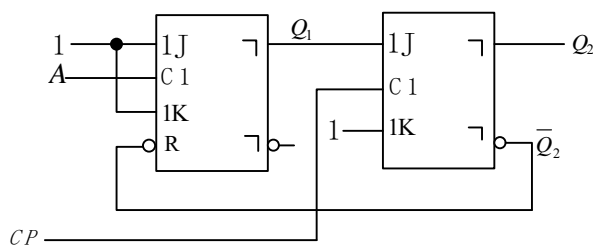
题 5-16 图

解  $Q^{n+1} = [AQ^n] \cdot CP \downarrow$ ,  $\overline{R_D} = \overline{CP \cdot Q^n}$ 。Q 端对应的输出波形如下:



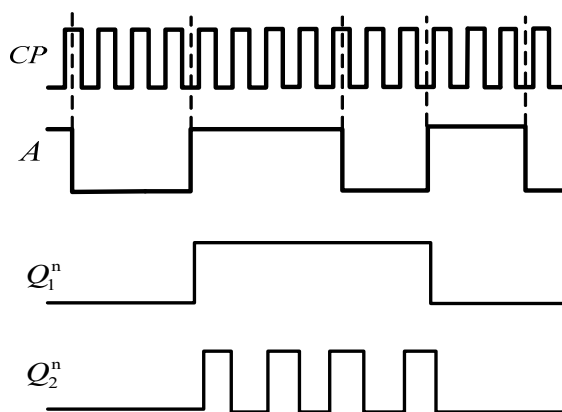
题 5-16 波形图

5-17 试画出题 5-17 图电路输出端  $Q_2$  的电压波形。输入信号  $A$  和  $CP$  的电压波形如题 5-13 图所示。假定触发器为主从结构，初始状态均为  $Q = 0$ 。



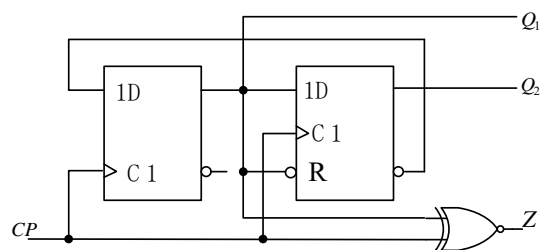
题 5-17 图

解  $Q_1^{n+1} = [\overline{Q_1^n}] \cdot A \uparrow$ ,  $Q_2^{n+1} = [Q_1^n \overline{Q_2^n}] \cdot CP \uparrow$ , 电路输出端  $Q_2$  的电压波形如下:



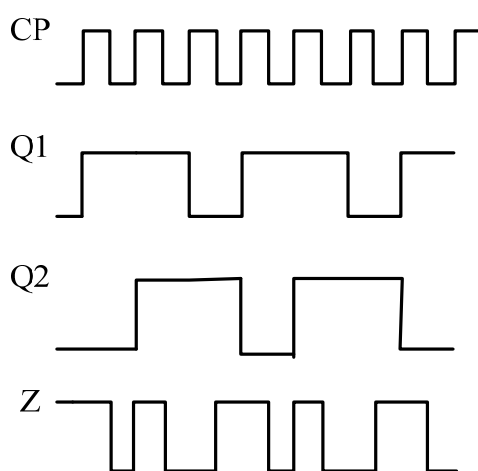
题 5-17 波形图

5-18 题 5-18 图所示是用 CMOS 边沿触发器和异或门组成的脉冲分频电路, 试画出在一系列  $CP$  脉冲作用下  $Q_1$ 、 $Q_2$  和  $Z$  端的输出波形。设触发器的初始状态均为 0。



题 5-18 图

解  $Q_1^{n+1} = [\overline{Q_2^n}] \cdot CP \uparrow$ ,  $Q_2^{n+1} = [Q_1^n] \cdot CP \uparrow$ ,  $Z = Q_1^n \cdot CP + \overline{Q_1^n} \cdot \overline{CP}$ , 设触发器初始状态均为零。



题 5-18 波形图

## 第六章 时序逻辑电路

6-1 时序逻辑电路与组合逻辑电路相比较，有什么相同点和不同点？

解：时序逻辑电路：输出不仅与当前的输入有关，还与和电路原来的状态有关。它包括组合逻辑电路和存储电路两部分。记忆特性是时序逻辑电路的特征，通过存储电路来实现的。

组合逻辑电路：任何时刻电路的输出仅与该时刻电路的输入有关。组合逻辑电路不含有反馈电路、不含有记忆单元，通过将若干门电路按照不同的方式连接实现所需的逻辑功能。

时序逻辑电路与组合逻辑电路的主要区别在于：时序逻辑电路包含存储电路，具有记忆功能，而组合逻辑电路不具有记忆功能。

6-2 分析时序电路的基本步骤是什么？

解：（1）根据电路写出逻辑电路的时钟方程、各级触发器的驱动方程。

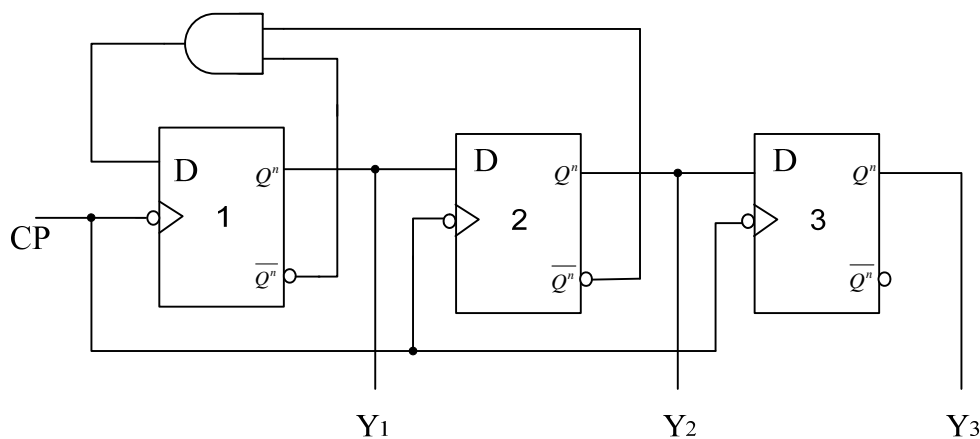
（2）将驱动方程代入各相应触发器的特征方程，得到触发器的状态转移方程。

（3）列出电路的输出方程。

（4）由状态转移方程和输出方程，列出列状态转移表，画状态转移图和波形图。

（5）给出电路的逻辑功能。如果是计数器，说明能否自启动。

6-3 分析题 6-3 图所示的时序电路。



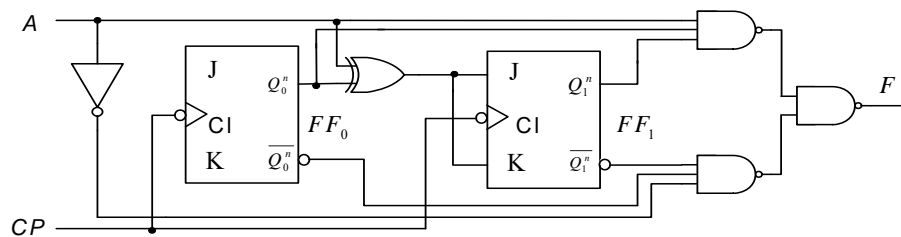
题 6-3 图

解：如题 6-3 图所示电路由 3 个下降沿触发的 D 触发器构成，前级触发器的输出作为后级触发器的输入，触发器受同一时钟 CP 控制，是同步时序电路。其中  $Y_1 Y_2 Y_3$  为输出。各级触发器的驱动方程为：

$$D_1 = \overline{Q_1^n} \overline{Q_2^n}$$







题 6-4 图

解 如题 6-4 图所示电路由 2 个下降沿的 J-K 触发器构成，并受同一 CP 控制，是同步时序电路。其中 A 为输入，F 为输出。其驱动方程为

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = A \oplus Q_0^n$$

状态转移方程和输出方程为

$$Q_0^{n+1} = \overline{Q_0^n} \cdot CP \downarrow$$

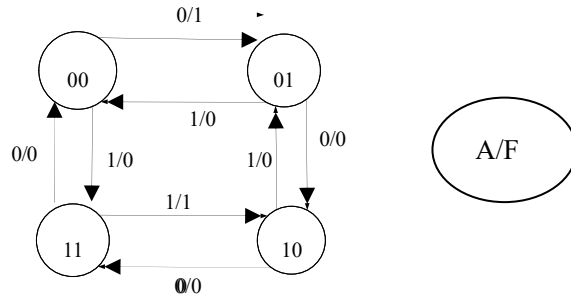
$$Q_1^{n+1} = A \oplus Q_0^n \oplus Q_1^n \cdot CP \downarrow$$

$$F = A Q_0^n Q_1^n + \overline{A} \overline{Q_0^n} \overline{Q_1^n}$$

由状态转移方程，可得该电路的状态转移表如表所示、状态转移图如图所示。

习题 6-4 状态转移表

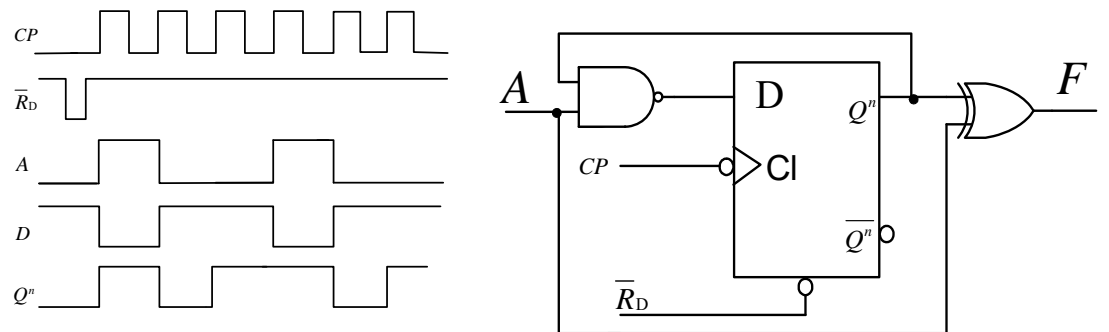
| A | $Q_2^n Q_1^n$ |   | $Q_2^{n+1} Q_1^{n+1}$ |   | F |
|---|---------------|---|-----------------------|---|---|
| 0 | 0             | 0 | 0                     | 1 | 1 |
| 0 | 0             | 1 | 1                     | 0 | 0 |
| 0 | 1             | 0 | 1                     | 1 | 0 |
| 0 | 1             | 1 | 0                     | 0 | 0 |
| 1 | 0             | 0 | 1                     | 1 | 0 |
| 1 | 1             | 1 | 1                     | 0 | 1 |
| 1 | 1             | 0 | 0                     | 1 | 0 |
| 1 | 0             | 1 | 0                     | 0 | 0 |



习题 6-4 状态转移图

电路是一个由信号 A 控制的模 4 加法/减法可逆计数器。

6-5 电路和输入波形如题 6-5 图所示，画出输出端 F 的波形。



题 6-5 图

解：如题 6-5 图所示电路由 1 个下降沿触发的 D 触发器、一个与非门及一个异或门构成。其中 A 为输入，F 为输出。D 触发器的动方程为

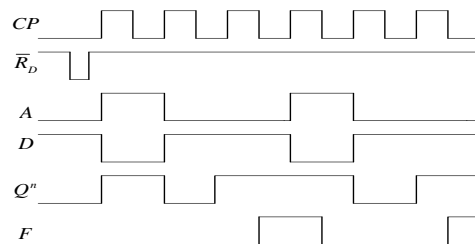
$$D = \bar{A} + \bar{Q}^n$$

状态转移方程和输出方程为

$$Q^{n+1} = (\bar{A} + \bar{Q}^n) \cdot CP \downarrow$$

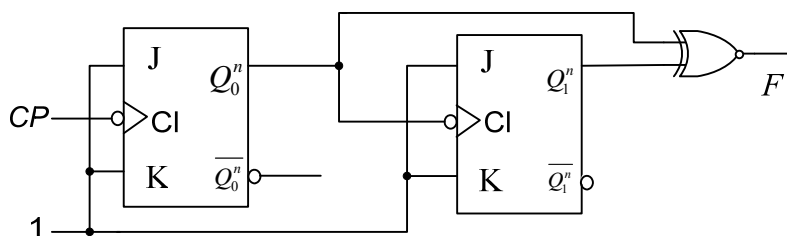
$$F = A \oplus Q^n$$

输出端 F 的波形



习题 6-5 波形图

6-6 画出题 6-6 图电路在  $CP$  脉冲作用下,  $Q_0$ 、 $Q_1$ 、 $F$  的波形。



题 6-6 图

解：如题 6-6 图所示电路由 2 个下降沿触发的 J-K 触发器及一个同或门构成，两个触发器受不同  $CP$  控制。因此，电路是异步时序电路， $F$  为输出。

其驱动方程为

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = 1$$

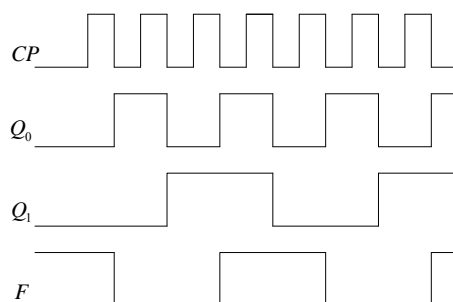
状态转移方程和输出方程为

$$Q_0^{n+1} = \overline{Q_0^n} \cdot CP \downarrow$$

$$Q_1^{n+1} = \overline{Q_1^n} \cdot Q_0^n \downarrow$$

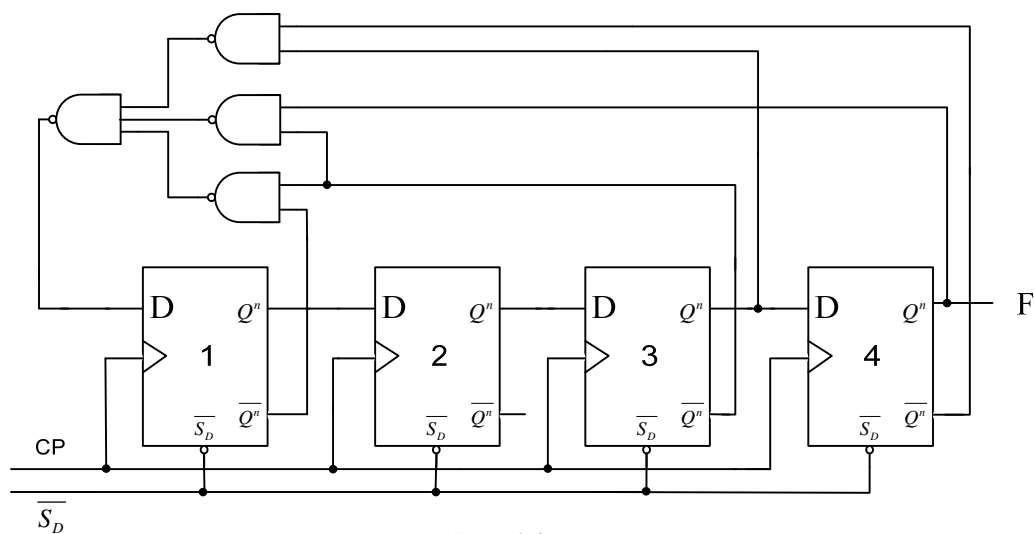
$$F = Q_0^n \odot Q_1^n = Q_0^n \oplus \overline{Q_1^n}$$

波形



习题 6-6 波形图

6-7 分析题 6-7 图所示时序电路，画出状态转移图，并说明电路的逻辑功能。



题 6-7 图

解：如题 6-7 图所示电路由 4 个上升沿触发的 D 触发器及与非门构成，电路并受同一 CP 控制，是同步时序电路。其中 F 为输出。

其驱动方程为

$$D_1 = \overline{Q_1^n} \overline{Q_3^n} + \overline{Q_3^n} Q_4^n + Q_3^n \overline{Q_4^n}$$

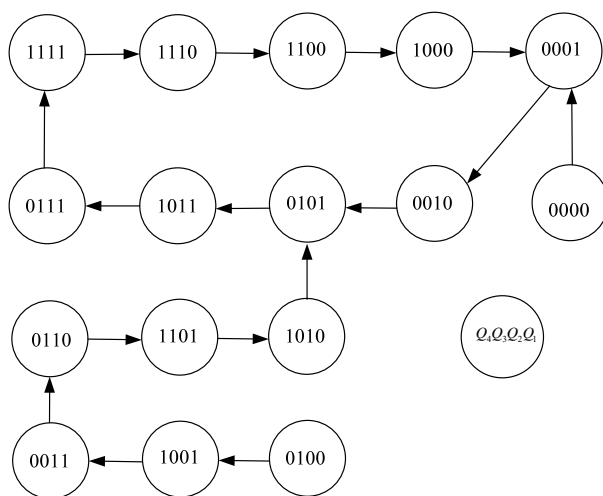
$$D_2 = Q_1^n, D_3 = Q_2^n, D_4 = Q_3^n$$

状态转移方程和输出方程为

$$Q_1^n = D_1, Q_2^n = D_2, Q_3^n = D_3, Q_4^n = D_4$$

$$F = Q_4^n$$

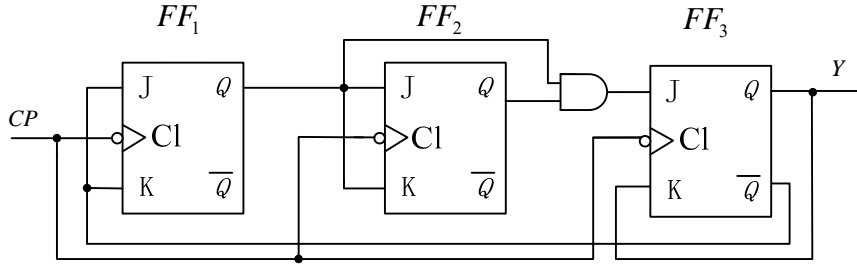
状态转移图如图所示。



习题 6-7 状态转移图

电路输出 000101111 序列信号。

6-8 分析题 6-8 图时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转移图，说明电路能否自启动。



题 6-8 图

解：如题 6-8 图所示电路由 3 个下降沿的 J-K 触发器和一个与门构成，触发器受同一 CP 控制，是同步时序电路。其中 Y 为输出。

其驱动方程为

$$J_1 = K_1 = \bar{Q}_3^n$$

$$J_2 = K_2 = Q_1^n$$

$$J_3 = Q_1^n Q_2^n \quad K_3 = Q_3^n$$

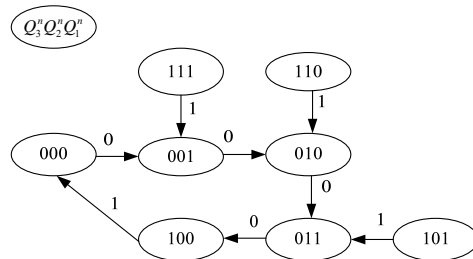
状态转移方程和输出方程为

$$Q_1^{n+1} = Q_1^n \odot Q_3^n$$

$$Q_2^{n+1} = Q_1^n \oplus Q_2^n$$

$$Q_3^{n+1} = Q_1^n Q_2^n \bar{Q}_3^n + \bar{Q}_3^n Q_3^n = Q_1^n Q_2^n \bar{Q}_3^n$$

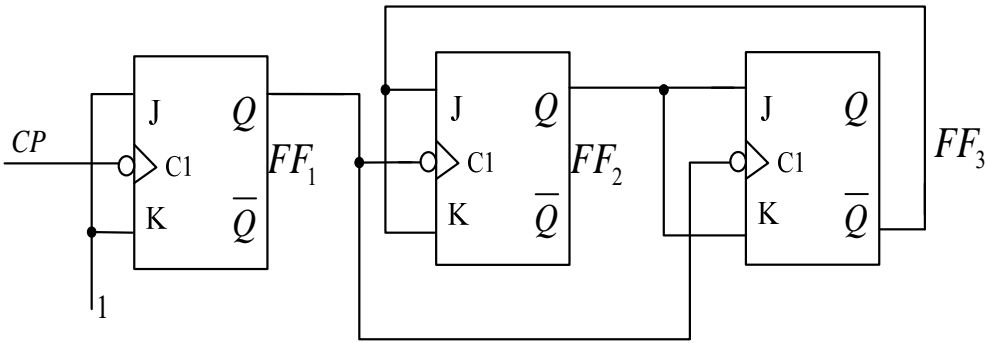
状态转移图如图所示。



习题 6-8 状态转移图

模 5 计数器，电路可自启动。

6-9 分析题 6-9 图所示时序电路，画出电路状态转换表和状态转移图，说明电路的逻辑功能。



题 6-9 图

解：如题 6-9 图所示电路由 3 个 J-K 触发器构成的异步时序电路。

驱动方程为

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = \overline{Q_3}^n$$

$$J_3 = K_3 = Q_2^n$$

状态转移方程和输出方程为

$$Q_1^{n+1} = \overline{Q_1}^n \cdot CP \downarrow$$

$$Q_2^{n+1} = Q_2^n \odot Q_3^n \cdot Q_1^n \downarrow$$

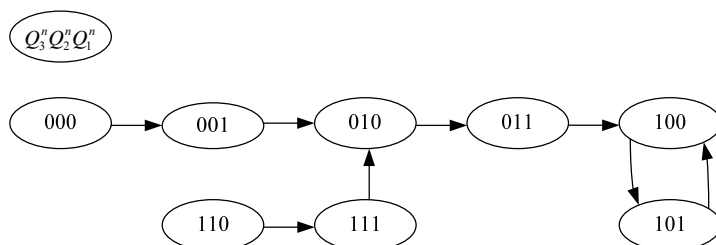
$$Q_3^{n+1} = Q_2^n \oplus Q_3^n \cdot Q_1^n \downarrow$$

由状态转移方程，可得该电路的状态转移表如表所示、状态转移图如图所示。

习题 6-9 状态转移表

| $Q_3^n Q_2^n Q_1^n$ | $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$ | $CP$ | $Q_1^n$ |
|---------------------|---------------------------------|------|---------|
| 0 0 0               | 0 0 1                           | ↓    | ↑       |
| 0 0 1               | 0 1 0                           | ↓    | ↓       |
| 0 1 0               | 0 1 1                           | ↓    | ↑       |
| 0 1 1               | 1 0 0                           | ↓    | ↓       |
| 1 0 0               | 1 0 1                           | ↓    | ↑       |
| 1 0 1               | 1 0 0                           | ↓    | ↓       |

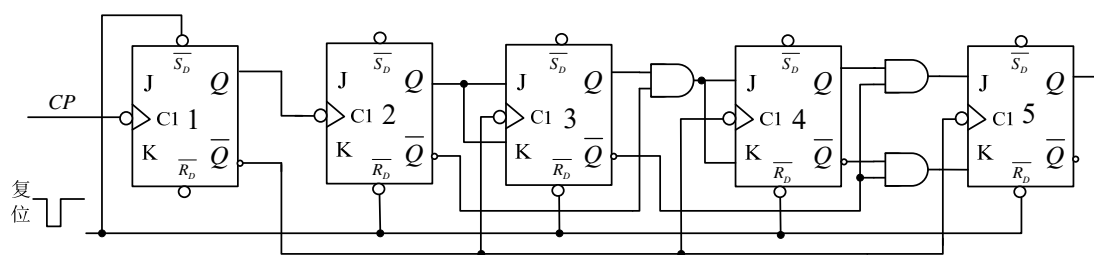
|       |       |   |   |
|-------|-------|---|---|
| 1 1 0 | 1 1 1 | ↓ | ↑ |
| 1 1 1 | 0 1 0 | ↓ | ↓ |



习题 6-9 状态转移图

电路可自启动，从  $Q_1^n$  输出完成 2 分频。

6-10 试分析如题 6-10 图所示逻辑电路的逻辑功能。



题 6-10 图

解： 如图题 6-10 图所示电路由 5 个 J-K 触发器和三个与门构成的异步时序电路。其驱动方程为

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = 1$$

$$J_3 = K_3 = Q_2^n$$

$$J_4 = K_4 = \overline{Q_2^n} Q_3^n$$

$$J_5 = \overline{Q_3^n} Q_4^n, K_5 = \overline{Q_3^n} \overline{Q_4^n}$$

$$CP_1 = CP \downarrow$$

$$CP_2 = Q_1^n \downarrow$$

$$CP_3 = Q_1^n \uparrow$$

$$CP_4 = Q_1^n \uparrow$$

$$CP_5 = Q_1^n \uparrow$$

状态转移方程和输出方程为



$$Q_1^{n+1} = \overline{Q_1^n} \cdot CP \downarrow$$

$$Q_2^{n+1} = \overline{Q_2^n} \cdot Q_1^n \downarrow$$

$$Q_3^{n+1} = (Q_2^n \overline{Q_3^n} + \overline{Q_2^n} Q_3^n) Q_1^n \uparrow = Q_2^n \oplus Q_3^n \cdot Q_1^n \uparrow$$

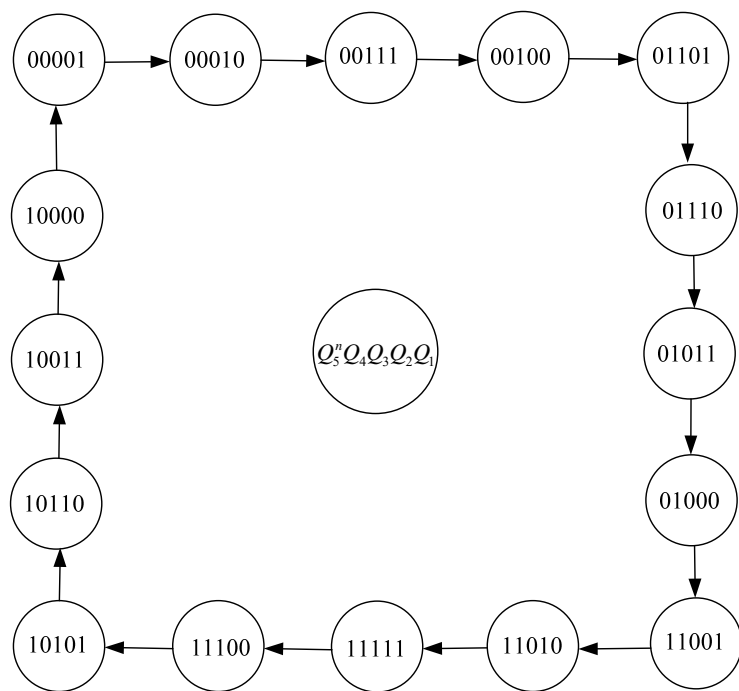
$$Q_4^{n+1} = (\overline{Q_2^n} Q_3^n \overline{Q_4^n} + \overline{\overline{Q_2^n} Q_3^n} Q_4^n) Q_1^n \uparrow = (\overline{Q_2^n} Q_3^n) \oplus Q_4^n \cdot Q_1^n \uparrow$$

$$Q_5^{n+1} = (\overline{Q_3^n} Q_4^n \overline{Q_5^n} + \overline{\overline{Q_3^n} Q_4^n} Q_5^n) Q_1^n \uparrow = (\overline{Q_3^n} Q_4^n \overline{Q_5^n} + Q_3^n Q_4^n + Q_4^n Q_5^n) \cdot Q_1^n \uparrow$$

由状态转移方程，可得该电路的状态转移表如表所示、状态转移图如图所示。

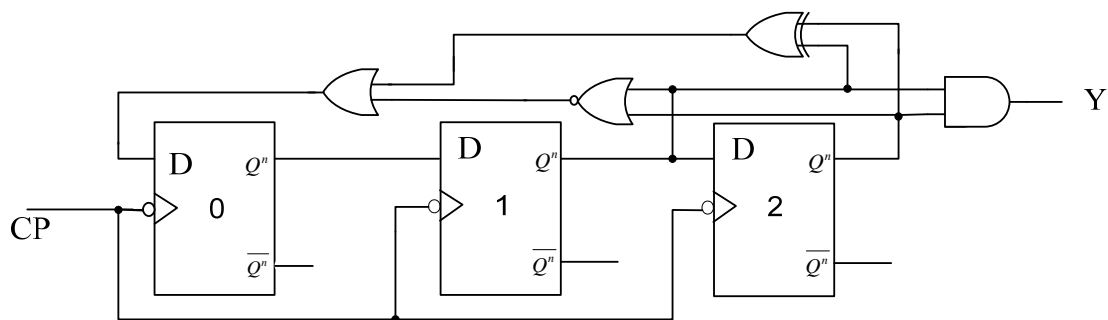
习题 6-10 状态转移表

| $Q_5^n Q_4^n Q_3^n Q_2^n Q_1^n$ | $Q_5^{n+1} Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$ | $F = Q_5^n$ | $CP$ | $Q_1^n$ |
|---------------------------------|---|-------------|------|---------|
| 0 0 0 0 1                       | 0 0 0 1 0   | 0           | ↓    | ↓       |
| 0 0 0 1 0                       | 0 0 1 1 1   | 0           | ↓    | ↑       |
| 0 0 1 1 1                       | 0 0 1 0 0   | 0           | ↓    | ↓       |
| 0 0 1 0 0                       | 0 1 1 0 1   | 0           | ↓    | ↑       |
| 0 1 1 0 1                       | 0 1 1 1 0   | 0           | ↓    | ↓       |
| 0 1 1 1 0                       | 0 1 0 1 1   | 0           | ↓    | ↑       |
| 0 1 0 1 1                       | 0 1 0 0 0   | 0           | ↓    | ↓       |
| 0 1 0 0 0                       | 1 1 0 0 1   | 0           | ↓    | ↑       |
| 1 1 0 0 1                       | 1 1 0 1 0   | 1           | ↓    | ↓       |
| 1 1 0 1 0                       | 1 1 1 1 1   | 1           | ↓    | ↑       |
| 1 1 1 1 1                       | 1 1 1 0 0   | 1           | ↓    | ↓       |
| 1 1 1 0 0                       | 1 0 1 0 1   | 1           | ↓    | ↑       |
| 1 0 1 0 1                       | 1 0 1 1 0   | 1           | ↓    | ↓       |
| 1 0 1 1 0                       | 1 0 0 1 1   | 1           | ↓    | ↑       |
| 1 0 0 1 1                       | 1 0 0 0 0   | 1           | ↓    | ↓       |
| 1 0 0 0 0                       | 0 0 0 0 1   | 1           | ↓    | ↑       |



习题 6-10 状态转移图

6-11 分析如题 6-11 图所示移存型计数器，画出状态转移图。



题 6-11 图

解： (1) 各触发器的驱动方程为：

$$D_0 = Q_1^n \oplus Q_2^n + \overline{Q_1^n + Q_2^n} = \overline{Q_1^n Q_2^n}$$

$$D_1 = Q_0^n$$

$$D_2 = Q_1^n$$

输出方程：  $Y = Q_1^n Q_2^n$

(2) 将驱动方程代入状态方程，可以得到电路的状态转移方程为

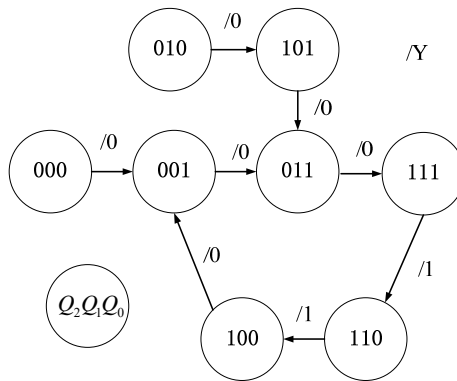
$$Q_0^{n+1} = D_0 = \overline{Q_1^n Q_2^n}, \quad Q_1^{n+1} = D_1 = Q_0^n, \quad Q_2^{n+1} = D_2 = Q_1^n$$

(3) 由状态转移方程和输出方程，可以得到电路的状态转移表如表所示。

习题 6-11 状态转移表

| $Q_2^n$ | $Q_1^n$ | $Q_0^n$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ | $Q_0^{n+1}$ | Y |
|---------|---------|---------|-------------|-------------|-------------|---|
| 0       | 0       | 0       | 0           | 0           | 1           | 0 |
| 0       | 0       | 1       | 0           | 1           | 1           | 0 |
| 0       | 1       | 1       | 1           | 1           | 1           | 0 |
| 1       | 1       | 1       | 1           | 1           | 0           | 1 |
| 1       | 1       | 0       | 1           | 0           | 0           | 1 |
| 1       | 0       | 0       | 0           | 0           | 1           | 0 |
| 1       | 0       | 1       | 0           | 1           | 1           | 0 |
| 0       | 1       | 0       | 1           | 0           | 1           | 0 |

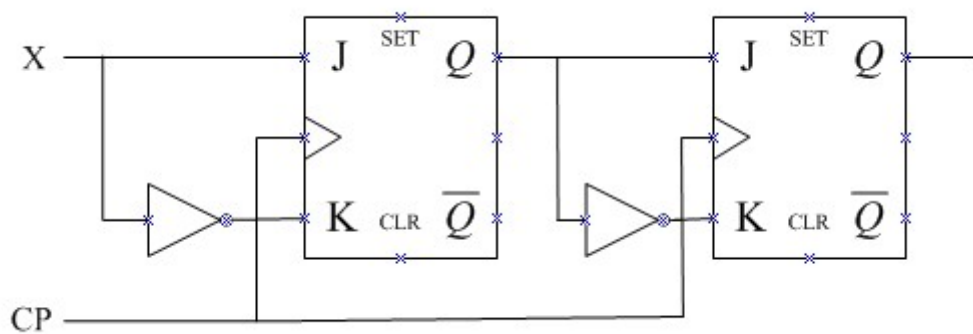
(4) 由状态转移表画出状态转移图



习题 6-11 状态转移图

6-12 如何利用 J-K 触发器构成单向移位寄存器？

解 由 J-K 触发器的状态转移方程  $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$ , 当  $J = X$ ,  $K = \bar{X}$  时, 得  $Q^{n+1} = X$ , 即可构成单向移位寄存器, 如图所示:



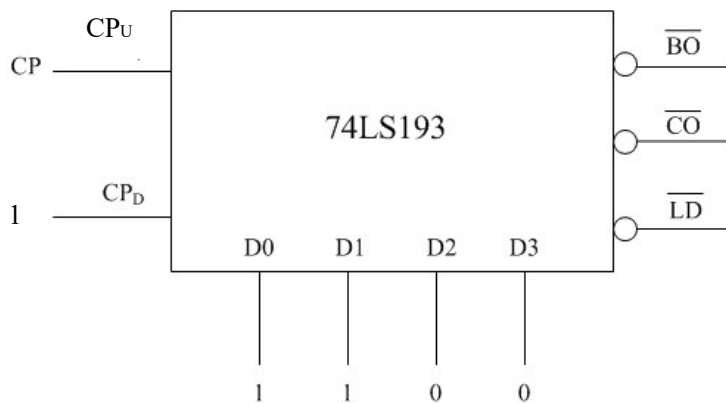
习题 6-12 逻辑图

6-13 采用 74LS193 可加减计数器分别构成模 13 加法计数器和模 9 减法计数器。

解：74LS193 为四位二进制可加减计数器。

(1) 构成模 13 加法计数器

采用状态 0011 至 1111 这 13 个状态，并用异步置位法实现，电路如图所示。



模 13 加法计数器逻辑电路

(2) 模 9 减法计数器

采用状态 1000 至 0000 这 9 个状态，并用异步置位法，如下：

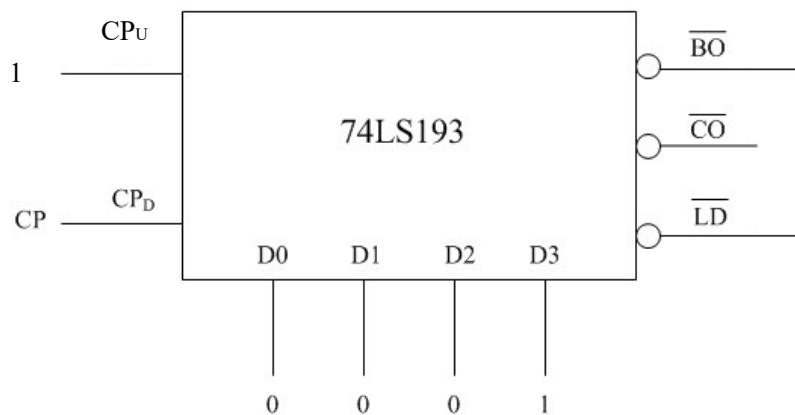


图 模 9 减法计数器逻辑电路

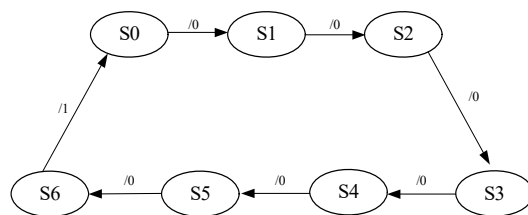
6-14 用 JK 触发器设计一个模 7 同步计数器。

解 (1) 设计模为 7 的计数器，需要用的触发器的个数  $n$  与模值之间的关系为

$2^{n-1} < 7 \leq 2^n$ ，因此需要采用三个 JK 触发器， $n=3$ 。

(2) 列出状态转移图及状态转移表

若采用自然二进制编码，则七个状态分别为： $S_0=000$ 、 $S_1=001$ 、 $S_2=010$   $S_3=011$ 、 $S_4=100$   $S_5=101$ 、 $S_6=110$ 。由编码后的状态得到状态状态表。



习题 6-14 状态转移图

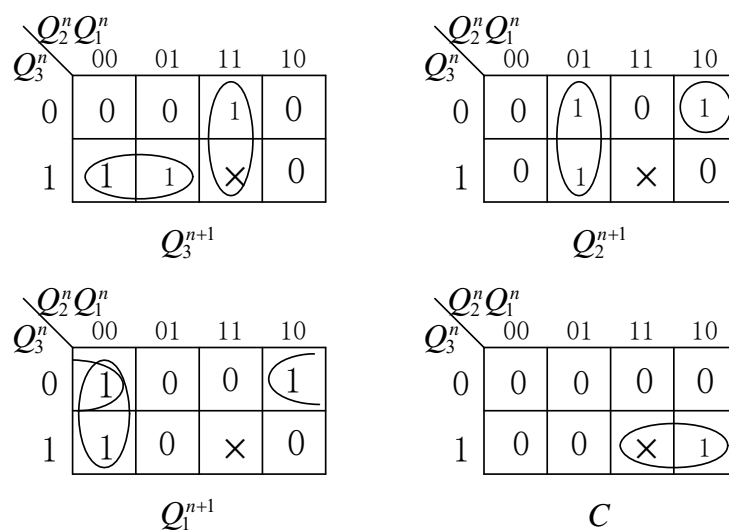
习题 6-14 状态转移表

| 现态      |         |         | 次态          |             |             | 输出 |
|---------|---------|---------|-------------|-------------|-------------|----|
| $Q_3^n$ | $Q_2^n$ | $Q_1^n$ | $Q_3^{n+1}$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ | C  |
| 0       | 0       | 0       | 0           | 0           | 1           | 0  |
| 0       | 0       | 1       | 0           | 1           | 0           | 0  |
| 0       | 1       | 0       | 0           | 1           | 1           | 0  |
| 0       | 1       | 1       | 1           | 0           | 0           | 0  |
| 1       | 0       | 0       | 1           | 0           | 1           | 0  |
| 1       | 0       | 1       | 1           | 1           | 0           | 0  |
| 1       | 1       | 0       | 0           | 0           | 0           | 1  |

采用卡诺图进行化简，得到状态转移方程及输出方程为：

$$Q_3^{n+1} = Q_2^n Q_1^n + Q_3^n \bar{Q}_2^n, \quad Q_2^{n+1} = \bar{Q}_2^n Q_1^n + \bar{Q}_3^n Q_2^n \bar{Q}_1^n, \quad Q_1^{n+1} = \bar{Q}_2^n \bar{Q}_1^n + \bar{Q}_3^n \bar{Q}_1^n$$

输出方程为：  $C = Q_3^n Q_2^n$



习题 6-14 化简卡诺图



习题 6-15 状态转移表

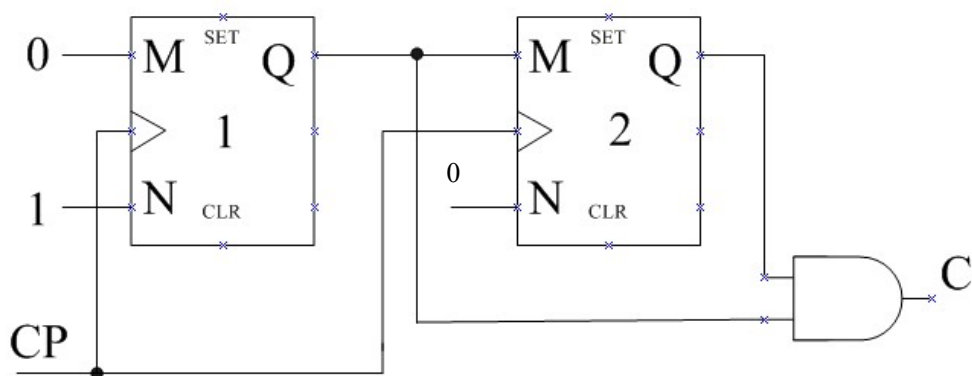
| 现态      |         | 次态          |             | 输出 |
|---------|---------|-------------|-------------|----|
| $Q_2^n$ | $Q_1^n$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ | C  |
| 0       | 0       | 0           | 1           | 0  |
| 0       | 1       | 1           | 0           | 0  |
| 1       | 0       | 1           | 1           | 0  |
| 1       | 1       | 0           | 0           | 1  |

(3) 求驱动方程,化简得:

$$Q_2^{n+1} = \overline{Q_1^n} Q_2^n + Q_1^n \overline{Q_2^n}, \text{得 } M \oplus N = Q_1^n, M = Q_1^n, N = 0$$

$$Q_1^{n+1} = \overline{Q_1^n}, \text{得 } M \oplus N = 1, M = 0, N = 1$$

(4) 画出逻辑电路图



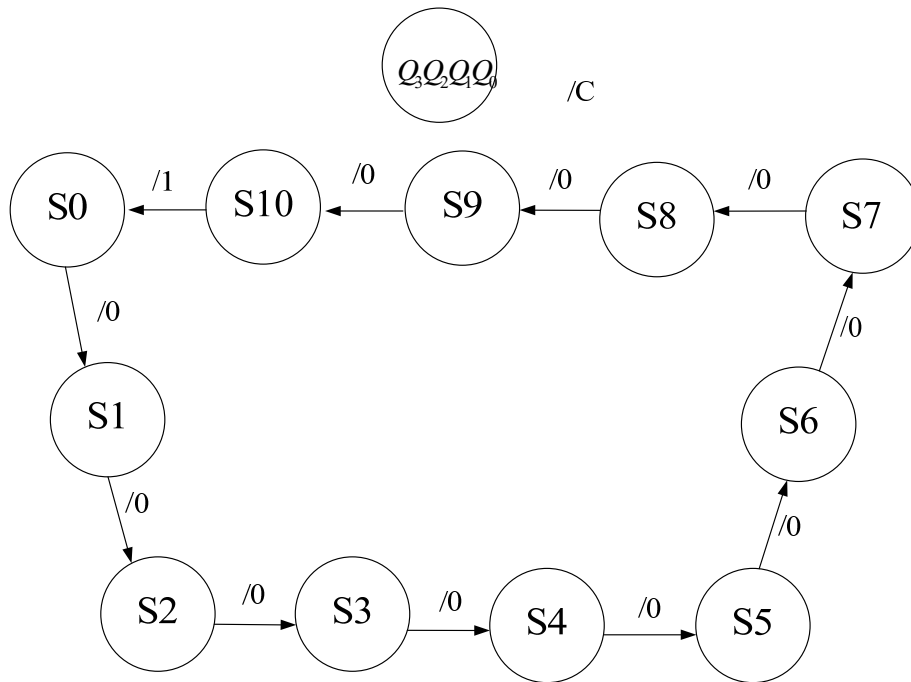
习题 6-15 逻辑电路图

6-16 用 D 触发器和门电路设计一个十一进制计数器，并检查设计的电路能否自启动。

解: (1) 由于模为 11, 由  $2^3 < 11 < 2^4$ , 因此需要 4 个 D 触发器。

(2) 时钟采用同步时钟 CP。

(3) 列出状态转移图和状态转移表



状态转移图

状态分配，S0=0000, S1=0001, S2=0010, S3=0011, S4=0100, S5=0101, S6=0110, S7=0111,  
S8=1000, S9=1001, S10=1010

习题 6-16 状态转移表

| 现态      |         |         |         | 次态          |             |             |             | 输出 |
|---------|---------|---------|---------|-------------|-------------|-------------|-------------|----|
| $Q_3^n$ | $Q_2^n$ | $Q_1^n$ | $Q_0^n$ | $Q_3^{n+1}$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ | $Q_0^{n+1}$ | C  |
| 0       | 0       | 0       | 0       | 0           | 0           | 0           | 1           | 0  |
| 0       | 0       | 0       | 1       | 0           | 0           | 1           | 0           | 0  |
| 0       | 0       | 1       | 0       | 0           | 0           | 1           | 1           | 0  |
| 0       | 0       | 1       | 1       | 0           | 1           | 0           | 0           | 0  |
| 0       | 1       | 0       | 0       | 0           | 1           | 0           | 1           | 0  |
| 0       | 1       | 0       | 1       | 0           | 1           | 1           | 0           | 0  |
| 0       | 1       | 1       | 0       | 0           | 1           | 1           | 1           | 0  |
| 0       | 1       | 1       | 1       | 1           | 0           | 0           | 0           | 0  |
| 1       | 0       | 0       | 0       | 1           | 0           | 0           | 1           | 0  |
| 1       | 0       | 0       | 1       | 1           | 0           | 1           | 0           | 0  |
| 1       | 0       | 1       | 0       | 0           | 0           | 0           | 0           | 1  |

化简卡诺图如图所示。经化简得：



$$\begin{aligned}
 Q_3^{n+1} &= Q_3^n \bar{Q}_1^n + Q_2^n Q_1^n Q_0^n = D_3 \\
 Q_2^{n+1} &= Q_2^n \bar{Q}_1^n + \bar{Q}_2^n Q_1^n Q_0^n + Q_2^n \bar{Q}_0^n = D_2 \\
 Q_1^{n+1} &= \bar{Q}_1^n \bar{Q}_0^n + \bar{Q}_3^n Q_1^n \bar{Q}_0^n = D_1 \\
 Q_0^{n+1} &= \bar{Q}_1^n \bar{Q}_0^n + \bar{Q}_3^n \bar{Q}_0^n = D_0 \\
 C &= Q_1^n Q_3^n
 \end{aligned}$$

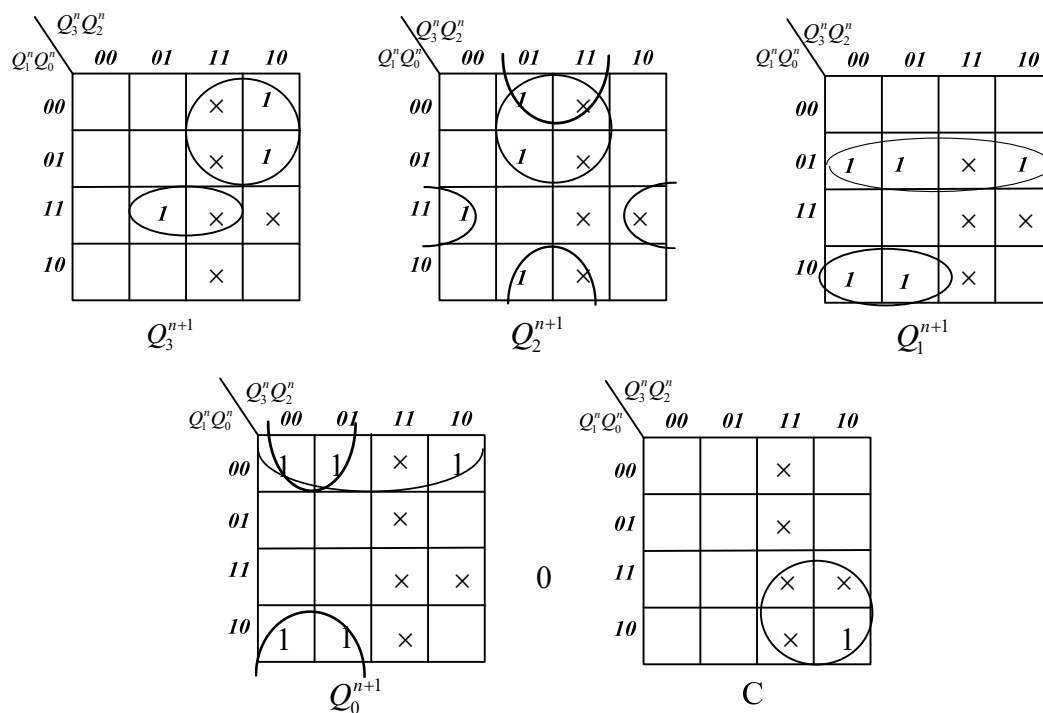


图 习题 6-16 化简卡诺图

电路能自启动。

(5) 画电路逻辑图

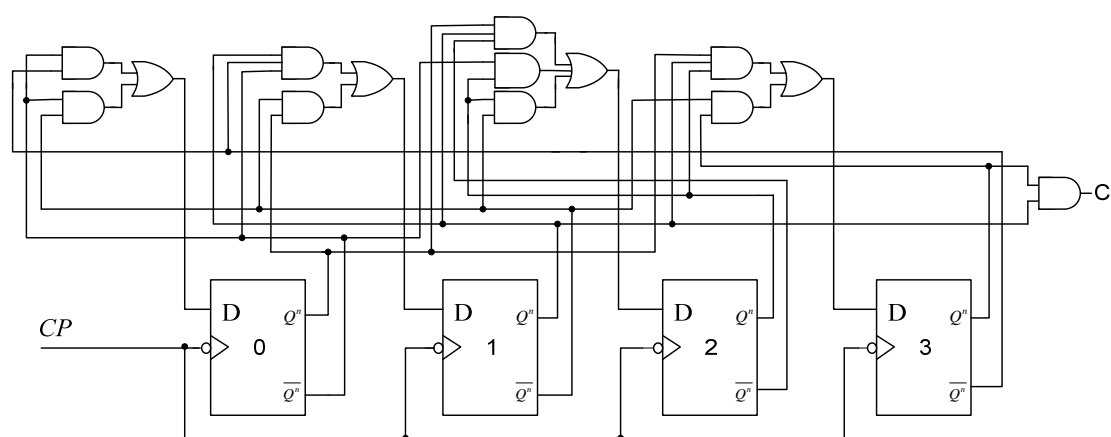
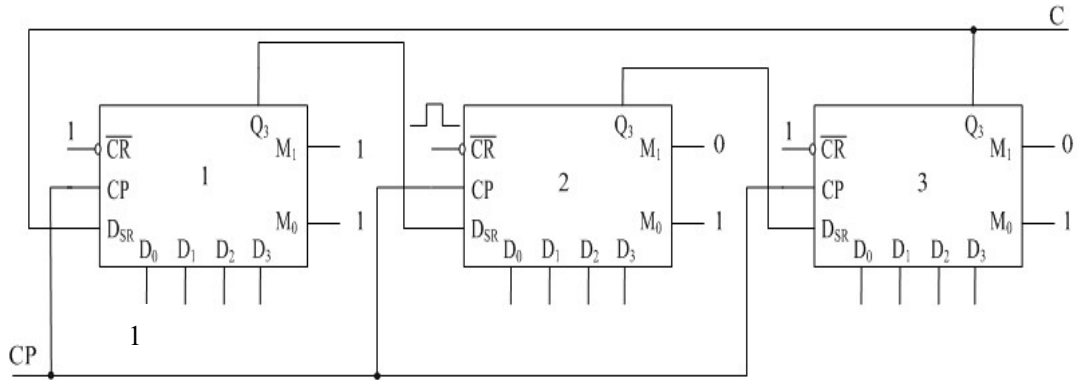


图 习题 6-16 逻辑电路图

6-17 试用 74LS195 或 74LS194 构成 12 位右移计数器。

解 用 3 个 74LS194 构成 12 位右移计数器，如图所示。



习题 6-17 逻辑电路图

首先三个移位寄存器同时清 0，然后给第一个芯片的 M1 端加一个触发高电平，使其并行输入数据  $D_3D_2D_1D_0 = 0001$ ，接着在 CP 脉冲的作用下进行右移，经过 12 个脉冲，输出一个高电平，完成 12 进制计数。

6-18 设计一个可控同步计数器， $M_1, M_2$  为控制信号，要求：当  $M_1M_2 = 00$  时，维持原状态。当  $M_1M_2 = 01$  时，实现模 2 计数。当  $M_1M_2 = 10$  时，实现模 4 计数。当  $M_1M_2 = 11$  时，实现模 8 计数。

解 设计一个模 8 计数器，用  $M_1$  和  $M_2$  进行进位信号的控制， $M_1M_2 = 00$  时，暂停时钟，使其保持，用 01、10、11 分别控制进位信号。

(1) 状态转移表如表所示。

习题 6-18 状态转移表

| 现态      |         |         | 次态          |             |             |
|---------|---------|---------|-------------|-------------|-------------|
| $Q_3^n$ | $Q_2^n$ | $Q_1^n$ | $Q_3^{n+1}$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ |
| 0       | 0       | 0       | 0           | 0           | 1           |
| 0       | 0       | 1       | 0           | 1           | 0           |
| 0       | 1       | 0       | 0           | 1           | 1           |
| 0       | 1       | 1       | 1           | 0           | 0           |
| 1       | 0       | 0       | 1           | 0           | 1           |
| 1       | 0       | 1       | 1           | 1           | 0           |
| 1       | 1       | 0       | 1           | 1           | 1           |
| 1       | 1       | 1       | 0           | 0           | 0           |

(2) 次态卡诺图

$$Q_3^{n+1} = Q_3^n \overline{Q_2^n} + Q_3^n \overline{Q_1^n} + \overline{Q_3^n} Q_2^n Q_1^n$$

$$Q_2^{n+1} = \overline{Q_2^n} Q_1^n + Q_2^n \overline{Q_1^n}$$

$$Q_1^{n+1} = \overline{Q_1^n}$$

|                                |  |    |    |    |    |
|--------------------------------|--|----|----|----|----|
| $Q_1^n \backslash Q_3^n Q_2^n$ |  | 00 | 01 | 11 | 10 |
|                                |  | 0  | 0  | 0  | 1  |
| 0                              |  | 0  | 0  | 1  | 1  |
| 1                              |  | 0  | 1  | 0  | 1  |

$Q_3^{n+1}$

|                                |  |    |    |    |    |
|--------------------------------|--|----|----|----|----|
| $Q_1^n \backslash Q_3^n Q_2^n$ |  | 00 | 01 | 11 | 10 |
|                                |  | 0  | 0  | 1  | 1  |
| 0                              |  | 0  | 1  | 1  | 0  |
| 1                              |  | 1  | 0  | 0  | 1  |

$Q_2^{n+1}$

|                                |  |    |    |    |    |
|--------------------------------|--|----|----|----|----|
| $Q_1^n \backslash Q_3^n Q_2^n$ |  | 00 | 01 | 11 | 10 |
|                                |  | 0  | 0  | 0  | 0  |
| 0                              |  | 1  | 1  | 1  | 1  |
| 1                              |  | 0  | 0  | 0  | 0  |

$Q_1^{n+1}$

习题 6-18 化简卡诺图

(3) 求驱动方程

$$Q_3^{n+1} = (\bar{Q}_1^n + \bar{Q}_2^n)Q_3^n + \bar{Q}_3^n Q_2^n Q_1^n = \bar{Q}_1^n \bar{Q}_2^n Q_3^n + Q_1^n Q_2^n \bar{Q}_3^n$$

$$Q_2^{n+1} = \bar{Q}_1^n Q_2^n + Q_1^n \bar{Q}_2^n$$

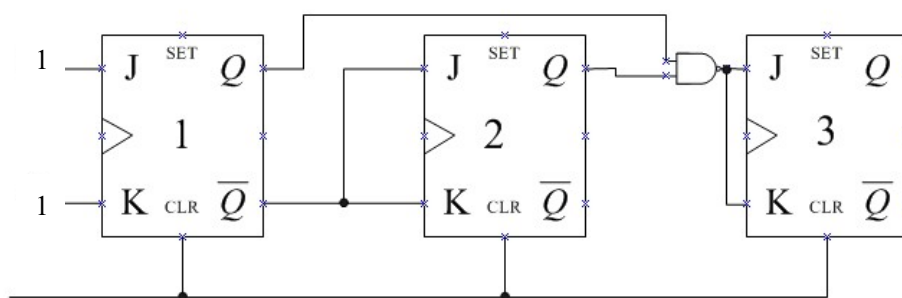
$$Q_1^{n+1} = 0 \cdot Q_1^n + 1 \cdot \bar{Q}_1^n, \text{得}$$

$$J_3 = K_3 = Q_1 Q_2$$

$$J_2 = K_2 = \bar{Q}_1$$

$$J_1 = K_1 = 1$$

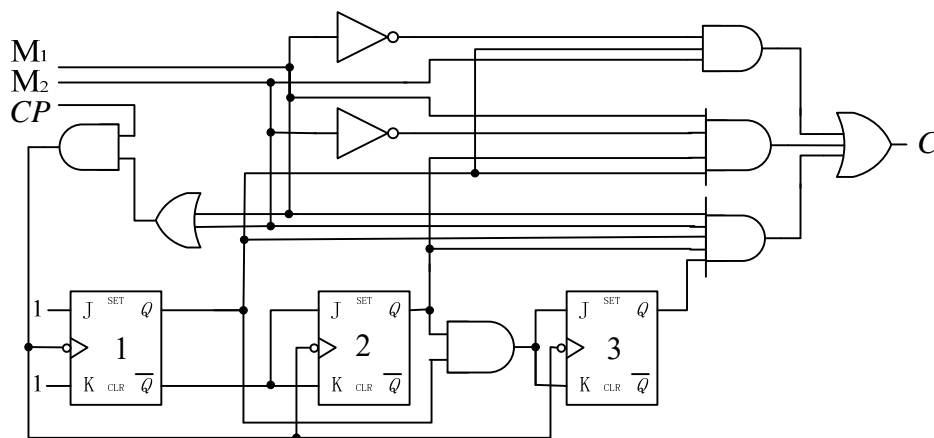
(4) 逻辑图



习题 6-18 未加控制信号逻辑电路图

(5) 加入控制信号

$Q_3^n Q_2^n Q_1^n = 001, 011, 111$  时输出, 让  $M_1 M_2 = 01, 10, 11$  时, 分别实现模 2、模 4 和模 8 计数。



习题 6-18 逻辑电路图

6-19 已知同步时序电路状态表如题 6-19 表所列, 用 J-K 触发器实现这个电路。

习题 6-19 状态表

| 次态/输出<br>现态 | 输入 | X         |           |
|-------------|----|-----------|-----------|
|             |    | 0         | 1         |
| $S_0$       |    | $S_1 / 0$ | $S_3 / 0$ |
| $S_1$       |    | $S_2 / 0$ | $S_0 / 0$ |
| $S_2$       |    | $S_3 / 0$ | $S_1 / 0$ |
| $S_3$       |    | $S_0 / 1$ | $S_2 / 1$ |

解： 此电路有 4 个状态，一个控制，可以用可逆计数器实现，设计一个加法器和一个减法器，再合并即可，分配  $S_0(00)$ ， $S_1(01)$ ， $S_2(10)$ ， $S_3(11)$ 。

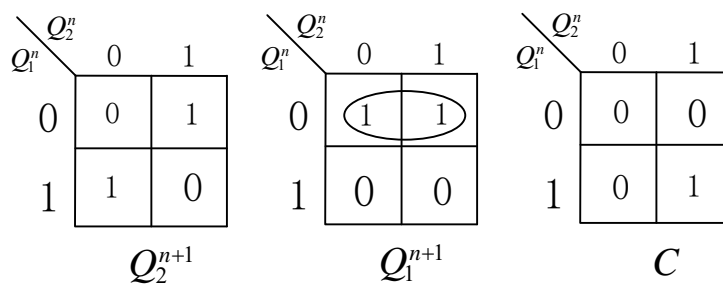
(1) 加法器

状态转移表如表所列。

习题 6-19 加法器状态转移

| 现态      |         | 次态          |             | 输出 |
|---------|---------|-------------|-------------|----|
| $Q_2^n$ | $Q_1^n$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ | C  |
| 0       | 0       | 0           | 1           | 0  |
| 0       | 1       | 1           | 0           | 0  |
| 1       | 0       | 1           | 1           | 0  |
| 1       | 1       | 0           | 0           | 1  |

化简卡诺图为：



$$Q_2^{n+1} = \bar{Q}_1^n Q_2^n + Q_1^n \bar{Q}_2^n$$

$$Q_1^{n+1} = \bar{Q}_1^n$$

$$C = Q_2^n Q_1^n$$

(2) 求驱动方程

$$\text{由 } Q_2^{n+1} = \bar{Q}_1^n Q_2^n + Q_1^n \bar{Q}_2^n, \text{ 得 } J_2 = K_2 = Q_1^n$$

$$Q_1^{n+1} = \bar{Q}_1^n, \text{ 得 } J_1 = K_1 = 1$$

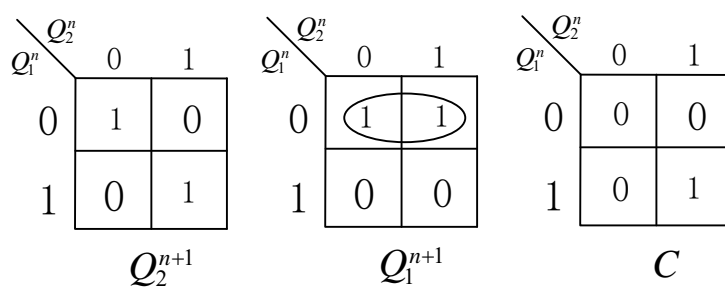
(3) 减法器

状态转移表如表所列。

习题 6-19 减法器状态转移表

| 现态      |         | 次态          |             | 输出 |
|---------|---------|-------------|-------------|----|
| $Q_2^n$ | $Q_1^n$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ | C  |
| 0       | 0       | 1           | 1           | 0  |
| 0       | 1       | 0           | 0           | 0  |
| 1       | 0       | 0           | 1           | 0  |
| 1       | 1       | 1           | 0           | 1  |

卡诺图：



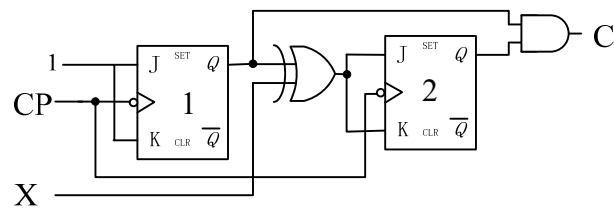
(4) 求驱动方程

$$Q_2^{n+1} = \bar{Q}_1^n \bar{Q}_2^n + Q_1^n Q_2^n, \text{ 得 } J_1 = K_1 = 1, J_2 = K_2 = \bar{Q}_1^n$$

$$Q_1^{n+1} = \bar{Q}_1^n$$

(5) 发现 C 仅与现态有关，加法与减法器仅  $J_2$ 、 $K_2$  不同。采用异或门控制电路， $X=0$  时，

$$X \oplus Q^n = Q^n; X=1 \text{ 时, } X \oplus Q^n = \bar{Q}^n。$$



习题 6-19 逻辑电路

6-20 对题 6-20 表状态进行简化，并设计其时序电路。

题 6-20 表

| S(t) | N(t)  |       | Z(t)  |       |
|------|-------|-------|-------|-------|
|      | X = 0 | X = 1 | X = 0 | X = 1 |
| A    | B     | H     | 0     | 0     |
| B    | E     | C     | 0     | 1     |
| C    | D     | F     | 0     | 0     |
| D    | G     | A     | 0     | 1     |
| E    | A     | H     | 0     | 0     |
| F    | E     | B     | 1     | 1     |
| G    | C     | F     | 0     | 0     |
| H    | G     | D     | 1     | 1     |

解 由题 6-20 表可知，由于状态 A 的输出在  $X=0$  和  $X=1$  时均为 0，因此，状态 A 与状态 B、D、F、H 不等价。从而 A-B、A-D、A-F、A-H 格中打 X。同样可以看出状态 B 与状态 A、C、E、F、G、H 不等价。从而 B-C、B-E、B-F、B-G、B-H 格中打 X。若两个状态输出相同，下一状态也相同。如果输出相同，转移效果相同，那么这两个状态也等价。则在隐含表相应的格中填入√。两个状态的转移效果相同包括 1：对应下一状态相同。2：下一状态就是两个状态本身。3：下一状态将被证明是彼此等价的。4：次态交错等价，如 B,D 两个状态，B 的次态是 D，D 的次态是 B。5:次态循环也算次态等价，例如，原状态对 (A,B) 的输出相同，对应的次态为 (C,D)。在相同输出条件下，(C,D)的次态为 (A,B)。称为次态

循环，即原状态 (A,B) 是等价的。若两个状态输出相同，次态不相同，则将这些次态对填入相应的方格中。例如，F-H 方格中填入相应的两对次态对  $\begin{bmatrix} EG \\ BD \end{bmatrix}$ ，表示 E、G 和 B、D 两对状态是状态 F 和 H 等价的隐含条件。

|   |                 |                 |                 |   |                 |                 |   |
|---|-----------------|-----------------|-----------------|---|-----------------|-----------------|---|
| B | X               |                 |                 |   |                 |                 |   |
| C | $\frac{BD}{HF}$ | X               |                 |   |                 |                 |   |
| D | X               | $\frac{EG}{CA}$ | X               |   |                 |                 |   |
| E | $\frac{BA}{HH}$ | X               | $\frac{DA}{FH}$ | X |                 |                 |   |
| F | X               | X               | X               | X | X               |                 |   |
| G | $\frac{BC}{HF}$ | X               | $\frac{DC}{FF}$ | X | $\frac{AC}{HF}$ | X               |   |
| H | X               | X               | X               | X | X               | $\frac{EG}{BD}$ | X |
|   | A               | B               | C               | D | E               | F               | G |

习题 6-20 隐含表 (a)

|   |                 |                 |   |   |                 |                 |   |
|---|-----------------|-----------------|---|---|-----------------|-----------------|---|
| B | X               |                 |   |   |                 |                 |   |
| C | $\frac{BD}{HF}$ | X               |   |   |                 |                 |   |
| D | X               | $\frac{EG}{CA}$ | X |   |                 |                 |   |
| E | X               | X               | X | X |                 |                 |   |
| F | X               | X               | X | X | X               |                 |   |
| G | X               | X               | X | X | $\frac{AC}{HF}$ | X               |   |
| H | X               | X               | X | X | X               | $\frac{EG}{BD}$ | X |
|   | A               | B               | C | D | E               | F               | G |

习题 6-20 隐含表 (b)

(AC)、(BD)、(EG)、(HF) 为等价状态对，令 (AC) 为 a，(BD) 为 b，(EG) 为 c，(HF) 为 d，可得简化状态表，如表所示。



习题 6-20 简化状态表

| S(t) | N(t) |     | Z(t) |     |
|------|------|-----|------|-----|
|      | x=0  | x=1 | x=0  | x=1 |
| a    | b    | d   | 0    | 0   |
| b    | c    | a   | 0    | 1   |
| c    | a    | d   | 0    | 0   |
| d    | c    | b   | 1    | 1   |

状态分配，四个状态需要 2 个触发器，令 a=00, b=01, c=10, d=11，得状态转移表如表所列。

| S(t)    |         | N(t)           |                | Z(t) |     |
|---------|---------|----------------|----------------|------|-----|
| $Q_2^n$ | $Q_1^n$ | $Q_2^n$<br>x=0 | $Q_1^n$<br>x=1 | x=0  | x=1 |
| 0       | 0       | 0              | 0              | 1    | 1   |
| 0       | 1       | 1              | 0              | 0    | 0   |
| 1       | 0       | 0              | 0              | 1    | 1   |
| 1       | 1       | 1              | 0              | 0    | 1   |

习题 6-20 编码后状态转移表

化简可得状态方程和输出方程为

$$Q_2^{n+1} = Q_1^n \bar{X} + \bar{Q}_1^n X = \overline{X Q_1^n} \cdot \overline{X Q_1^n}$$

$$Q_1^{n+1} = Q_2^n X + \bar{Q}_1^n X = X \cdot \overline{Q_1^n Q_2^n}$$

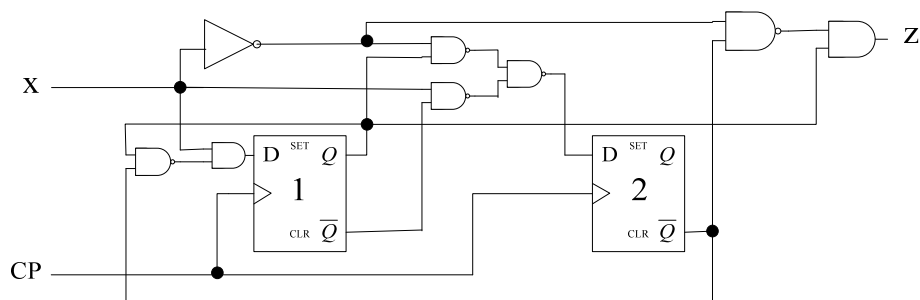
$$Z = Q_2^n Q_1^n + Q_1^n X = \overline{Q_1^n Q_2^n} \bar{X}$$

采用 D 触发器实现电路功能，可得驱动方程为：

$$D_2 = \overline{X Q_1^n} \cdot \overline{X Q_1^n}$$

$$D_1 = X \cdot \overline{Q_1^n Q_2^n}$$

所得逻辑电路图，如图所示



习题 6-20 逻辑电路

6-21 设计一个可变模计数器，当控制信号  $M=1$  时实现模 12 计数，当  $M=0$  时实现模 7 计数。

解 当  $M=1$  时的状态转移表如表所示。

习题 6-21  $M=1$  时状态转移表

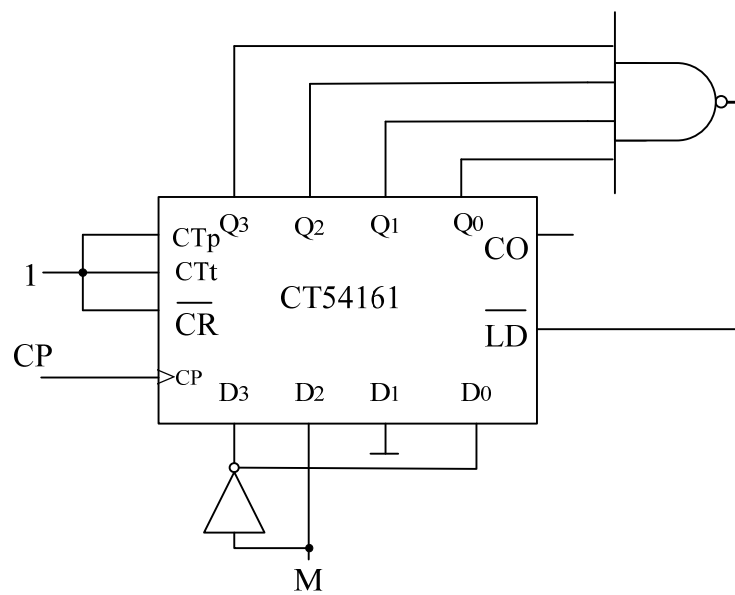
| 序号 | S(t)    |         |         |         | N(t)    |         |         |         |
|----|---------|---------|---------|---------|---------|---------|---------|---------|
|    | $Q_3^n$ | $Q_2^n$ | $Q_1^n$ | $Q_0^n$ | $Q_3^n$ | $Q_2^n$ | $Q_1^n$ | $Q_0^n$ |
| 0  | 0       | 1       | 0       | 0       | 0       | 1       | 0       | 1       |
| 1  | 0       | 1       | 0       | 1       | 0       | 1       | 1       | 0       |
| 2  | 0       | 1       | 1       | 0       | 0       | 1       | 1       | 1       |
| 3  | 0       | 1       | 1       | 1       | 1       | 0       | 0       | 0       |
| 4  | 1       | 0       | 0       | 0       | 1       | 0       | 0       | 1       |
| 5  | 1       | 0       | 0       | 1       | 1       | 0       | 1       | 0       |
| 6  | 1       | 0       | 1       | 0       | 1       | 0       | 1       | 1       |
| 7  | 1       | 0       | 1       | 1       | 1       | 1       | 0       | 0       |
| 8  | 1       | 1       | 0       | 0       | 1       | 1       | 0       | 1       |
| 9  | 1       | 1       | 0       | 1       | 1       | 1       | 1       | 0       |
| 10 | 1       | 1       | 1       | 0       | 1       | 1       | 1       | 1       |
| 11 | 1       | 1       | 1       | 1       | 0       | 1       | 0       | 0       |

当  $M=0$  时的状态转移表如表所示。

习题 6-21 M=0 时状态转移表

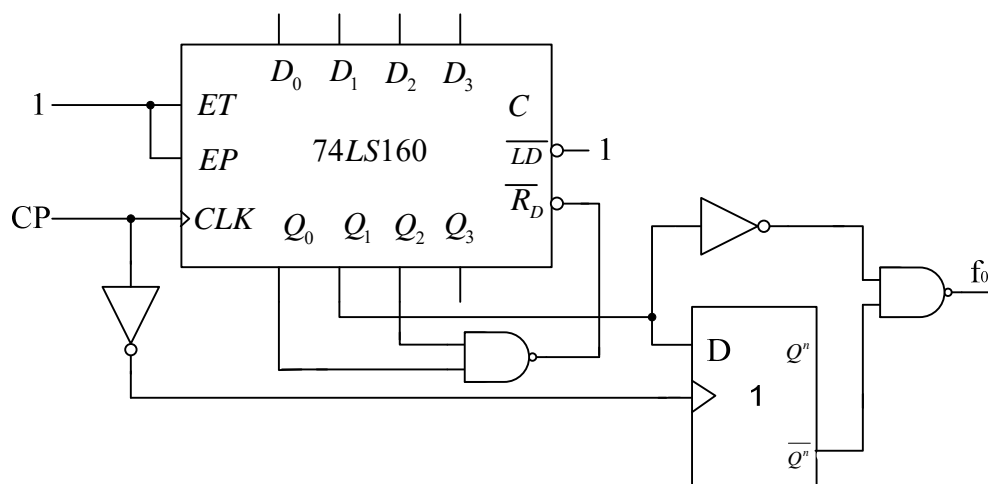
| 序号 | S(t)    |         |         |         | N(t)    |         |         |         |
|----|---------|---------|---------|---------|---------|---------|---------|---------|
|    | $Q_3^n$ | $Q_2^n$ | $Q_1^n$ | $Q_0^n$ | $Q_3^n$ | $Q_2^n$ | $Q_1^n$ | $Q_0^n$ |
| 0  | 1       | 0       | 0       | 1       | 1       | 0       | 1       | 0       |
| 1  | 1       | 0       | 1       | 0       | 1       | 0       | 1       | 1       |
| 2  | 1       | 0       | 1       | 1       | 1       | 1       | 0       | 0       |
| 3  | 1       | 1       | 0       | 0       | 1       | 1       | 0       | 1       |
| 4  | 1       | 1       | 0       | 1       | 1       | 1       | 1       | 0       |
| 5  | 1       | 1       | 1       | 0       | 1       | 1       | 1       | 1       |
| 6  | 1       | 1       | 1       | 1       | 1       | 0       | 0       | 1       |

由表可知：Q1 的置入值相同，而 Q3、Q2、Q0 的置入值相反，则可变模值计数器如下：



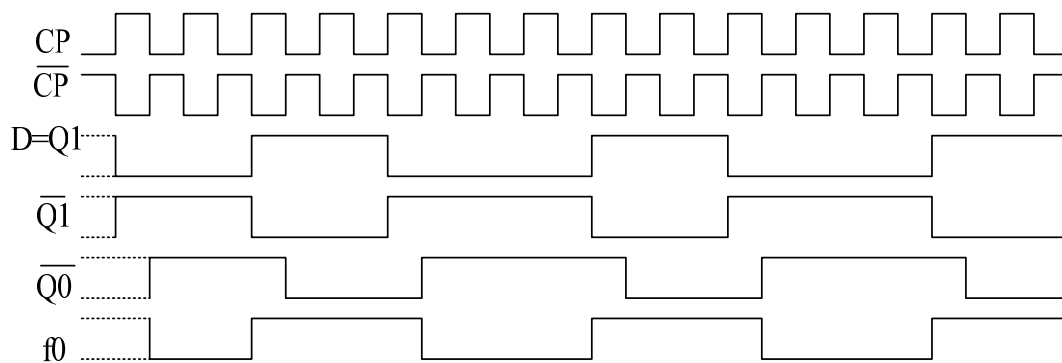
习题 6-21 逻辑电路

6-22 分析题 6-11 图所示电路，请画出在 CP 作用下  $f_0$  的输出波形，并说明  $f_0$  与时钟 CP 之间的关系。



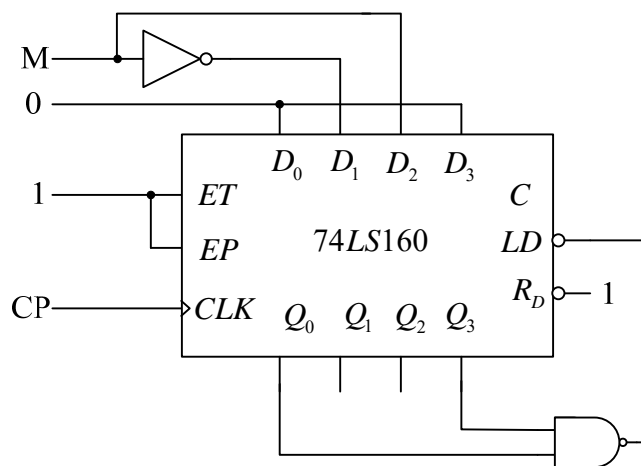
题 6-22 图

解：该电路中的 74LS160 的  $ET=EP=\overline{LD}=1$ ，因此电路处于计数状态，电路利用  $\overline{R_D}$  控制计数模值，电路初态为  $Q_3Q_2Q_1Q_0=0000$ ，其有效序列状态为  $0000 \rightarrow 0001 \rightarrow 0010 \rightarrow 0011 \rightarrow 0100$  为模 5 计数器，其中 0101 为过渡状态，且  $f_0=\overline{Q_1}\overline{Q_0}$  可画出  $f_0$  与 CP 间的波形图如 6-42 所示。



习题 6-22 波形图

6-23 分析题 6-23 图所示计数电路，说明计数器的功能，列出状态转移表。



题 6-23 图

解： 由题 6-23 图可知：  $D_3 = D_0 = 0$ ，  $D_1 = \overline{M}$ ，  $D_2 = M$ ，  $\overline{LD} = \overline{Q_3 Q_0}$ ，  $\overline{R_D} = 1$

当  $M=1$  时的状态转移表如表所示。

习题 6-22  $M=1$  时状态转移表

| 序号 | S(t) |    |    |    | N(t) |    |    |    |
|----|------|----|----|----|------|----|----|----|
|    | Q3   | Q2 | Q1 | Q0 | Q3   | Q2 | Q1 | Q0 |
| 0  | 0    | 1  | 0  | 0  | 0    | 1  | 0  | 1  |
| 1  | 0    | 1  | 0  | 1  | 0    | 1  | 1  | 0  |
| 2  | 0    | 1  | 1  | 0  | 0    | 1  | 1  | 1  |
| 3  | 0    | 1  | 1  | 1  | 1    | 0  | 0  | 0  |
| 4  | 1    | 0  | 0  | 0  | 1    | 0  | 0  | 1  |
| 5  | 1    | 0  | 0  | 1  | 0    | 1  | 0  | 0  |

实现模 6 计数

当  $M=0$  时的状态转移表如表 6-26 所示。

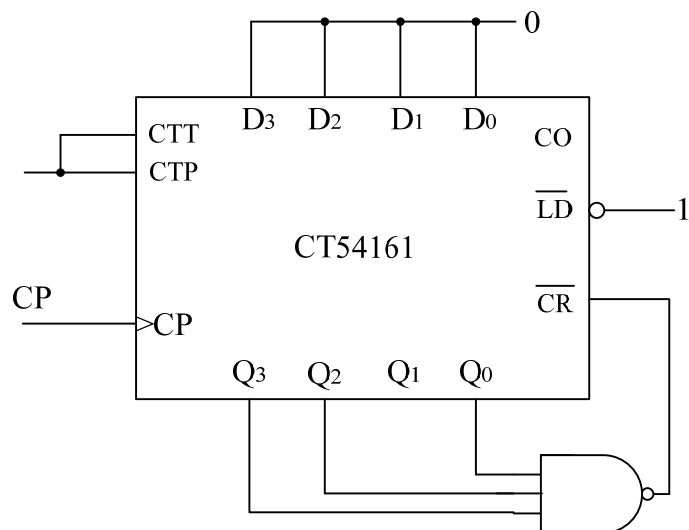
习题 6-22 M=0 时状态转移表

| 序号 | S(t) |    |    |    | N(t) |    |    |    |
|----|------|----|----|----|------|----|----|----|
|    | Q3   | Q2 | Q1 | Q0 | Q3   | Q2 | Q1 | Q0 |
| 0  | 0    | 0  | 1  | 0  | 0    | 0  | 1  | 1  |
| 1  | 0    | 0  | 1  | 1  | 0    | 1  | 0  | 0  |
| 2  | 0    | 1  | 0  | 0  | 0    | 1  | 0  | 1  |
| 3  | 0    | 1  | 0  | 1  | 0    | 1  | 1  | 0  |
| 4  | 0    | 1  | 1  | 0  | 0    | 1  | 1  | 1  |
| 5  | 0    | 1  | 1  | 1  | 1    | 0  | 0  | 0  |
| 6  | 1    | 0  | 0  | 0  | 1    | 0  | 0  | 1  |
| 7  | 1    | 0  | 0  | 1  | 0    | 0  | 1  | 0  |

实现模 8 计数

6-24 试用中规模集成 16 进制同步计数器 CT54161，接成一个模 13 的计数器，可附加必要的门电路。

解：用同步清 0 设置，从状态 0000—>1101 即可，电路图如图所示。

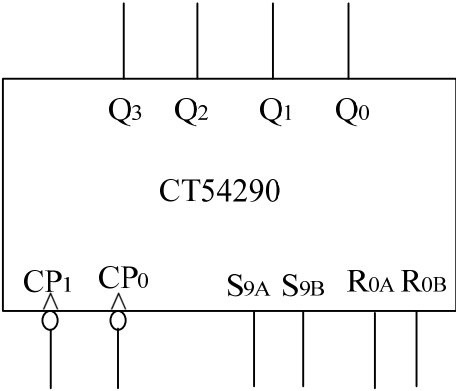


习题 6-24 逻辑电路图

6-25 设计一个字长为 5 位（包括奇偶校验位）的串行奇偶校验电路，要求每当收到 5 位码是奇数个 1 时，就在最后一个校验位时刻输出 1。

解： 要实现 5 位串行奇偶校验，可以采用一个模 5 计数器和一个二进制计数器（或一个触发器），即令初态  $Q=0$ ，在 CP 作用下二进制计数器每来一个“1”状态翻转一次，而来“0”保持不变。若在 5 个 CP 时钟后  $Z=0$ ，则 5 位码是偶数个 1，反之  $Z=1$ ，则说明 5 位码是奇数个 1。

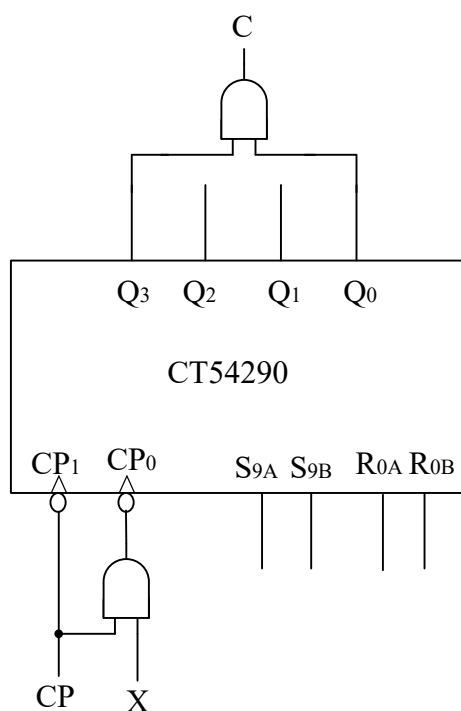
选择异步 2-5-10 进制计数器 CT54290 实现该电路。



习题 6-25 逻辑图

| 输    入                          |                                 |                 |                 | 输    出 |  | 功能             |             |
|---------------------------------|---------------------------------|-----------------|-----------------|--------|--|----------------|-------------|
| R <sub>0A</sub> R <sub>0B</sub> | S <sub>0A</sub> S <sub>0B</sub> | CP              |                 | 序号     | Q <sub>3</sub> Q <sub>2</sub> Q <sub>1</sub> | Q <sub>0</sub> |             |
|                                 |                                 | CP <sub>0</sub> | CP <sub>1</sub> |        |  |                |             |
| 1                               | 0                               | ×               | ×               |        | 0  0  0                                      | 0              | 异步置零        |
| ×                               | 1                               | ×               | ×               |        | 1  0  0                                      | 1              | 异步置九        |
| 0                               | 0                               |                 |                 | 0      | 0  0  0                                      | 0              | 2-5进制<br>计数 |
|                                 |                                 |                 |                 | 1      | 0  0  1                                      | 1              |             |
|                                 |                                 |                 |                 | 2      | 0  1  0                                      | 0              |             |
|                                 |                                 |                 |                 | 3      | 0  1  1                                      |                |             |
|                                 |                                 |                 |                 | 4      | 1  0  0                                      |                |             |
|                                 |                                 |                 |                 | 5      | 0  0  0                                      |                |             |

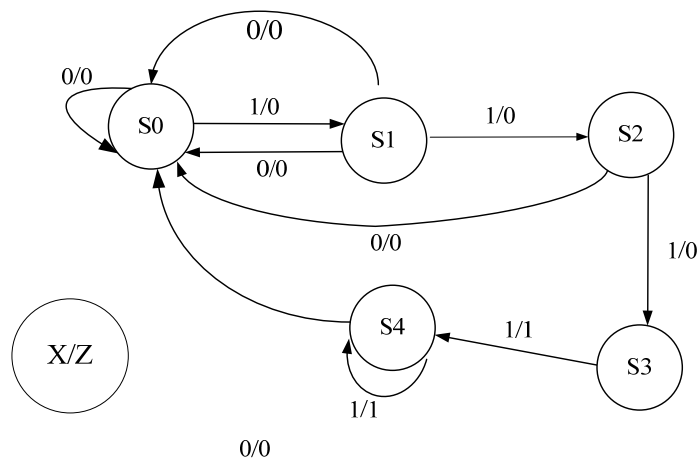
习题 6-25 功能表



习题 6-25 逻辑电路图

6-26 设计一个串行数据检测电路，当连续出现 4 个或 4 个以上的 1 时，检测输出信号为 1，其它情况输出信号为 0。

解： 设  $S_0$  为初态， $S_1$  为收到 1 个“1”后的状态， $S_2$  为收到 2 个“1”后的状态， $S_3$  为收到 3 个“1”后的状态， $S_4$  为收到 4 个“1”后的状态，原始状态图如图所示。



习题 6-25 原始状态转移图

原始状态表如表所示。

习题 6-25 状态转移表

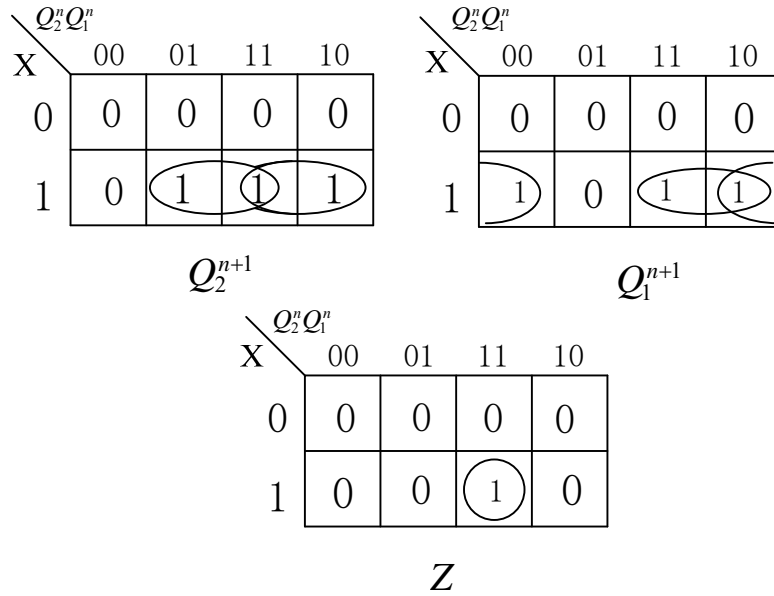


| S (t) | N (t) |     | Z (t) |     |
|-------|-------|-----|-------|-----|
|       | X=0   | X=1 | X=0   | X=1 |
| S0    | S0    | S1  | 0     | 0   |
| S1    | S0    | S2  | 0     | 0   |
| S2    | S0    | S3  | 0     | 0   |
| S3    | S0    | S4  | 0     | 1   |
| S4    | S0    | S4  | 0     | 1   |

从表 6-27 可以看出 S3, S4 为等价状态, 消去 S4 并且合并为 S3, 令 S0=00, S0=01, S2=10, S3=11, 化简后的状态转移表如表所列。

习题 6-26 简化后状态转移表

| $Q_2^n$ | $Q_1^n$ | X | $Q_2^{n+1}$ | $Q_1^{n+1}$ | Z |
|---------|---------|---|-------------|-------------|---|
| 0       | 0       | 0 | 0           | 0           | 0 |
| 0       | 0       | 1 | 0           | 1           | 0 |
| 0       | 1       | 0 | 0           | 0           | 0 |
| 0       | 1       | 1 | 1           | 0           | 0 |
| 1       | 0       | 0 | 0           | 0           | 0 |
| 1       | 0       | 1 | 1           | 1           | 0 |
| 1       | 1       | 0 | 0           | 0           | 0 |
| 1       | 1       | 1 | 1           | 1           | 1 |



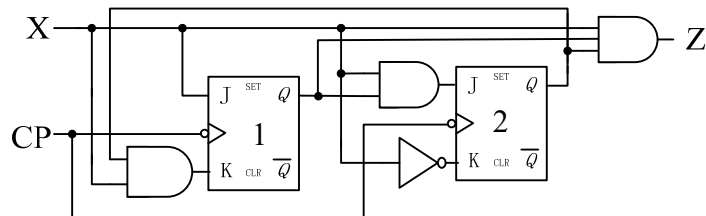
习题 6-26 化简卡诺图

利用卡诺图化简得： $Q_2^{n+1} = Q_1^n X + Q_2^n X = X Q_1^n \overline{Q_2^n} + X Q_2^n$

$$Q_1^{n+1} = \overline{Q_1^n} X + Q_2^n X = X \overline{Q_1^n} + X Q_2^n Q_1^n$$

$$Z = Q_2^n Q_1^n X$$

$$J_1 = X, K_1 = \overline{X Q_2^n}, J_2 = X Q_1^n, K_2 = \overline{X}$$



习题 6-26 逻辑电路图

6-27 试设计一同步计数器，列出其状态转移表并画出状态转移图和电路逻辑图。计数器具有如下功能：

- (1) 计数具有两个控制端  $X_1$  和  $X_2$ ， $X_1$  用于控制计数器的模值， $X_2$  用于控制计数器的增减。
- (2) 若  $X_1 = 0$ ，则计数器进行七进制计数。 $X_1 = 1$  时，则进行八进制计数。
- (3) 若  $X_2 = 0$ ，则进行递增计数；若  $X_2 = 1$ ，则进行递减计数。

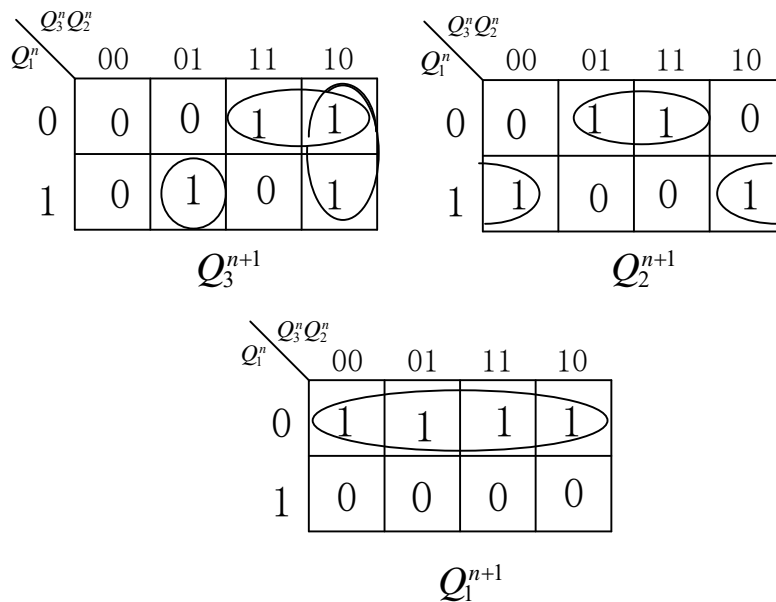
(4) 设置一个进位(借位)输出端。

解 递增 8 位计数器的状态转移表如表所列。

习题 6-27 状态转移表

| CP | Q3 | Q2 | Q1 |
|----|----|----|----|
| 0  | 0  | 0  | 0  |
| 1  | 0  | 0  | 1  |
| 2  | 0  | 1  | 0  |
| 3  | 0  | 1  | 1  |
| 4  | 1  | 0  | 0  |
| 5  | 1  | 0  | 1  |
| 6  | 1  | 1  | 0  |
| 7  | 1  | 1  | 1  |

用卡诺图化简



习题 6-27 化简卡诺图

$$Q_3^{n+1} = \overline{Q_3^n} Q_2^n Q_1^n + Q_3^n \overline{Q_2^n} + Q_3^n \overline{Q_1^n}$$

$$Q_2^{n+1} = \overline{Q_2^n} Q_1^n + Q_2^n \overline{Q_1^n}$$

$$Q_1^{n+1} = \overline{Q_1^n}$$

用 JK 触发器设计则：J1=K1=1

$$J_2=K_2=Q_1^n$$

$$J_3=K_3=Q_1^n Q_2^n$$

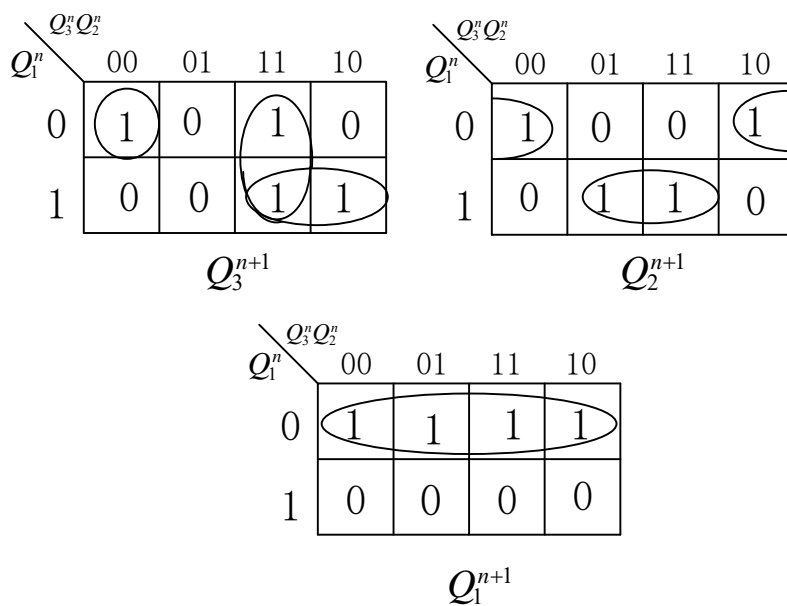
$$\text{输出 } Y = Q_3^n Q_2^n Q_1^n$$

递减 8 位计数器的状态转移表如表所列。

习题 6-28 状态转移表

| CP | Q3 | Q2 | Q1 |
|----|----|----|----|
| 0  | 1  | 1  | 1  |
| 1  | 1  | 1  | 0  |
| 2  | 1  | 0  | 1  |
| 3  | 1  | 0  | 0  |
| 4  | 0  | 1  | 1  |
| 5  | 0  | 1  | 0  |
| 6  | 0  | 0  | 1  |
| 7  | 0  | 0  | 0  |

用卡诺图化简：



$$Q_3^{n+1} = \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} + Q_3^n (Q_2^n + Q_1^n)$$

$$Q_2^{n+1} = \overline{Q_2^n} \overline{Q_1^n} + Q_2^n Q_1^n$$

$$Q_1^{n+1} = \overline{Q_1^n}$$

用 JK 触发器设计则：J<sub>1</sub>=K<sub>1</sub>=1

$$J_2=K_2=\overline{Q_1^n}$$

$$J_3=K_3=\overline{Q_2^n} \overline{Q_1^n}$$

$$\text{输出 } Y = \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n}$$

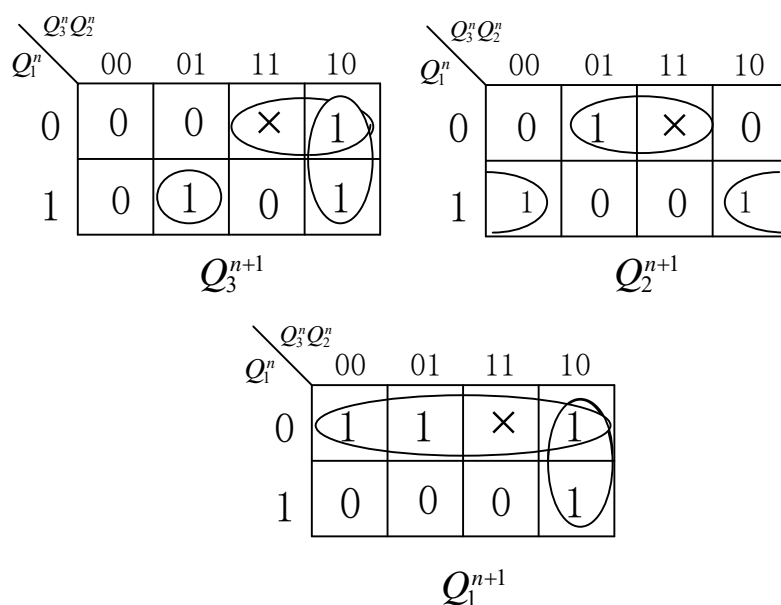
同理，递增 7 位计数器的状态转移表如所列：

递增 7 位计数器状态转移表

| CP | Q3 | Q2 | Q1 |
|----|----|----|----|
| 0  | 0  | 0  | 0  |
| 1  | 0  | 0  | 1  |
| 2  | 0  | 1  | 0  |
| 3  | 0  | 1  | 1  |
| 4  | 1  | 0  | 0  |

|   |   |   |   |
|---|---|---|---|
| 5 | 1 | 0 | 1 |
| 6 | 1 | 1 | 1 |

用卡诺图化简：



$$Q_3^{n+1} = Q_3^n \bar{Q}_2^n + \bar{Q}_3^n Q_2^n Q_1^n + Q_3^n \bar{Q}_1^n$$

$$Q_2^{n+1} = \bar{Q}_2^n Q_1^n + Q_2^n \bar{Q}_1^n$$

$$Q_1^{n+1} = \bar{Q}_1^n + Q_3^n \bar{Q}_2^n = \bar{Q}_1^n + Q_3^n \bar{Q}_2^n Q_1^n$$

用 JK 触发器设计则：  $J_1=1$ ，  $K_1= \bar{Q}_3^n + Q_2^n$

$$J_2=K_2= Q_1^n$$

$$J_3=K_3= Q_1^n Q_2^n ,$$

输出  $Y=Q_1^n Q_2^n Q_3^n$

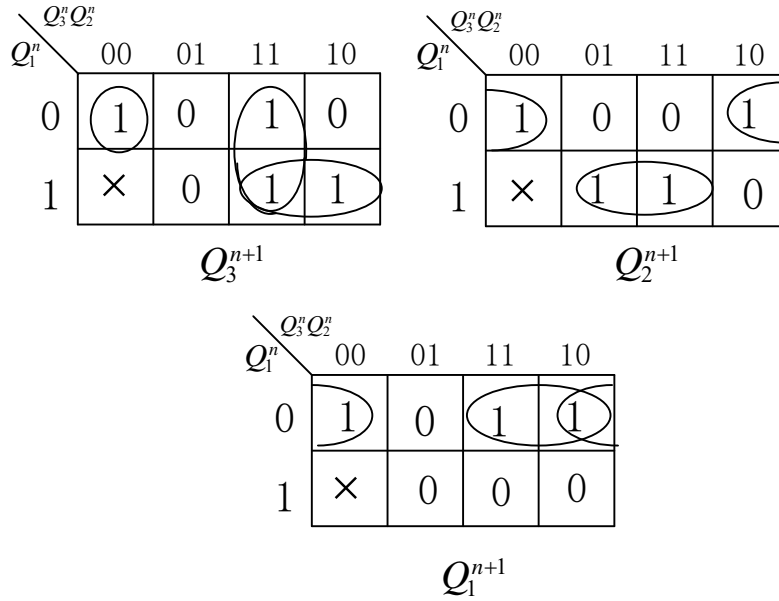
递减 7 位计数器的状态转移表如表所列：

递减 7 位计数器状态转移表

| CP | Q3 | Q2 | Q1 |
|----|----|----|----|
| 0  | 1  | 1  | 1  |
| 1  | 1  | 1  | 0  |

|   |   |   |   |
|---|---|---|---|
| 2 | 1 | 0 | 1 |
| 3 | 1 | 0 | 0 |
| 4 | 0 | 1 | 1 |
| 5 | 0 | 1 | 0 |
| 6 | 0 | 0 | 0 |

用卡诺图化简：



$$Q_3^{n+1} = \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} + Q_3^n (Q_2^n + Q_1^n)$$

$$Q_2^{n+1} = \overline{Q_2^n} \overline{Q_1^n} + Q_2^n Q_1^n$$

$$Q_1^{n+1} = \overline{Q_2^n} \overline{Q_1^n} + Q_3^n \overline{Q_1^n}$$

用 JK 触发器设计则：  $J_1 = \overline{Q_2^n} + Q_3^n$ ，  $K_1 = 1$

$$J_2 = K_2 = \overline{Q_1^n}$$

$$J_3 = K_3 = \overline{Q_2^n} \overline{Q_1^n}$$

输出  $Y = \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n}$

总结上述四种可得：

| X2 | X1 | J1 | K1                         | J2      | K2      | J3            | K3            | C                   |
|----|----|----|----------------------------|---------|---------|---------------|---------------|---------------------|
| 0  | 0  | 1  | $\overline{Q_3^n} + Q_2^n$ | $Q_1^n$ | $Q_1^n$ | $Q_1^n Q_2^n$ | $Q_1^n Q_2^n$ | $Q_1^n Q_2^n Q_3^n$ |

|   |   |                            |   |                    |                    |                                     |                                     |  |
|---|---|----------------------------|---|--------------------|--------------------|-------------------------------------|-------------------------------------|--|
| 0 | 1 | 1                          | 1 | $Q_1^n$            | $Q_1^n$            | $Q_1^n Q_2^n$                       | $Q_1^n Q_2^n$                       | $Q_1^n Q_2^n Q_3^n$                                  |
| 1 | 0 | $\overline{Q_2^n} + Q_3^n$ | 1 | $\overline{Q_1^n}$ | $\overline{Q_1^n}$ | $\overline{Q_1^n} \overline{Q_2^n}$ | $\overline{Q_1^n} \overline{Q_2^n}$ | $\overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n}$ |
| 1 | 1 | 1                          | 1 | $\overline{Q_1^n}$ | $\overline{Q_1^n}$ | $\overline{Q_1^n} \overline{Q_2^n}$ | $\overline{Q_1^n} \overline{Q_2^n}$ | $\overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n}$ |

于是得：  $J_1 = \overline{X_2} X_1 + X_2 X_1 + \overline{X_2} \overline{X_1} + X_2 \overline{X_1} (\overline{Q_2^n} + Q_3^n) = \overline{X_1} \overline{X_2} + \overline{Q_2^n} \overline{Q_3^n} = \overline{X_1 X_2 \cdot Q_2^n Q_3^n}$

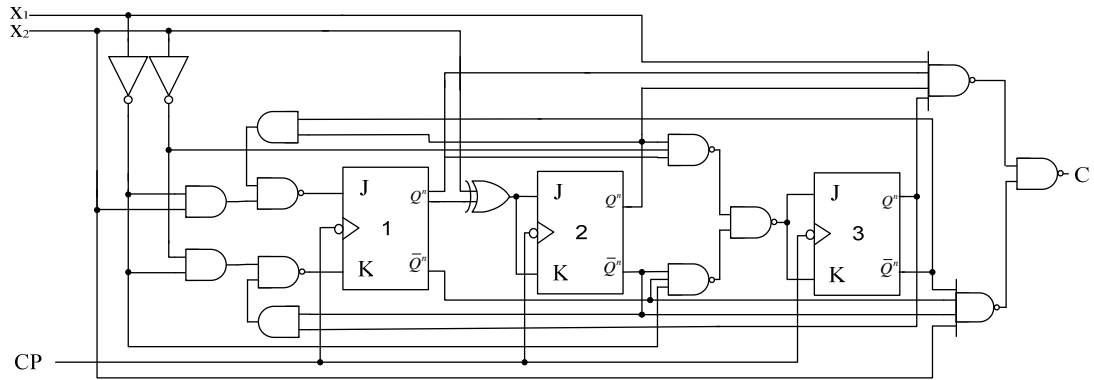
$$K_1 = \overline{X_1} \overline{X_2} + \overline{Q_2^n} \overline{Q_3^n} = \overline{X_1 X_2 \cdot Q_2^n Q_3^n}$$

$$J_2 = K_2 = X_2 \oplus Q_1^n$$

$$J_3 = K_3 = \overline{X_2} Q_1^n Q_2^n + X_2 \overline{Q_1^n} \overline{Q_2^n} = \overline{X_2 Q_1^n Q_2^n \cdot X_2 \overline{Q_1^n} \overline{Q_2^n}}$$

$$C = Q_1^n Q_2^n Q_3^n \overline{X_2} + \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} X_2 = \overline{Q_1^n Q_2^n Q_3^n \overline{X_2} \cdot \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} X_2}$$

逻辑电路图如图所示。



例 6-27 逻辑电路图

解 2 根据题意，可以列出状态转移表如表所列。



7 位计数器状态转移表

| X1=1  |         |         |         |             |             |             |   | X1=0  |         |         |         |             |             |             |   |
|-------|---------|---------|---------|-------------|-------------|-------------|---|-------|---------|---------|---------|-------------|-------------|-------------|---|
| $X_2$ | $Q_3^n$ | $Q_2^n$ | $Q_1^n$ | $Q_3^{n+1}$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ | C | $X_2$ | $Q_3^n$ | $Q_2^n$ | $Q_1^n$ | $Q_3^{n+1}$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ | C |
| 0     | 0       | 0       | 0       | 0           | 0           | 1           | 0 | 0     | 0       | 0       | 0       | 0           | 0           | 1           | 0 |
| 0     | 0       | 0       | 1       | 0           | 1           | 0           | 0 | 0     | 0       | 0       | 1       | 0           | 1           | 0           | 0 |
| 0     | 0       | 1       | 0       | 0           | 1           | 1           | 0 | 0     | 0       | 0       | 1       | 0           | 1           | 1           | 0 |
| 0     | 0       | 1       | 1       | 1           | 0           | 0           | 0 | 0     | 0       | 0       | 1       | 1           | 0           | 0           | 0 |
| 0     | 1       | 0       | 0       | 1           | 0           | 1           | 0 | 0     | 0       | 1       | 0       | 0           | 1           | 0           | 0 |
| 0     | 1       | 0       | 1       | 1           | 1           | 0           | 0 | 0     | 0       | 1       | 0       | 1           | 1           | 0           | 0 |
| 0     | 1       | 1       | 0       | 1           | 1           | 1           | 0 | 0     | 0       | 1       | 1       | 0           | 0           | 0           | 1 |
| 0     | 1       | 1       | 1       | 0           | 0           | 0           | 1 | 0     | 0       | 1       | 1       | 1           | ×           | ×           | × |
| 1     | 1       | 1       | 1       | 1           | 1           | 0           | 0 | 1     | 1       | 1       | 1       | 1           | 1           | 0           | 0 |
| 1     | 1       | 1       | 0       | 1           | 0           | 1           | 0 | 1     | 1       | 1       | 0       | 1           | 0           | 1           | 0 |
| 1     | 1       | 0       | 1       | 1           | 0           | 0           | 0 | 1     | 1       | 0       | 1       | 1           | 0           | 0           | 0 |
| 1     | 1       | 0       | 0       | 0           | 1           | 1           | 0 | 1     | 1       | 0       | 0       | 0           | 1           | 1           | 0 |
| 1     | 0       | 1       | 1       | 0           | 1           | 0           | 0 | 1     | 0       | 1       | 1       | 0           | 1           | 0           | 0 |
| 1     | 0       | 1       | 0       | 0           | 0           | 1           | 0 | 1     | 0       | 1       | 0       | 0           | 0           | 1           | 0 |
| 1     | 0       | 0       | 1       | 0           | 0           | 0           | 0 | 1     | 0       | 0       | 1       | 1           | 1           | 1           | 1 |
| 1     | 0       | 0       | 0       | 1           | 1           | 1           | 1 | 1     | 0       | 0       | 0       | ×           | ×           | ×           | × |

化简  $Q_3^{n+1}$ ， $Q_2^{n+1}$ ， $Q_1^{n+1}$  及输出 C 的卡诺图如图所示。

| $X_2 Q_3^n$   |    |    |    |    |    |
|---------------|----|----|----|----|----|
|               |    | 00 | 01 | 11 | 10 |
| $Q_2^n Q_1^n$ | 00 | 0  | 1  | 0  | 1  |
|               | 01 | 0  | 1  | 1  | 0  |
|               | 11 | 1  | 0  | 1  | 0  |
|               | 10 | 0  | 1  | 1  | 0  |

$Q_3^{n+1}$

| $Q_2^n Q_1^n \backslash X_2 Q_3^n$ |    |    |    |    |    |
|------------------------------------|----|----|----|----|----|
|                                    |    | 00 | 01 | 11 | 10 |
| $Q_2^{n+1}$                        | 00 | 0  | 0  | 1  | 1  |
|                                    | 01 | 1  | 1  | 0  | 0  |
|                                    | 11 | 0  | 0  | 1  | 1  |
|                                    | 10 | 1  | 1  | 0  | 0  |

| $X_2 Q_3^n$   |   |    |    |    |    |
|---------------|---|----|----|----|----|
| $Q_2^n Q_1^n$ |   | 00 | 01 | 11 | 10 |
| 00            | 1 | 1  | 1  | 1  |    |
| 01            | 0 | 0  | 0  | 0  |    |
| 11            | 0 | 0  | 0  | 0  |    |
| 10            | 1 | 1  | 1  | 1  |    |

$Q_1^{n+1}$

| $X_2 Q_3^n$   |    |    |    |    |    |
|---------------|----|----|----|----|----|
|               |    | 00 | 01 | 11 | 10 |
| $Q_2^n Q_1^n$ | 00 | 0  | 0  | 0  | 1  |
|               | 01 | 0  | 0  | 0  | 0  |
|               | 11 | 0  | 1  | 0  | 0  |
|               | 10 | 0  | 0  | 0  | 0  |

$C$

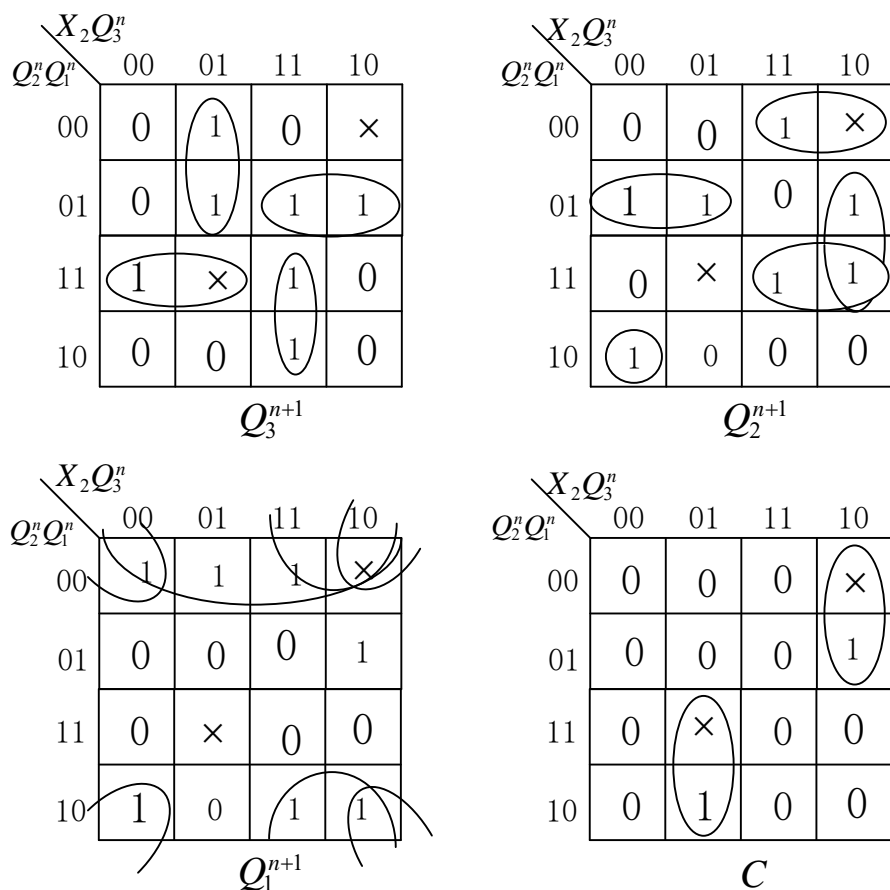
X1=1 时化简卡诺图

$$Q_3^{n+1} = (\overline{X_2} \overline{Q_3^n} \overline{Q_2^n} + X_2 Q_3^n Q_1^n + Q_3^n Q_2^n \overline{Q_1^n} + X_2 \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} + \overline{X_2} \overline{Q_3^n} Q_2^n Q_1^n) X_1$$

$$Q_2^{n+1} = (\overline{X_2} \overline{Q_2^n} Q_1^n + \overline{X_2} Q_2^n \overline{Q_1^n} + X_2 \overline{Q_2^n} \overline{Q_1^n} + X_2 Q_2^n Q_1^n) X_1$$

$$Q_1^{n+1} = \overline{Q_1^n} X_1$$

$$C = (\overline{X_2} Q_3^n Q_2^n Q_1^n + X_2 \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n}) X_1$$



X1=0 时化简卡诺图

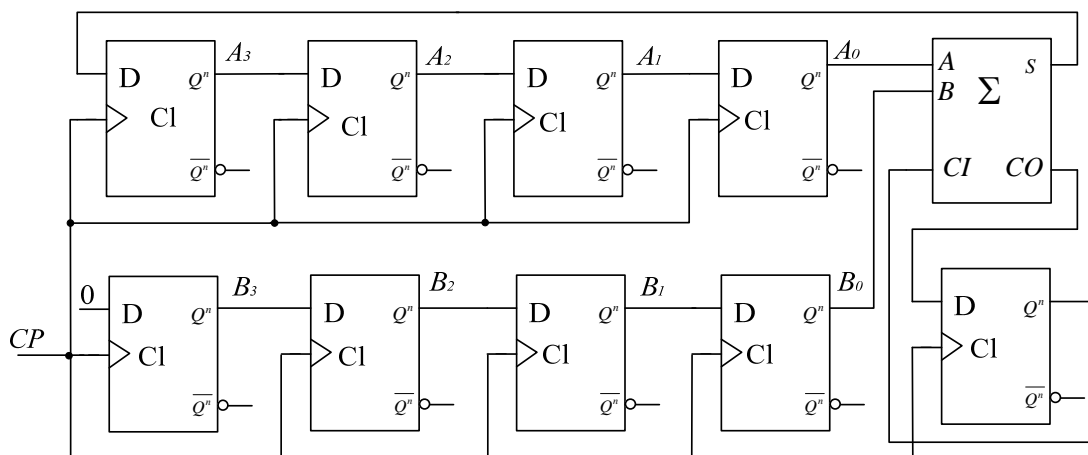
$$Q_3^{n+1} = (\overline{X_2} \overline{Q_3^n} \overline{Q_2^n} + X_2 \overline{Q_1^n} \overline{Q_2^n} + X_2 \overline{Q_3^n} Q_2^n + \overline{X_2} Q_2^n Q_1^n) \overline{X_1}$$

$$Q_2^{n+1} = (\overline{X_2} \overline{Q_2^n} Q_1^n + \overline{X_2} \overline{Q_3^n} Q_2^n \overline{Q_1^n} + X_2 \overline{Q_2^n} \overline{Q_1^n} + X_2 Q_2^n Q_1^n + X_2 \overline{Q_3^n} Q_1^n) \overline{X_1}$$

$$Q_1^{n+1} = (\overline{Q_2^n} \overline{Q_1^n} + X_2 \overline{Q_1^n} + \overline{Q_3^n} \overline{Q_1^n}) \overline{X_1}$$

$$C = (\overline{X_2} \overline{Q_3^n} Q_2^n + X_2 \overline{Q_3^n} \overline{Q_2^n}) \overline{X_1}$$

6-28 在题 6-28 图电路中, 若两个移位寄存器中的原始数数据分别为  $A_3 A_2 A_1 A_0 = 1001$ ,  $B_3 B_2 B_1 B_0 = 0011$ , 试问经过 4 个  $CP$  信号作用后, 两个寄存器中的数据如何变化, 这个电路完成什么功能。



题 6-28 图

解：第 0 个时钟上升沿到来时， $A=1$ ， $B=1$ ， $CI=0$ ， $S=0$ ， $CO=1$

第 1 个时钟上升沿到来时， $B_3B_2B_1B_0=0001$ ， $A_3A_2A_1A_0=0100$ ， $CI=1$ ， $S=0$ ， $CO=1$

第 2 个时钟上升沿到来时， $B_3B_2B_1B_0=0000$ ， $A_3A_2A_1A_0=0010$ ， $CI=1$ ， $S=1$ ， $CO=0$

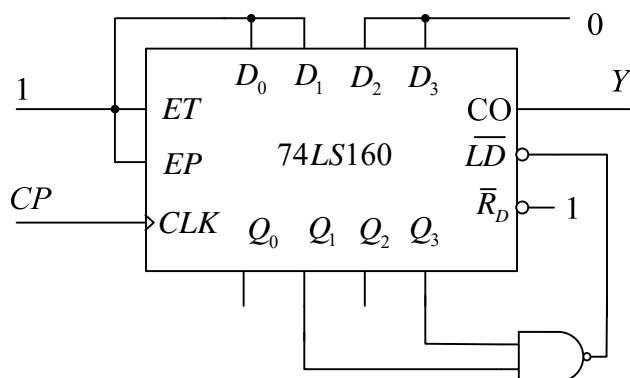
第 3 个时钟上升沿到来时， $B_3B_2B_1B_0=0000$ ， $A_3A_2A_1A_0=1001$ ， $CI=0$ ， $S=1$ ， $CO=0$

第 4 个时钟上升沿到来时， $B_3B_2B_1B_0=0000$ ， $A_3A_2A_1A_0=1100$ ， $CI=0$ ， $S=0$ ， $CO=0$

经过 4 个脉冲信号后，电路实现两数  $A_3A_2A_1A_0$  及  $B_3B_2B_1B_0$  相加功能，和数存储在

$A_3A_2A_1A_0$ ， $B_3B_2B_1B_0$  清零。

**6-29** 分析题 6-29 图的计数器电路，说明这是多少进制的计数器。



题 6-29 图

解 由于  $D_0=D_1=1$ ， $D_2=D_3=0$ ， $\overline{LD}=0$  置数， $\overline{LD}=\overline{Q_3Q_1}$ ，则计数器对应的状态转移表

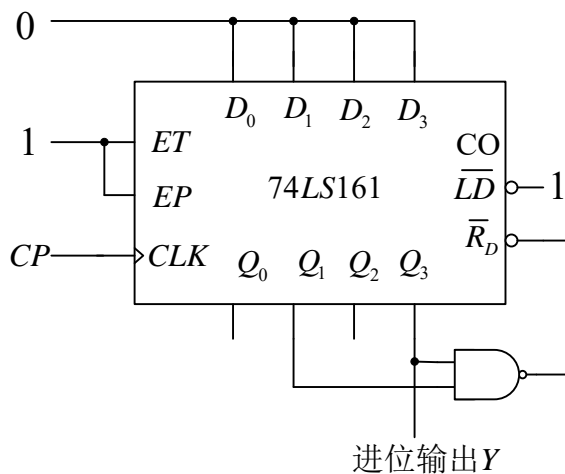
如表所列：

例 6-29 题状态转移表

| 序号 | S(t) |    |    |    | N(t) |    |    |    |
|----|------|----|----|----|------|----|----|----|
|    | Q3   | Q2 | Q1 | Q0 | Q3   | Q2 | Q1 | Q0 |
| 0  | 0    | 0  | 1  | 1  | 0    | 1  | 0  | 0  |
| 1  | 0    | 1  | 0  | 0  | 0    | 1  | 0  | 1  |
| 2  | 0    | 1  | 0  | 1  | 0    | 1  | 1  | 0  |
| 3  | 0    | 1  | 1  | 0  | 0    | 1  | 1  | 1  |
| 4  | 0    | 1  | 1  | 1  | 1    | 0  | 0  | 0  |
| 5  | 1    | 0  | 0  | 0  | 1    | 0  | 0  | 1  |
| 6  | 1    | 0  | 0  | 1  | 1    | 0  | 1  | 0  |
| 7  | 1    | 0  | 1  | 0  | 0    | 0  | 1  | 1  |

该计数器为 8 进制计数器。

**6-30** 分析题 6-30 图的计数器电路，画出电路的状态转移图，说明这是多少进制的计数器。



题 6-30 图

解 因为  $\overline{LD}=1$ ,  $\overline{RD}=\overline{Q_3Q_1}$ ,  $D_3D_2D_1D_0=0000$ ,  $Q_3Q_2Q_1Q_0=1010$  时  $\overline{RD}=0$ 。

状态转移图如图所示：

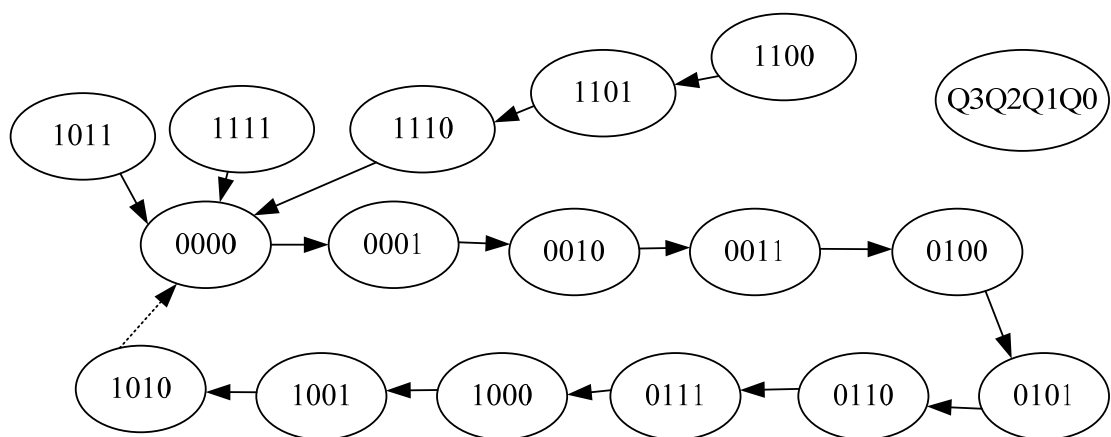
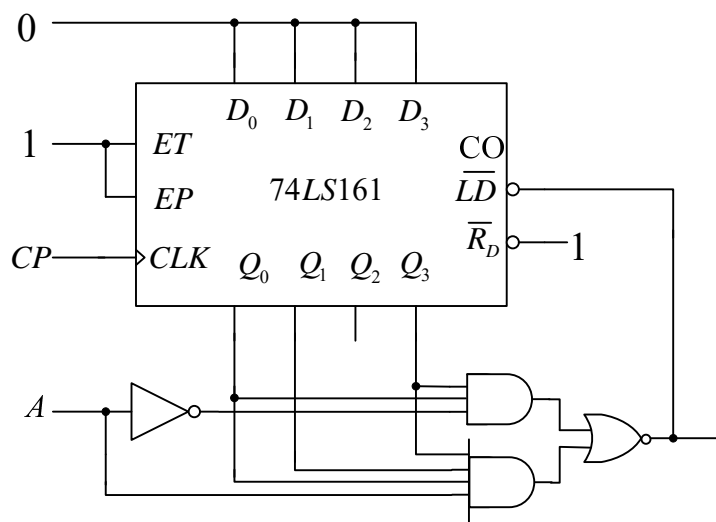


图 6-30 状态转移图

为具有自启动的模 10 计数器。

**6-31** 题 6-31 图电路是可变进制计数器。试分析当控制变量  $A$  为 1 和 0 时电路各为多少进制计数器。



题 6-31 图

解 74LS161 为异步清零，同步置数模 16 计数器。当  $A=0$  时，题 6-31 图三输入与门导通，四输入与门被封锁。此时  $\overline{LD} = \overline{Q_3^n \cdot Q_0^n}$ ，即  $Q_3, Q_0$  同时为 1 时，进行置数。即  $Q_3Q_2Q_1Q_0=1001$  时置数，则有 0000 至 1001 这 10 个状态。为 10 进制计数器

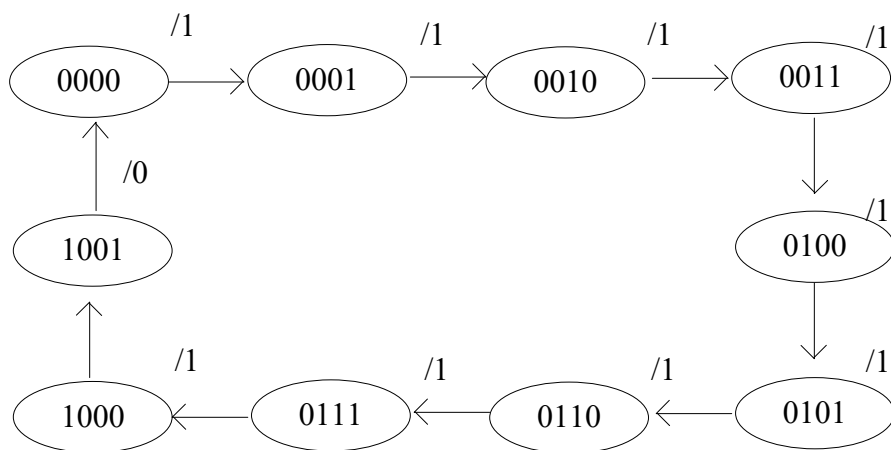
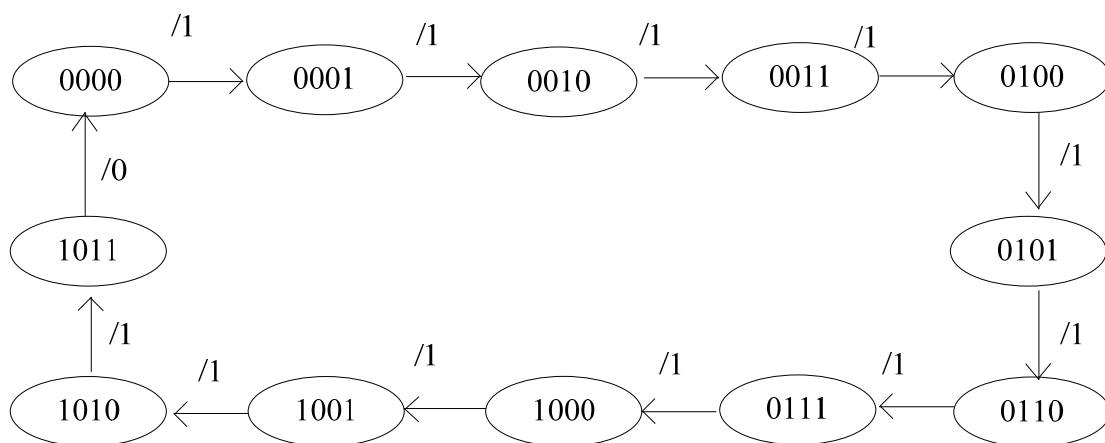


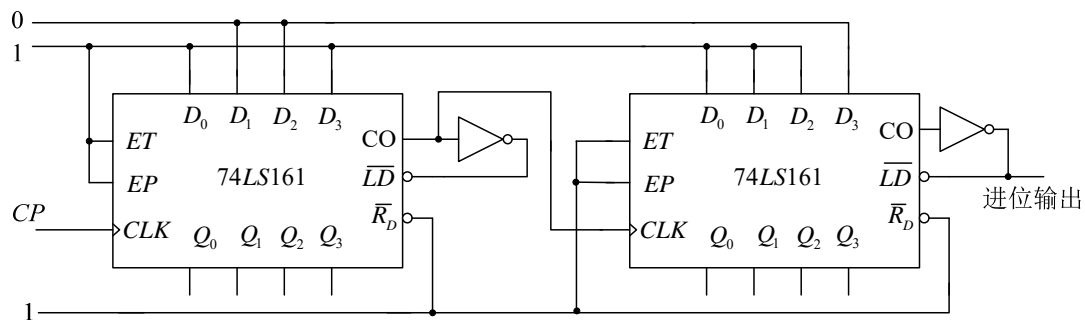
图 6-31 A=0 时状态转移图

当 A=1 时，三输入与门被封锁，四输入与门导通。此时  $\overline{LD} = \overline{Q_3^n} \cdot \overline{Q_1^n} \cdot \overline{Q_0^n}$ ，即  $Q_3, Q_1, Q_0$  同时为 1 时，进行置数。即  $Q_3Q_2Q_1Q_0=1011$  时置数，则有 0000 至 1011 这 12 个状态，为 12 进制计数器



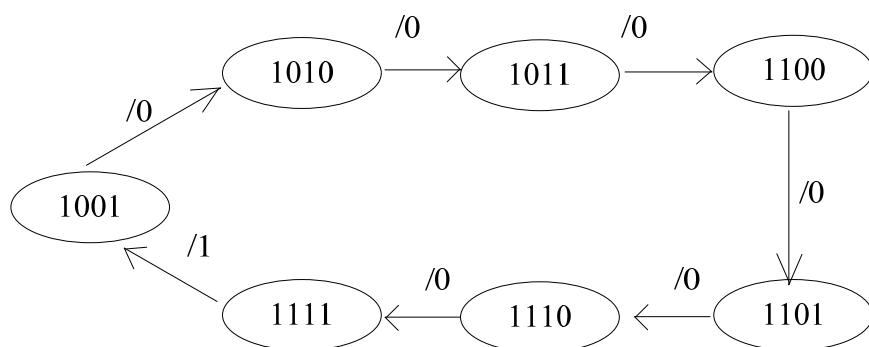
题 6-31 A=1 时状态转移图

**6-32** 分析题 6-32 图计数器电路的分频比（即 Y 与 CP 的频率之比）。



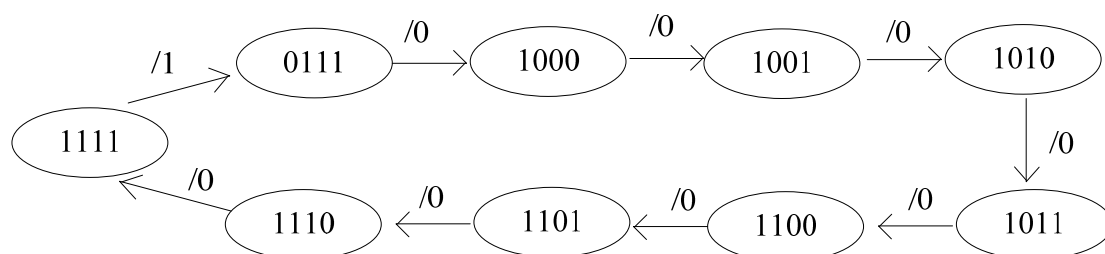
题 6-32 图

解： (1) 分析第一个计数器，置数时置入  $D_3D_2D_1D_0=1001$ ，即出现 1001 至 1111 这 7 个状态。



题 6-32 第一个计数器状态转移图

(2) 分析第二个计数器，置数时置入  $D_3D_2D_1D_0=0111$ ，即出现 0111 至 1111 这 9 个状态。

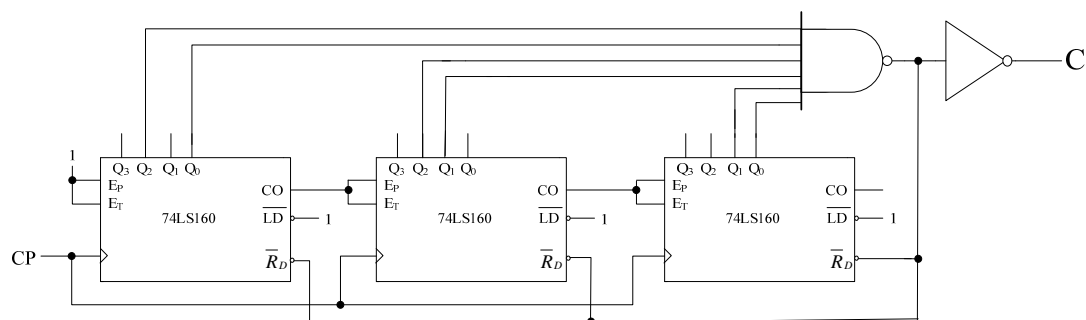


题 6-32 第二个计数器状态转移图

分析前后连接，发现为乘法关系，则该电路分频比为 1:63。

**6-33** 用同步十进制计数器 74LS160 设计一个 365 进制的计数器。要求各位间为十进制关系。允许附加必要的门电路。

解： 采用 3 个 74LS160 组合，采用 0 到 364 计数状态，当为 365 计数状态时异步清零。



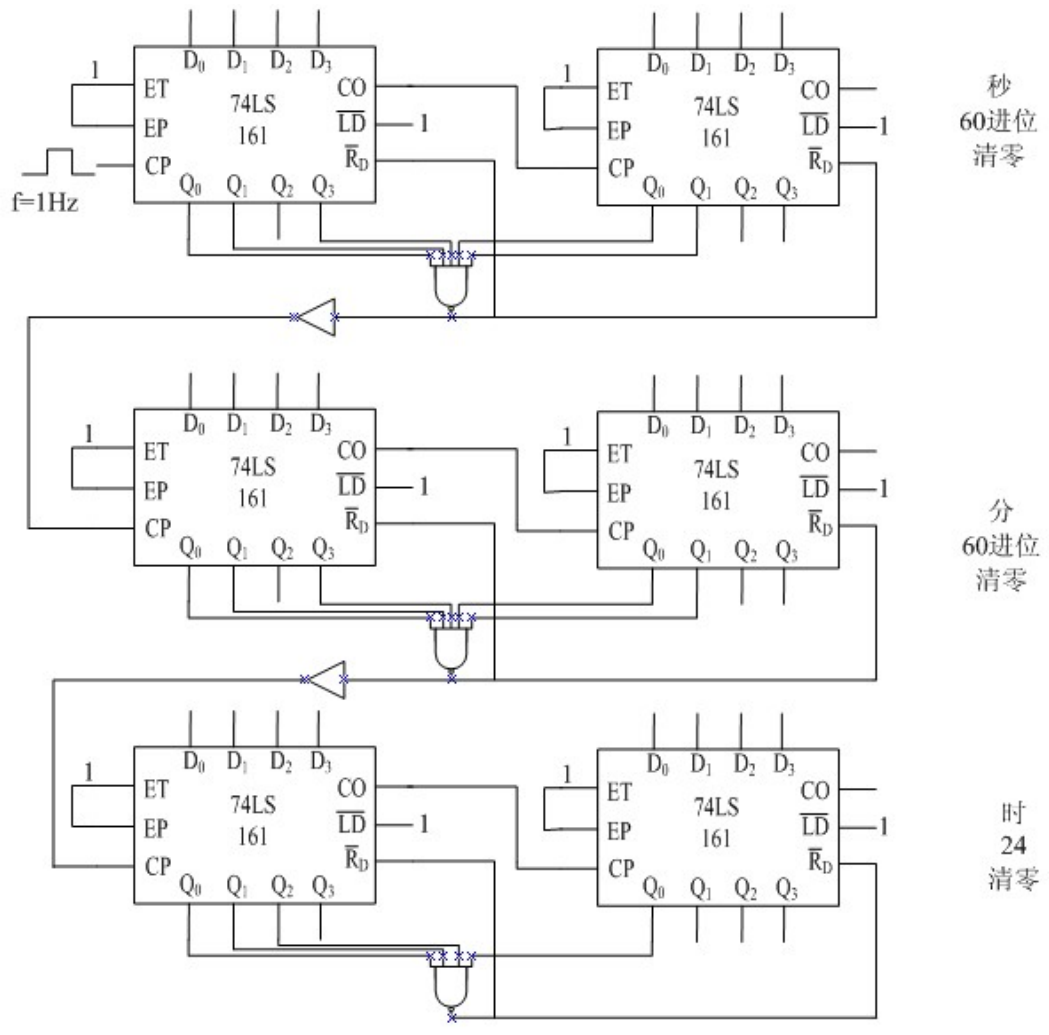
题 6-33 逻辑电路图

**6-34** 设计一个数字钟电路，要求能用七段数码管显示从 0 时 0 分 0 秒到 23 时 59 分 59 秒之间的任一时刻。

解： 如图所示是电子表计时的核心部分，显示部分可以参见 74LS147 等芯片实现二进



制 7 段数码管显示。



题 6-34 逻辑电路图

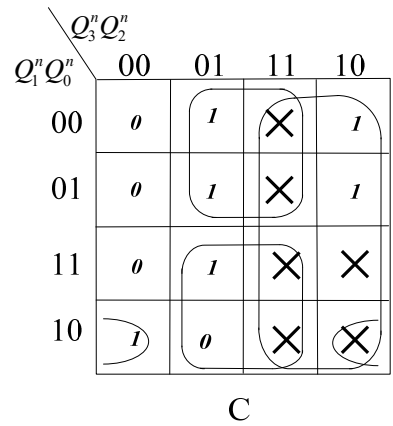
6-35 设计一个序列信号发生器电路，使之在一系列 CP 信号作用下能周期性地输出“0010110111”的序列信号。

解： 产生 0010110111 序列信号，序列的模长 10，10 个状态需要 4 个触发器实现。  
输出及状态转移表如表所列。

题 6-35 状态转移表

| 序号 | $Q_3^n$ | $Q_2^n$ | $Q_1^n$ | $Q_0^n$ | $Q_3^{n+1}$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ | $Q_0^{n+1}$ | 输出 |
|----|---------|---------|---------|---------|-------------|-------------|-------------|-------------|----|
| 0  | 0       | 0       | 0       | 0       | 0           | 0           | 0           | 1           | 0  |
| 1  | 0       | 0       | 0       | 1       | 0           | 0           | 1           | 0           | 0  |
| 2  | 0       | 0       | 1       | 0       | 0           | 0           | 1           | 1           | 1  |
| 3  | 0       | 0       | 1       | 1       | 0           | 1           | 0           | 0           | 0  |
| 4  | 0       | 1       | 0       | 0       | 0           | 1           | 0           | 1           | 1  |
| 5  | 0       | 1       | 0       | 1       | 0           | 1           | 1           | 0           | 1  |
| 6  | 0       | 1       | 1       | 0       | 0           | 1           | 1           | 1           | 0  |
| 7  | 0       | 1       | 1       | 1       | 1           | 0           | 0           | 0           | 1  |
| 8  | 1       | 0       | 0       | 0       | 1           | 0           | 0           | 1           | 1  |
| 9  | 1       | 0       | 0       | 1       | 0           | 0           | 0           | 0           | 1  |

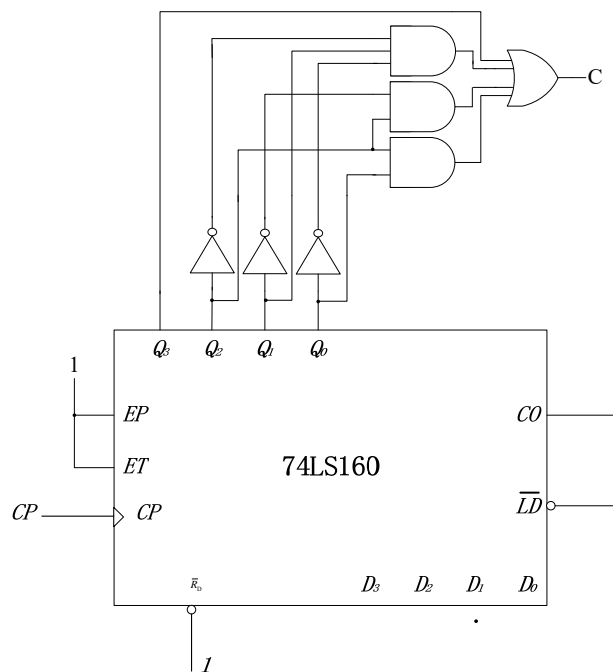
用卡诺图化简输出函数得。



题 6-35 化简卡诺图

$$C = Q_3^n + Q_2^n \overline{Q_1^n} + Q_2^n Q_0^n + \overline{Q_2^n} Q_0^n \overline{Q_0^n}$$

逻辑电路图如图所示。



题 6-35 逻辑电路图

6-36 设计移存型序列信号发生器，要求产生的序列信号为“1111001000”。

解 产生 1111001000 序列信号，信号模长为 10，采用 4 个寄存器，序列分组为  
 1111 → 1110 → 1100 → 1001 → 0010 → 1000 → 0001 → 0011 → 0111 → 1111，输出  
 采用去掉前 4 位留 M=10 位。状态转移表如表所列。

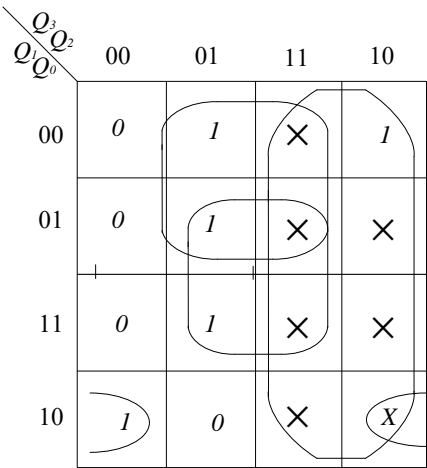
(1) 状态表

题 6-36 状态转移表

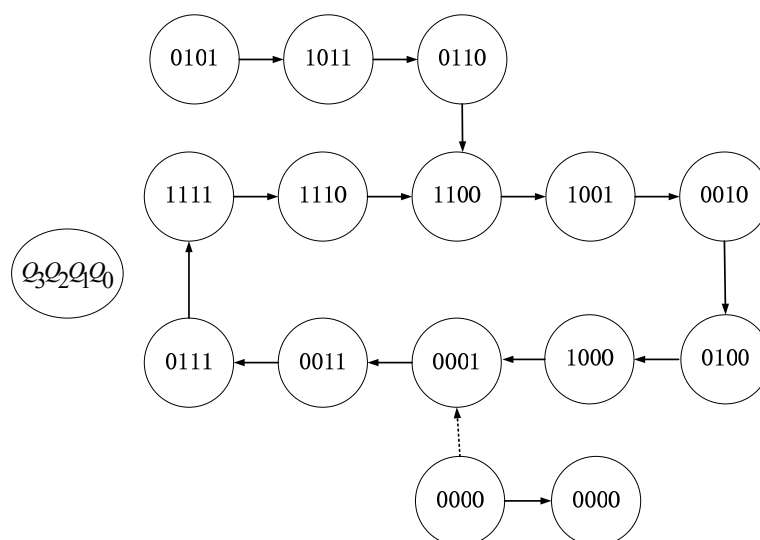
| $CP$ | $Q_3^n$ | $Q_2^n$ | $Q_1^n$ | $Q_0^n$ | $F$ |
|------|---------|---------|---------|---------|-----|
| 0    | 1       | 1       | 1       | 1       | 0   |
| 1    | 1       | 1       | 1       | 0       | 0   |
| 2    | 1       | 1       | 0       | 0       | 1   |
| 3    | 1       | 0       | 0       | 1       | 0   |
| 4    | 0       | 0       | 1       | 0       | 0   |
| 5    | 0       | 1       | 0       | 0       | 0   |
| 6    | 1       | 0       | 0       | 0       | 1   |
| 7    | 0       | 0       | 0       | 1       | 1   |
| 8    | 0       | 0       | 1       | 1       | 1   |
| 9    | 0       | 1       | 1       | 1       | 1   |

用卡诺图化简输出函数得。

$$C = Q_3^n + Q_2^n \overline{Q_1^n} + Q_2^n Q_0^n + \overline{Q_2^n} Q_1^n \overline{Q_0^n}$$



状态转移图为：



电路不能自启动，将 0000 状态转移到 0001 状态，这时就需要移入的数据是 1，因此卡诺图中 0000 方格中的任意项选为 1，这样，化简的输出函数 C 为：

$$F = \bar{Q}_3 Q_0 + Q_3 \bar{Q}_1 \bar{Q}_0^n + \bar{Q}_3 \bar{Q}_2 \bar{Q}_1^n \bar{Q}_0^n$$

若采用移位寄存器和数据选择器实现，将 4 变量卡诺图编程 2 变量卡诺图。

| $Q_3^n \backslash Q_1^n Q_0^n$ | 00  | 01  | 11  | 10  |
|--------------------------------|-----|-----|-----|-----|
| 00                             | $X$ | 0   | 1   | 1   |
| 01                             | 1   | $X$ | $X$ | 0   |
| 11                             | 1   | 1   | 0   | $X$ |
| 10                             | 0   | $X$ | 0   | $X$ |

(a)

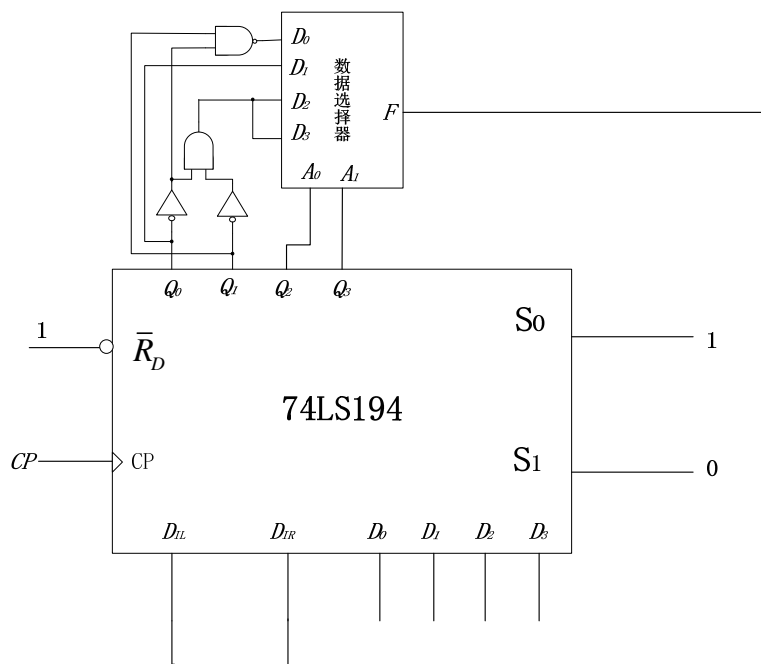
| $Q_3^n \backslash Q_2^n Q_1^n$ | 00      | 01      | 11            | 10            |
|--------------------------------|---------|---------|---------------|---------------|
| 0                              | 1       | $Q_0^n$ | $\bar{Q}_0^n$ | $\bar{Q}_0^n$ |
| 1                              | $Q_0^n$ | $Q_0^n$ | 0             | 0             |

(b)

| $Q_3^n \backslash Q_2^n$ | 0                         | 1                         |
|--------------------------|---------------------------|---------------------------|
| 0                        | $\bar{Q}_1^n \bar{Q}_0^n$ | $\bar{Q}_1^n \bar{Q}_0^n$ |
| 1                        | $Q_0^n$                   | $\bar{Q}_1^n \bar{Q}_0^n$ |

(c)

逻辑电路图如图所示。



题 6-36 逻辑电路图

**6-37** 设计一个灯光控制逻辑电路。要求红、绿、黄 3 种颜色的灯在时钟信号作用下按题 6-37 表规定的顺序转换状态。表中的 1 表示“亮”，0 表示“灭”。要求电路能自启动。

题 6-37 表

| $CP$ | 红 | 黄 | 绿 |
|------|---|---|---|
| 0    | 0 | 0 | 0 |
| 1    | 1 | 0 | 0 |
| 2    | 0 | 1 | 0 |
| 3    | 0 | 0 | 1 |
| 4    | 1 | 1 | 1 |
| 5    | 0 | 0 | 1 |
| 6    | 0 | 1 | 0 |
| 7    | 1 | 0 | 0 |

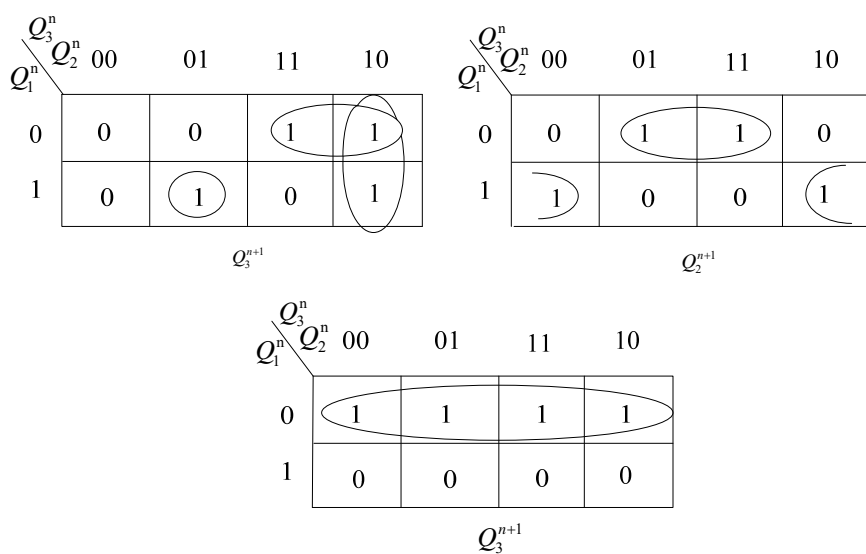
解 (1) 共 8 个状态，可用 3 个触发器实现。

(2) 状态表如表所列。

题 6-37 状态转移表

| $CP$ | $Q_3^n$ | $Q_2^n$ | $Q_1^n$ | $Q_3^{n+1}$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ | $R$ | $Y$ | $G$ |
|------|---------|---------|---------|-------------|-------------|-------------|-----|-----|-----|
| 0    | 0       | 0       | 0       | 0           | 0           | 1           | 0   | 0   | 0   |
| 1    | 0       | 0       | 1       | 0           | 1           | 0           | 1   | 0   | 0   |
| 2    | 0       | 1       | 0       | 0           | 1           | 1           | 0   | 1   | 0   |
| 3    | 0       | 1       | 1       | 1           | 0           | 0           | 0   | 0   | 1   |
| 4    | 1       | 0       | 0       | 1           | 0           | 1           | 1   | 1   | 1   |
| 5    | 1       | 0       | 1       | 1           | 1           | 0           | 0   | 0   | 1   |
| 6    | 1       | 1       | 0       | 1           | 1           | 1           | 0   | 1   | 0   |
| 7    | 1       | 1       | 1       | 0           | 0           | 0           | 1   | 0   | 0   |

(3) 次态卡诺图



题 6-37 化简卡诺图

化简得：

$$Q_3^{n+1} = Q_3^n \bar{Q}_1^n + Q_3^n \bar{Q}_2^n + \bar{Q}_3^n Q_2^n Q_1^n$$

$$Q_2^{n+1} = Q_2^n \bar{Q}_1^n + \bar{Q}_2^n Q_1^n$$

$$Q_1^{n+1} = \bar{Q}_1^n$$

(4) 驱动方程

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = Q_1^n$$

$$J_3 = K_3 = Q_1^n Q_2^n$$

(5) 输出卡诺图

|         |   |                          |    |    |    |
|---------|---|--------------------------|----|----|----|
|         |   | $Q_3^n \backslash Q_2^n$ |    |    |    |
|         |   | 00                       | 01 | 11 | 10 |
| $Q_1^n$ | 0 | 0                        | 0  | 0  | 1  |
|         | 1 | 1                        | 0  | 1  | 0  |

R

|         |   |                          |    |    |    |
|---------|---|--------------------------|----|----|----|
|         |   | $Q_3^n \backslash Q_2^n$ |    |    |    |
|         |   | 00                       | 01 | 11 | 10 |
| $Q_1^n$ | 0 | 0                        | 1  | 1  | 1  |
|         | 1 | 0                        | 0  | 0  | 0  |

Y

|         |   |                          |    |    |    |
|---------|---|--------------------------|----|----|----|
|         |   | $Q_3^n \backslash Q_2^n$ |    |    |    |
|         |   | 00                       | 01 | 11 | 10 |
| $Q_1^n$ | 0 | 0                        | 0  | 0  | 1  |
|         | 1 | 0                        | 1  | 0  | 1  |

G

化简得：

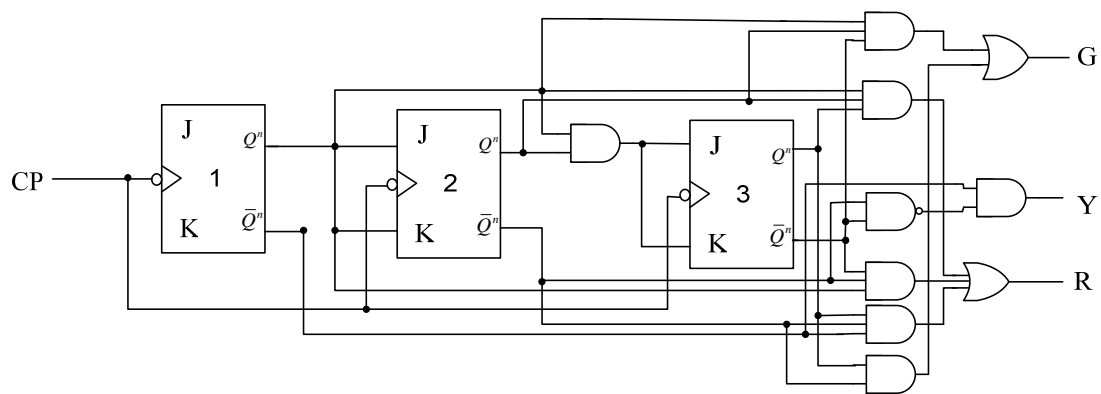
$$R = \bar{Q}_3^n \bar{Q}_2^n Q_1^n + Q_3^n Q_2^n Q_1^n + Q_3^n \bar{Q}_2^n \bar{Q}_1^n$$

$$Y = Q_2^n \bar{Q}_1^n + Q_3^n \bar{Q}_1^n$$

$$G = Q_3^n \bar{Q}_2^n + \bar{Q}_3^n Q_2^n Q_1^n$$

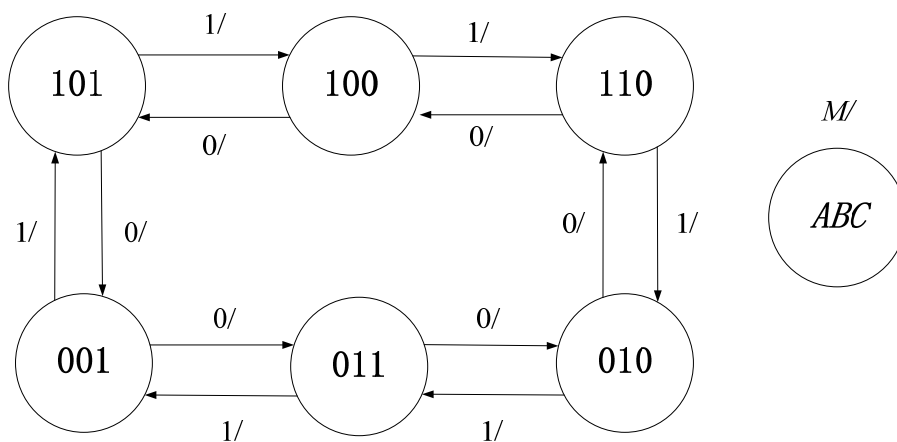
(6) 电路逻辑图





题 6-37 逻辑电路图

**6-38** 设计一个控制步进电动机三相六状态工作的逻辑电路。如果用 1 表示电机绕组导通, 0 表示电机绕组截止, 则 3 个绕组  $ABC$  的状态转移图如题 6-38 图所示。 $M$  为输入控制变量, 当  $M=1$  时为正转,  $M=0$  时为反转。

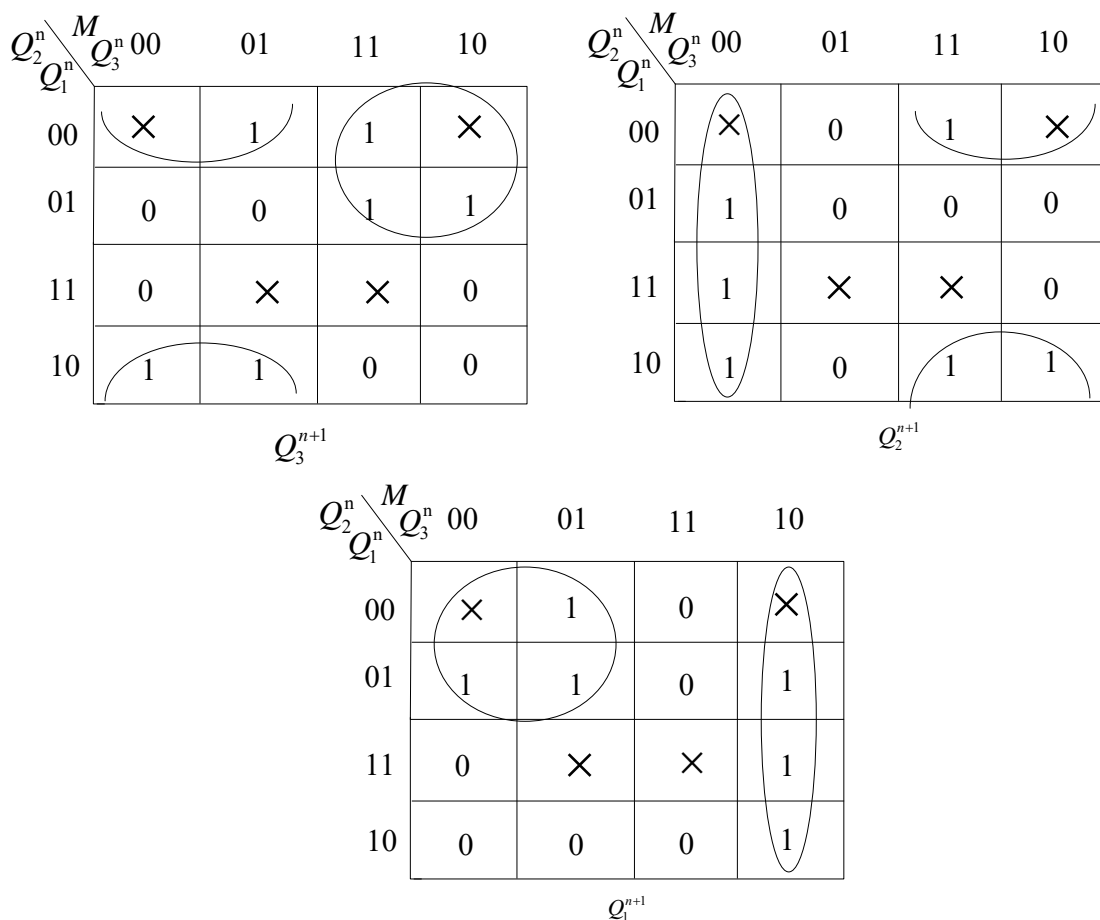


题 6-38 图

解: 由题 6-38 图状态转移图可得状态转移表如表所列。

| $M$ | $Q_3^n$ | $Q_2^n$ | $Q_1^n$ | $Q_3^{n+1}$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ |
|-----|---------|---------|---------|-------------|-------------|-------------|
| 0   | 1       | 0       | 0       | 1           | 0           | 1           |
| 0   | 1       | 0       | 1       | 0           | 0           | 1           |
| 0   | 0       | 0       | 1       | 0           | 1           | 1           |
| 0   | 0       | 1       | 1       | 0           | 1           | 0           |
| 0   | 0       | 1       | 0       | 1           | 1           | 0           |
| 0   | 1       | 1       | 0       | 1           | 0           | 0           |
| 1   | 1       | 0       | 0       | 1           | 1           | 0           |
| 1   | 1       | 1       | 0       | 0           | 1           | 0           |
| 1   | 0       | 1       | 0       | 0           | 1           | 1           |
| 1   | 0       | 1       | 1       | 0           | 0           | 1           |
| 1   | 0       | 0       | 1       | 1           | 0           | 1           |
| 1   | 1       | 0       | 1       | 1           | 0           | 0           |

化简卡诺图如图所示。



题 6-38 化简卡诺图

化简得：

$$Q_3^{n+1} = M\overline{Q_2^n} + \overline{M}\overline{Q_1^n}$$

$$Q_2^{n+1} = \overline{M}\overline{Q_3^n} + M\overline{Q_1^n}$$

$$Q_1^{n+1} = \overline{M}\overline{Q_2^n} + M\overline{Q_3^n}$$

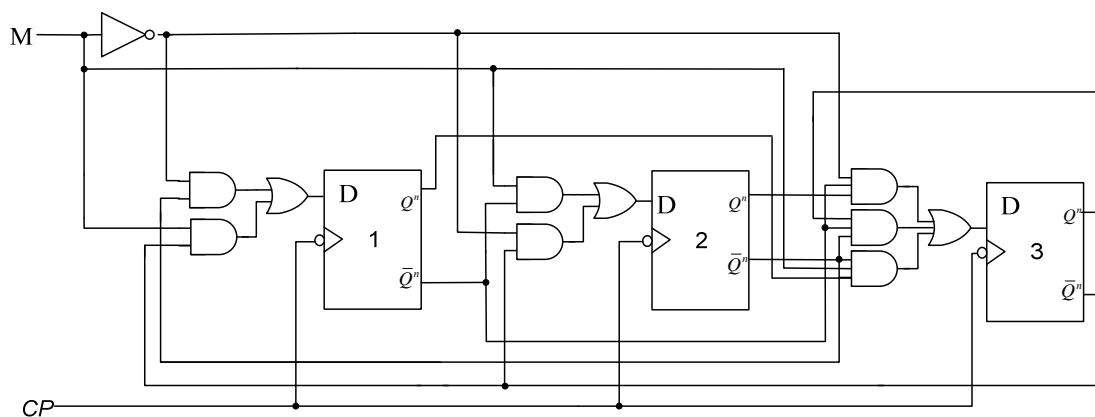
检查自启动， $MQ_3^n Q_2^n Q_1^n = 1111 \rightarrow 1000 \rightarrow 1111$ ，不能够自启动。修改  $Q_3^n$ ，使  
 $MQ_3^n Q_2^n Q_1^n = 0111 \rightarrow 0000 \rightarrow 0111$

$$Q_3^{n+1} = Q_3^n \overline{Q_2^n} \overline{Q_1^n} + M\overline{Q_2^n} Q_1^n + \overline{M} Q_2^n \overline{Q_1^n}，将偏离状态代入得：$$

$$MQ_3^n Q_2^n Q_1^n = 1111 \rightarrow 1000 \rightarrow 1011，能够自启动。$$

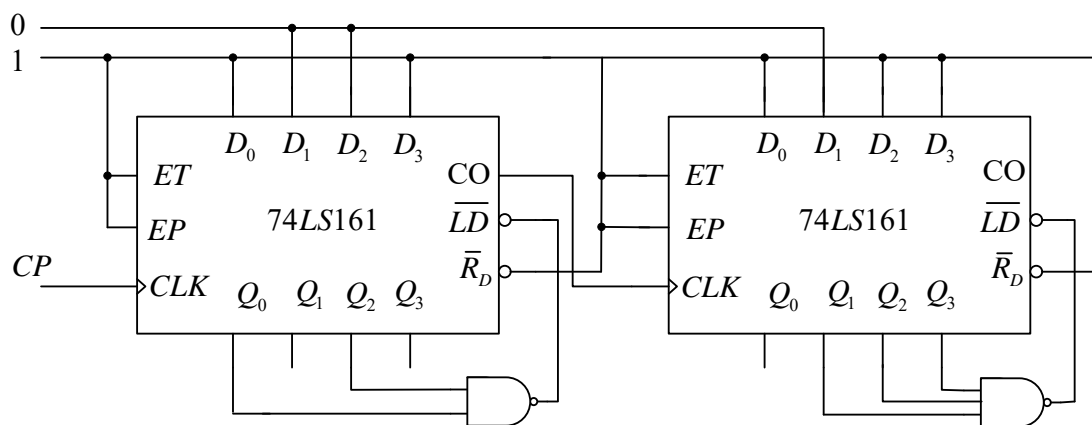
$$MQ_3^n Q_2^n Q_1^n = 0111 \rightarrow 0000 \rightarrow 0011$$

采用 D 触发器实现，逻辑电路如图所示。



题 6-38 逻辑电路图

**6-39** 题 6-39 图是两片 CT54161 中规模集成电路组成的计数器电路，试分析该计数器的模值是多少，列出其状态转移表。



题 6-39 图

**解：**前级为同步计数器，当计数状态  $Q_3Q_2Q_1Q_0 = 0101$  或  $1101$  时同步置数，置入  $D_3D_2D_1D_0 = 1001$ ，计数状态为  $1001$  至  $1101$  这 5 个状态，为模 5 计数器。后级计数器当计数状态  $Q_3Q_2Q_1Q_0 = 1110$  时同步置数，置入  $D_3D_2D_1D_0 = 1101$ ，计数状态为  $1101$  至  $1110$  这 2 个状态，为模 2 计数器。由于前级计数器的输出 CO 始终为零，因此后级无计数脉冲输入，因此电路是一个模 5 计数器。

| $Q_3^n$ | $Q_2^n$ | $Q_1^n$ | $Q_0^n$ | $Q_3^{n+1}$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ | $Q_0^{n+1}$ |
|---------|---------|---------|---------|-------------|-------------|-------------|-------------|
| 1       | 0       | 0       | 1       | 1           | 0           | 1           | 0           |
| 1       | 0       | 1       | 0       | 1           | 0           | 1           | 1           |
| 1       | 0       | 1       | 1       | 1           | 1           | 0           | 0           |
| 1       | 1       | 0       | 0       | 1           | 1           | 0           | 1           |
| 1       | 0       | 0       | 1       | 1           | 0           | 0           | 1           |

## 第七章 半导体存储器

### 7-1 半导体存储器的技术指标有哪些？

**解：**（1）存储容量，指存储器能够容纳的二进制信息的多少。（2）存取时间，指存储器完成一次数据存取所用的平均时间。（3）功耗，指存储器在正常工作时所消耗的电功率。（4）可靠性，指存储器对周围电磁场温度和湿度等的抗干扰能力。

### 7-2 ROM 和 RAM 在电路结构和工作原理上有何不同？

**解：**RAM 是可读、可写的存储器，用于存放一些临时性的数据。其最大的优点是读写方便，使用灵活。但是断电后，随机存取存储器内存储的数据会丢失，所以也称为易失性存储器。ROM 常用来存放永久性的、不变的信息，其内容只能随机读出而不能写入。

### 7-3 动态存储器和静态存储器在电路结构和读写操作上有何不同？

**解：**按照存储原理不同，RAM 包括静态存储器 SRAM 和动态存储器 DRAM 两种。SRAM 存储电路以双稳态触发器为基础，状态稳定，只要不掉电，信息不会丢失。其优点是不需要刷新，控制电路简单，但集成度较低，适用于不需要大存储容量的计算机系统。DRAM 存储单元以电容为基础，电路简单、集成度高。但也存在问题，即电容中的电荷由于漏电会逐渐丢失。因此，DRAM 需要定时刷新，它适用于大存储容量的计算机系统。

### 7-4 一个 ROM 共有 10 根地址线和 4 根位线，则其存储容量是多少？

**解：**存储容量 =  $2^{10} \times 4$  位。

**7-5** 用容量为  $16K \times 8$  位存储器芯片构成 1 个  $64K \times 8$  位的存储系统，需要多少根地址线？多少根数据线？

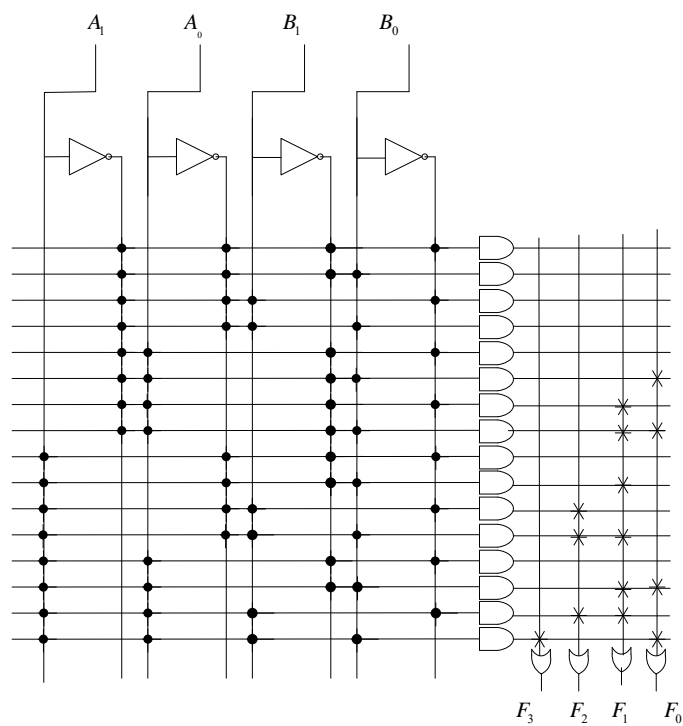
**解：** $64K = 2^{16}$  需要 16 根地址线，8 根数据线。

**7-6** 试用  $16 \times 4$  位的 ROM 设计一个两个 2 位二进制数相乘的乘法器电路。

**解：**设两个 2 位二进制数分别用  $A_1A_0B_1B_0$  表示，积用  $F_3F_2F_1F_0$  表示，列出真值表如表所列：

题 7-6 真值表

| $A_1$ | $A_0$ | $B_1$ | $B_0$ | $F_3$ | $F_2$ | $F_1$ | $F_0$ |
|-------|-------|-------|-------|-------|-------|-------|-------|
| 0     | 0     | 0     | 0     | 0     | 0     | 0     | 0     |
| 0     | 0     | 0     | 1     | 0     | 0     | 0     | 0     |
| 0     | 0     | 1     | 0     | 0     | 0     | 0     | 0     |
| 0     | 0     | 1     | 1     | 0     | 0     | 0     | 0     |
| 0     | 1     | 0     | 0     | 0     | 0     | 0     | 0     |
| 0     | 1     | 0     | 1     | 0     | 0     | 0     | 1     |
| 0     | 1     | 1     | 0     | 0     | 0     | 1     | 0     |
| 0     | 1     | 1     | 1     | 0     | 0     | 1     | 1     |
| 1     | 0     | 0     | 0     | 0     | 0     | 0     | 0     |
| 1     | 0     | 0     | 1     | 0     | 0     | 1     | 0     |
| 1     | 0     | 1     | 0     | 0     | 1     | 0     | 0     |
| 1     | 0     | 1     | 1     | 0     | 1     | 1     | 0     |
| 1     | 1     | 0     | 0     | 0     | 0     | 0     | 0     |
| 1     | 1     | 0     | 1     | 0     | 0     | 1     | 1     |
| 1     | 1     | 1     | 0     | 0     | 1     | 1     | 0     |
| 1     | 1     | 1     | 1     | 1     | 0     | 0     | 1     |



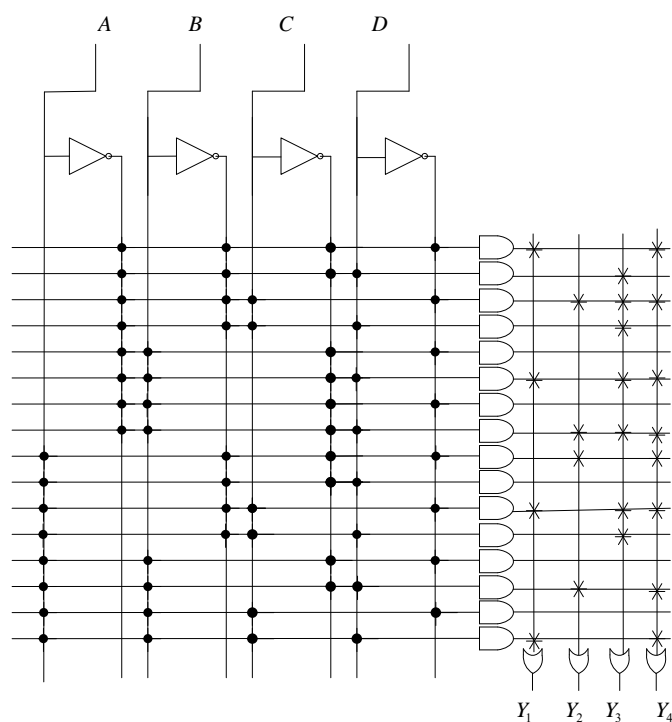
题 7-6 ROM 阵列图

7-7 试用 ROM 设计一个组合电路，用来产生下列一组逻辑函数。

$$\begin{cases} Y_1 = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD \\ Y_2 = \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD \\ Y_3 = \overline{A}D + \overline{B}C \\ Y_4 = BD + \overline{B}\overline{D} \end{cases}$$

解:

$$\begin{cases} Y_1 = \sum m(0,5,10,15) \\ Y_2 = \sum m(2,7,8,13) \\ Y_3 = \sum m(1,2,3,5,7,10,11) \\ Y_4 = \sum m(0,2,5,7,8,10,13,15) \end{cases}$$

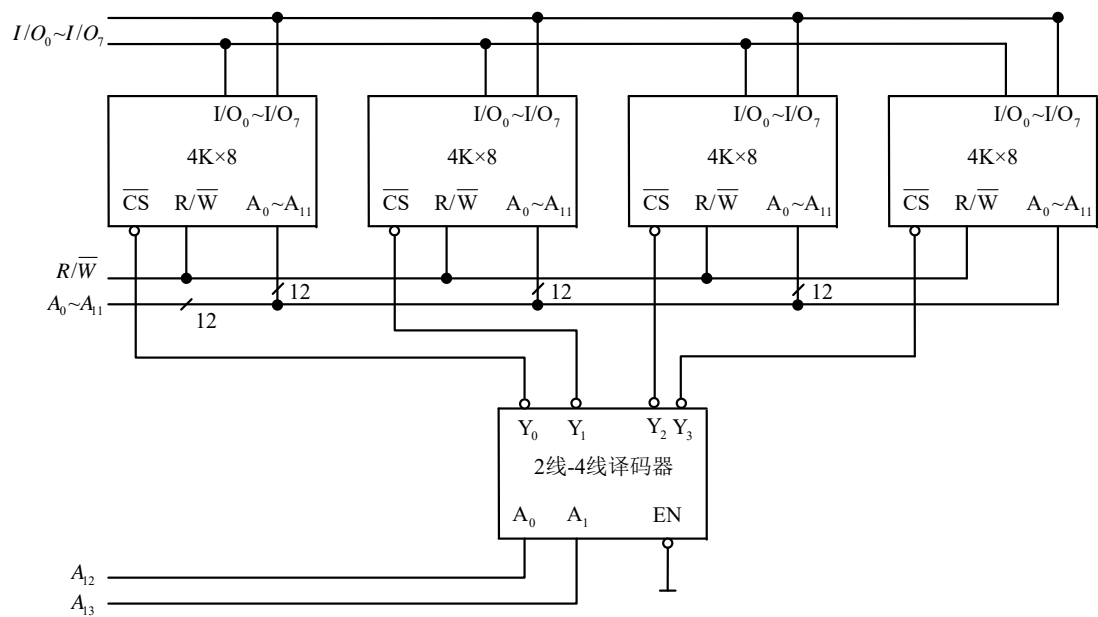


题 7-7 ROM 阵列图

7-8 试用 4K×8 位的 RAM 接成 16K×8 位的存储器。

解: 所构成的存储器如图 7-8 所示。

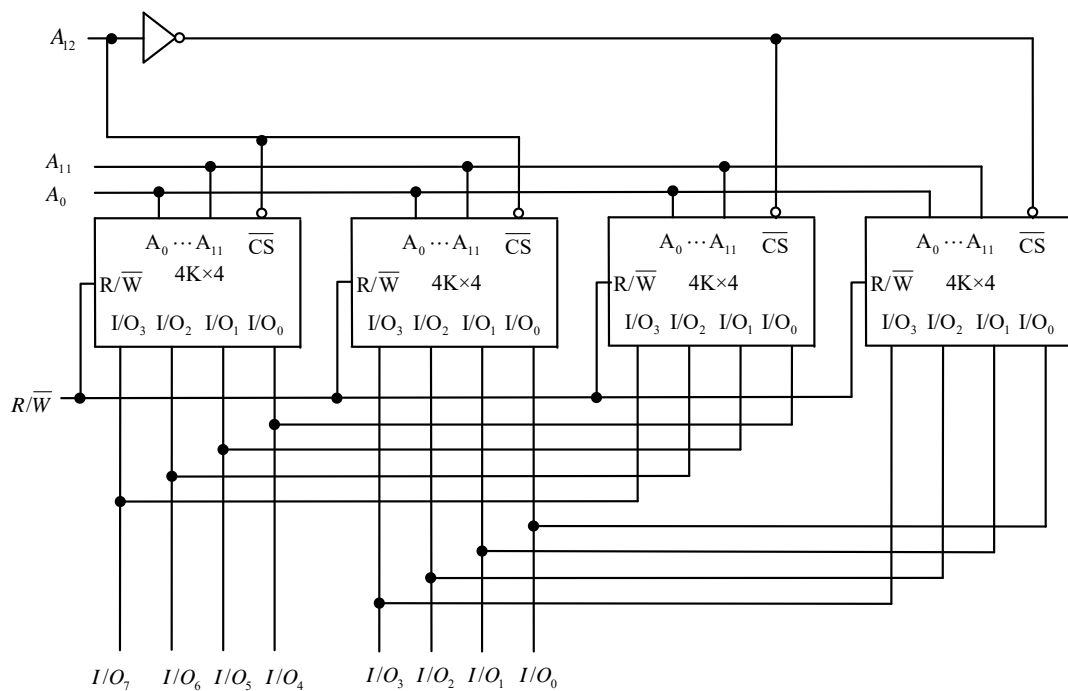




题 7-8 字扩展图

7-9 试用 4Kx4 位的 RAM 接成 8Kx8 位的存储器。

**解:** 所构成的存储器如图 7-9 所示。



题 7-9 扩展图

7-10 简述电擦除 PROM 的特点？

**解:** 电擦除 PROM 采用金属-氮-氧化硅工艺生产，不要借助紫外线照射，只需在高电压脉冲或在工作电压下就可以进行擦除。电擦除 PROM 具有对单个存储单元在线编程的能力，

芯片封装简单，对硬件线路没有特殊要求，操作简便，信息存储时间长。因此，为需要经常修改程序和参数的应用场合带来了极大的方便。

## 第八章 可编程逻辑器件

**8-1** 什么是可编程逻辑器件？有哪些种类？试比较各种 PLD 的特点。

**答：**可编程逻辑器件英文全称为：Programmable Logic Device，简称 PLD。它是一种功能不是固定不变的，而是可根据用户的需要而进行改变，即由编程的方法来确定逻辑功能的一类器件。

随着集成工艺的发展，可编程逻辑器件的集成规模越来越大，集成度从每片几百门发展到几千门，甚至几百万门。按照其集成度，可编程逻辑器件可分为低密度可编程逻辑器件 LDPLD（Low Density PLD）和高密度可编程逻辑器件 HDPLD（High Density PLD）两大类。

低密度可编程逻辑器件通常指集成度小于每片 1000 门的 PLD。PROM、PLA、PAL 和 GAL 均属于此类，如表所示。与中小规模集成电路相比，具有集成度高、速度快、设计方便灵活、设计周期短等优点。因此，得到了广泛应用。但很难满足大规模以及超大规模专用集成电路(ASIC)在规模 and 性能上的要求。

题 8-1 表 低密度 PLD 器件结构比较

| 简单 PLD 器件                                   | 与阵列 | 或阵列 | 输出电路 |
|---|-----|-----|------|
| PROM ( 即 Programmable Read-only Memory )    | 固定  | 可编程 | 固定   |
| PLA ( 即 Programmable Logic Array, 可编程逻辑阵列 ) | 可编程 | 可编程 | 固定   |
| PAL ( 即 Programmable Array Logic, 可编程阵列逻辑 ) | 可编程 | 固定  | 固定   |
| GAL ( 即 Genetic Array Logic, 通用阵列逻辑 )       | 可编程 | 固定  | 可组态  |

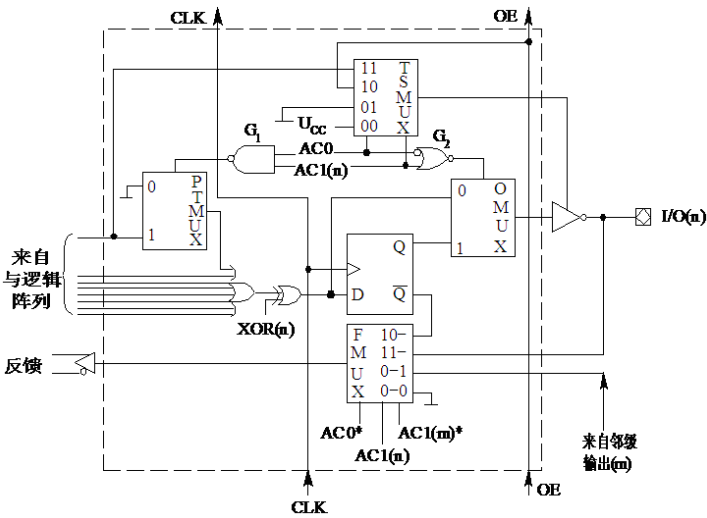
高密度可编程逻辑器件通常指集成度大于每片 1000 门的 PLD，20 世纪 80 年代中期以后出现的 EPLD、CPLD 和 FPGA 均属于此类。Altera 公司 20 世纪 80 年代中期推出的一种大规模可编程逻辑器件 EPLD（Erasable Programmable Logic Device），其基本结构与 GAL 并无本质区别，但其集成密度比 GAL 高得多，使其在一块芯片内能够实现更多的逻辑功能。复杂可编程逻辑器件 CPLD（Complex Programmable Logic Device）是从 PAL 和 GAL 器件发展出来的器件，相对而言规模大、结构复杂，属于大规模集成电路范围，是一种用户根据各自需要而自行构造逻辑功能的数字集成电路。现场可编程门阵列 FPGA（Field Programmable Gate Array）是在 PAL、GAL、CPLD 等可编程器件的基础上进一步发展的产

物。它是作为专用集成电路领域中的一种半定制电路而出现的，既解决了定制电路的不足，又克服了原有可编程器件门电路数有限的缺点。

**8-2 GAL 器件的 OLMC 有什么特点？GAL 的 5 种工作模式各用在什么场合？**

**答：** 具有输出逻辑宏单元（OLMC）是 GAL 器件的一大特征。OLMC 配置的具体实现是由开发工具和软件完成的，对用户完全透明。OLMC 的内部结构如图所示。每个 OLMC 包含或门阵列中的一个或门和 4 个多路开关 PTMUX、FMUX、TSMUX 和 OMUX。这 4 个多路开关在结构控制字段作用下设定输出逻辑宏单元的组态，使得 GAL 器件使用更加灵活。只要写入不同的结构控制字，就可以得到不同类型的输出电路结构。这些电路结构完全可以取代 PAL 器件的各种输出电路结构。

GAL 的 5 种工作模式分别用于专用模式、专用组合输出、反馈组合输出、时序电路中的组合输出和寄存器输出这 5 种不同的场合中。



题 8-2 图 OLMC 的内部结构

**8-3 FPGA 主要由哪几部分组成？各部分的基本功能是什么？**

**答：** FPGA 主要由可编程输入/输出模块 IOB、可编程逻辑块 CLB、可编程互连资源 PIR 和用于存放编程数据的静态存储器 SRAM 组成。可编程输入/输出模块 IOB 分布在芯片的四周，它是内部逻辑电路和芯片外引脚之间的可编程接口电路。可编程逻辑块 CLB 分布在芯片的中间，通过对 CLB 编程可实现组合逻辑电路和时序逻辑电路。系统的主要逻辑功能由 CLB 实现。可编程互连资源 PIR 提供了丰富的连线资源，包括纵横网状连线、可编程开关矩阵和可编程连接点等。主要用以实现 CLB 模块之间、CLB 模块与 IOB 模块之间的连接。静态存储器 SRAM 用于存放内部 IOB、CLB 和 PIR 的编程数据，并形成对 IOB、CLB 及 PIR 的控制，从而完成系统逻辑功能。系统断电后，SRAM 中存放的数据会全部丢失。因此，

每次在系统通电后,都要把存放在 EPROM 中的编程数据通过逻辑电路重新装载到 FPGA 的静态存储器 SRAM 中。数据的重新装载过程可以是自动完成,也可以由单片机控制完成。

#### **8-4 试比较 CPLD 和 FPGA 的异同。**

**答:** (1) FPGA 器件含有丰富的触发器资源,易于实现时序逻辑,如果要求实现较复杂的组合电路则需要几个逻辑阵列块(LAB)结合起来实现。CPLD 的与或阵列结构,使其适于实现大规模的组合功能,但触发器资源相对较少。

(2) FPGA 采用 SRAM 进行功能配置,可重复编程,但系统掉电后,SRAM 中的数据丢失。因此,需在 FPGA 外加 EPROM,将配置数据写入,系统每次上电自动将数据引入 SRAM。CPLD 器件一般采用 E<sup>2</sup>PROM 存储技术,可重复编程,并且系统掉电后,E<sup>2</sup>PROM 中的数据不会丢失,适于数据的保密。

(3) FPGA 为细粒度结构,CPLD 为粗粒度结构。FPGA 内部有丰富连线资源,逻辑阵列块(LAB)分块较小,芯片的利用率较高。CPLD 的宏单元的与或阵列较大,且宏单元之间主要通过高速数据通道连接,其容量有限,限制了器件的灵活布线,因此 CPLD 利用率较 FPGA 器件低。

(4) FPGA 为非连续式布线,CPLD 为连续式布线。FPGA 器件在每次编程时实现的逻辑功能一样,但走的路线不同。因此延时不易控制,要求开发软件允许工程师对关键的路线给予限制。CPLD 每次布线路径一样,CPLD 的连续式互连结构利用具有同样长度的一些金属线实现逻辑单元之间的互连。连续式互连结构消除了分段式互连结构在定时上的差异,在逻辑单元之间提供快速且具有固定延时的通路。CPLD 的延时较小。

(5) CPLD 价格较便宜,能直接用于系统。各系列的 CPLD 器件的逻辑规模覆盖面居中小规模(1000 门至 5 万门),有很宽的可选范围,上市速度快,市场风险小,编程方式极为便捷。FPGA 适合大规模的逻辑设计、ASIC 设计或单片系统设计。

#### **8-5 什么是 ISP 器件? ispLSI1032 的结构包含哪几部分? 各部分的主要功能是什么?**

**答:** ISP(In System Programmable)器件是在系统可编程逻辑器件的简称。这是一种能够在用户自己设计的目标系统中或线路板上为重构逻辑而对逻辑器件进行编程或反复改写的新型逻辑器件。

ispLSI1032 是 E<sup>2</sup>CMOS 器件,其芯片有 84 个引脚,其中 64 个是 I/O 引脚。集成密度为 6000 个等效门,每片含 68 个触发器和 64 个锁存器。管脚与管脚延迟为 12ns,系统最高工作频率为 90MHz。ispLSI1032 由若干个巨块组成,巨块之间通过全局布线区 GRP 连起来,每个巨块包括若干个通用逻辑块 GLB、输出布线区 ORP、若干个 I/O 引脚和专用输入引脚。

(1) 全局布线区 GRP: 它位于芯片的中央, 以固定的方式将所有片内逻辑联系在一起, 供设计者使用, 与通用总线功能是一致的。其特点是输入 / 输出之间的延迟是恒定的和可预知的。

(2) 通用逻辑块 GLB: 它是 ispLSI 器件的最基本逻辑单元, 由与阵列、乘积项共享阵列、四输出逻辑宏单元和控制逻辑组成。有五种不同的组合模式, 主要实现 ispLSI1032 器件的基本逻辑功能。

(3) 输出布线区 ORP: 它是介于 GLB 和输入输出单元 IOC 之间的可编程互连阵列。通过对 ORP 的编程, 可以将任一个 GLB 的输出灵活地送到 16 个 I/O 端的其中一个。

(4) 输入输出单元 IOC: 它是 ispLSI1032 总框图中最外层的小方块, 共有 64 个。其用途是将输入信号、输出信号、输入输出双向信号与具体的 I/O 管脚相连接, 从而构成输入、输出、三态输出的双向 I/O 口。

(5) 巨块: 它是 GLB 及其对应的 ORP、IOC 等的总称。不同类别、不同型号的 ispLSI 器件主要区别在于构成芯片的巨块数各不相同。例如 ispLSI1032 有 4 个巨块。

(6) 时钟设置网络 CDN: 它的作用是提供时钟信号。ispLSI1032 的时钟分配网络共产生 5 个全局时钟信号: CLK<sub>0</sub>, CLK<sub>1</sub>, CLK<sub>2</sub>, IOCLK<sub>0</sub>, IOCLK<sub>1</sub>。其中 CLK<sub>0</sub>, CLK<sub>1</sub>, CLK<sub>2</sub> 三个同步时钟信号可供所有的通用逻辑块 GLB 使用。IOCLK<sub>0</sub>, IOCLK<sub>1</sub> 可用于所有的 I / O 单元, 供 I / O 寄存器使用。

8-6 用 VHDL 设计一个 4 输入与门, 其逻辑函数表达式为  $X = ABCD$ 。

**解** 信号定义:

A, B, C, D: 与门输入;

X: 与门输出。

LIBRARY IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

ENTITY and4 IS

PORT( A,B,C,D: IN STD\_LOGIC;

X: OUT STD\_LOGIC);

END and4;

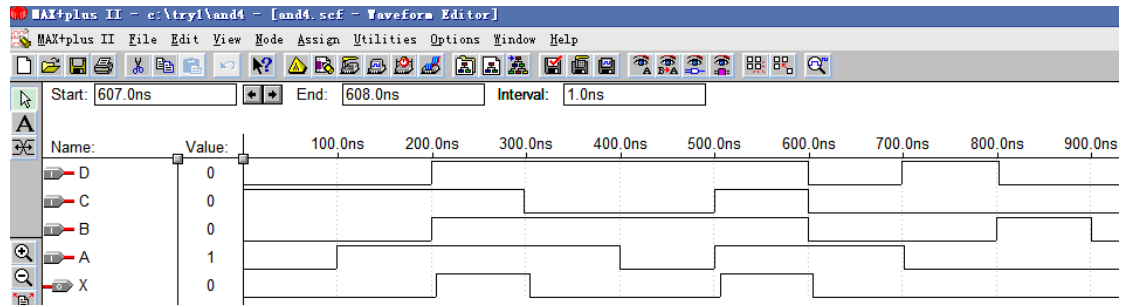
ARCHITECTURE one OF and4 IS

BEGIN

X<= A AND B AND C AND D;

END one;

仿真结果如图 8-5 所示。



题 8-6 图 4 输入与门仿真波形

**8-7** 用 VHDL 设计 BCD 码至二进制码的转换器。

**解** 信号定义：

B：BCD 码输入；

D：二进制码输出。

BCD 码转换成 4 位二进制码的真值表如表所列。

题 8-7 表 BCD 码转换成 4 位二进制码的转换真值表

| 输入信号 |    |    |    |    | 输出信号 |    |    |    |
|------|----|----|----|----|------|----|----|----|
| B4   | B3 | B2 | B1 | B0 | D3   | D2 | D1 | D0 |
| 0    | 0  | 0  | 0  | 0  | 0    | 0  | 0  | 0  |
| 0    | 0  | 0  | 0  | 1  | 0    | 0  | 0  | 1  |
| 0    | 0  | 0  | 1  | 0  | 0    | 0  | 1  | 0  |
| 0    | 0  | 0  | 1  | 1  | 0    | 0  | 1  | 1  |
| 0    | 0  | 1  | 0  | 0  | 0    | 1  | 0  | 0  |
| 0    | 0  | 1  | 0  | 1  | 0    | 1  | 0  | 1  |
| 0    | 0  | 1  | 1  | 0  | 0    | 1  | 1  | 0  |
| 0    | 0  | 1  | 1  | 1  | 0    | 1  | 1  | 1  |
| 0    | 1  | 0  | 0  | 0  | 1    | 0  | 0  | 0  |
| 0    | 1  | 0  | 0  | 1  | 1    | 0  | 0  | 1  |

|   |   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|---|
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |

LIBRARY IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

ENTITY B\_bcd IS

PORT( B: IN STD\_LOGIC\_VECTOR(4 DOWNTO 0);

D: OUT STD\_LOGIC\_VECTOR (3 DOWNTO 0));

END B\_bcd;

ARCHITECTURE behave OF B\_bcd IS

BEGIN

PROCESS(B)

BEGIN

CASE B IS

WHEN "00000" => D<= "0000";

WHEN "00001" => D<= "0001";

WHEN "00010" => D<= "0010";

WHEN "00011" => D<= "0011";

WHEN "00100" => D<= "0100";

WHEN "00101" => D<= "0101";

WHEN "00110" => D<= "0110";

WHEN "00111" => D<= "0111";

WHEN "01000" => D<= "1000";



```

    WHEN "01001" => D<= "1001";

    WHEN "10000" => D<= "1010";

    WHEN "10001" => D<= "1011";

    WHEN "10010" => D<= "1100";

    WHEN "10011" => D<= "1101";

    WHEN "10100" => D<= "1110";

    WHEN "10101" => D<= "1111";

    WHEN OTHERS=> D<= "ZZZZ";

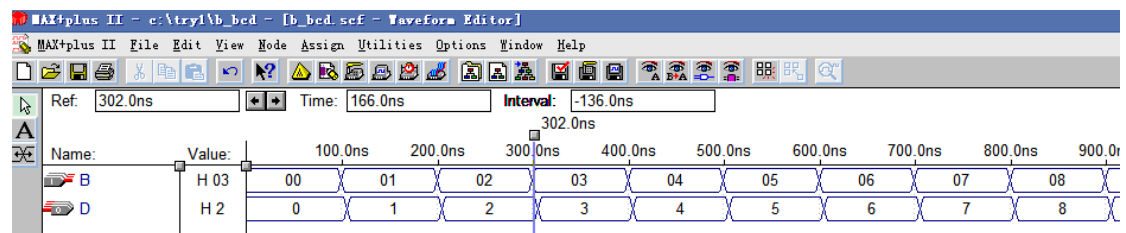
END CASE;

END PROCESS;

END behave;

```

仿真结果如图所示。



题 8-7 图 BCD 码至二进制码转换器仿真波形

**8-8** 用 VHDL 设计 8 线-3 线优先编码器。

**解** 信号定义：

d: 编码器输入；

ein: 输入使能；

a0n, a1n, a2n: 编码器输出；

gsn, eon: 编码器输出状态指示。

```
LIBRARY IEEE;
```

```
USE IEEE.STD_LOGIC_1164.ALL;
```

```
ENTITY encode IS
```

```
PORT( d: IN STD_LOGIC_VECTOR(7 DOWNT0 0);
```

```
      ein: IN STD_LOGIC;
```

```

        a0n,a1n,a2n,gsn,eon: OUT STD_LOGIC);

END encode;

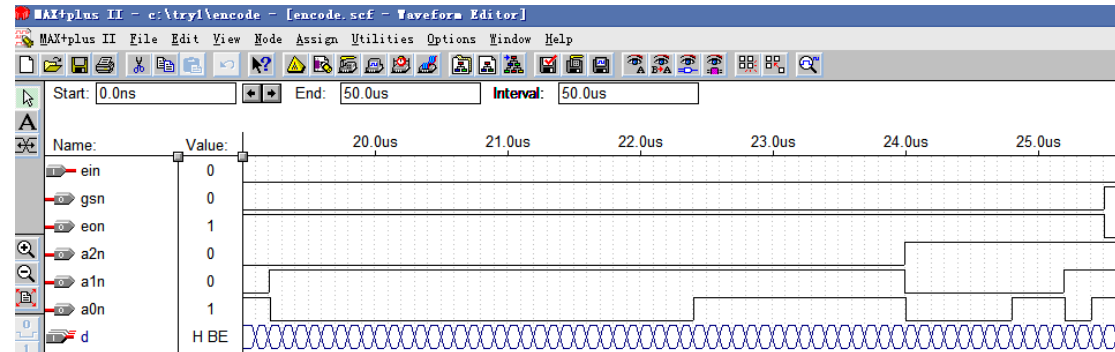
ARCHITECTURE behave OF encode IS
SIGNAL q: STD_LOGIC_VECTOR(2 DOWNTO 0);
BEGIN
a0n<=q(0); a1n<=q(1); a2n<=q(2);
PROCESS(d)
BEGIN
IF ein='1' THEN
q<= "111" ; gsn<= '1'; eon<= '1';
ELSIF d(7)= '0' THEN
q<= "000"; gsn<= '0'; eon<= '1';
ELSIF d(6)= '0' THEN
q<= "001"; gsn<= '0'; eon<= '1';
ELSIF d(5)= '0' THEN
q<= "010"; gsn<= '0'; eon<= '1';
ELSIF d(4)= '0' THEN
q<= "011"; gsn<= '0'; eon<= '1';
ELSIF d(3)= '0' THEN
q<= "100"; gsn<= '0'; eon<= '1';
ELSIF d(2)= '0' THEN
q<= "101"; gsn<= '0'; eon<= '1';
ELSIF d(1)= '0' THEN
q<= "110"; gsn<= '0'; eon<= '1';
ELSIF d(0)= '0' THEN
q<= "111"; gsn<= '0'; eon<= '1';
ELSIF d= "11111111" THEN
q<= "111"; gsn<= '1'; eon<= '0';
END IF;

```

END PROCESS;

END behave;

仿真结果如图 8-7 所示。



题 8-8 图 8 线-3 线优先编码器仿真波形

**8-9** 用 VHDL 设计 8421BCD 码十进制加法计数器。

**解** 信号定义：

data: 预置输入；

CLK: 时钟信号；

R: 异步清 0，低电平清 0 有效；

S: 预置控制端，高电平有效；

Q: 加法计算器输出。

LIBRARY IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

USE IEEE.STD\_LOGIC\_UNSIGNED.ALL;

ENTITY COUNT10 IS

PORT( data: IN STD\_LOGIC\_VECTOR(3 DOWNT0 0);

CLK,R,S: IN STD\_LOGIC;

co: OUT STD\_LOGIC;

Q: BUFFER STD\_LOGIC\_VECTOR(3 DOWNT0 0));

END COUNT10;

ARCHITECTURE behave OF COUNT10 IS

```

BEGIN

    co<='1' WHEN (Q="1001") ELSE '0';

PROCESS(CLK,R)

BEGIN

IF (R='0') THEN Q<="0000";

ELSIF (CLK'EVENT AND CLK='1') THEN

    IF (S='1') THEN Q<=DATA;

    ELSIF (Q=9) THEN Q<="0000";

    ELSE Q<=Q+1;

    END IF;

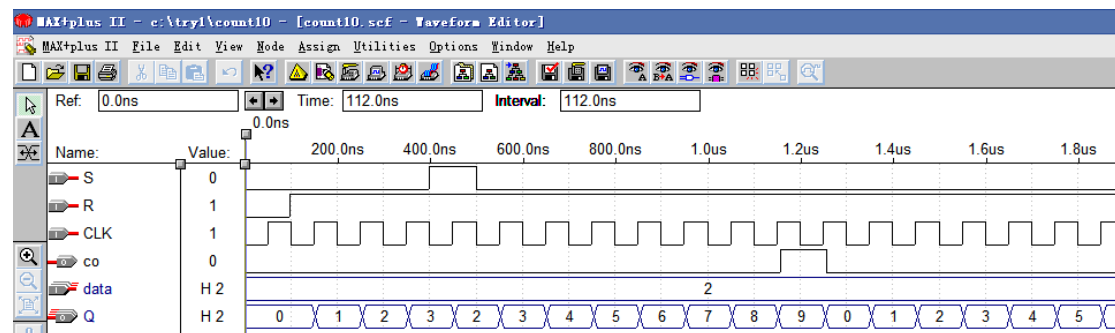
END IF;

END PROCESS;

END behave;

```

仿真结果如图 8-8 所示。



题 8-9 图 8421BCD 码十进制加法计数器仿真波形

**8-10** 用 VHDL 设计一个 4 位双向移位寄存器。

**解** 信号定义：

d: 预置输入；

CLK: 时钟输入；

cr: 清 0 信号；

sr: 移位寄存器右移移入位；

sl: 移位寄存器左移移入位；

s1, s0: 控制移位寄存器左移右移；

```

LIBRARY IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

ENTITY ls194 IS
PORT( d: IN STD_LOGIC_VECTOR(0 TO 3);
      CLK,cr,sr,sl,s1,s0: IN STD_LOGIC;
      q: OUT STD_LOGIC_VECTOR(0 TO 3));
END ls194;

ARCHITECTURE behave OF ls194 IS
SIGNAL pcx: STD_LOGIC_VECTOR(0 TO 3);
BEGIN
  PROCESS(cr, CLK)
  BEGIN
    IF(cr='0') THEN
      pcx<="0000";
    ELSE
      IF(CLK' EVENT)AND(CLK='1') THEN
        IF((s1='0') AND (s0='1')) THEN
          pcx(0)<=sr;
          pcx(1)<=pcx(0);
          pcx(2)<=pcx(1);
          pcx(3)<=pcx(2);
        ELSIF ((s1='1') AND (s0='0')) THEN
          pcx(0)<=pcx(0);
          pcx(1)<=pcx(1);
          pcx(2)<=pcx(2);
          pcx(3)<=sl;
        ELSIF ((s1='1') AND (s0='1')) THEN
          pcx(0)<=d(0);

```

```

pcx(1)<=d(1);

pcx(2)<=d(2);

pcx(3)<=d(3);

ELSE null;

END IF;

END IF;

END IF;

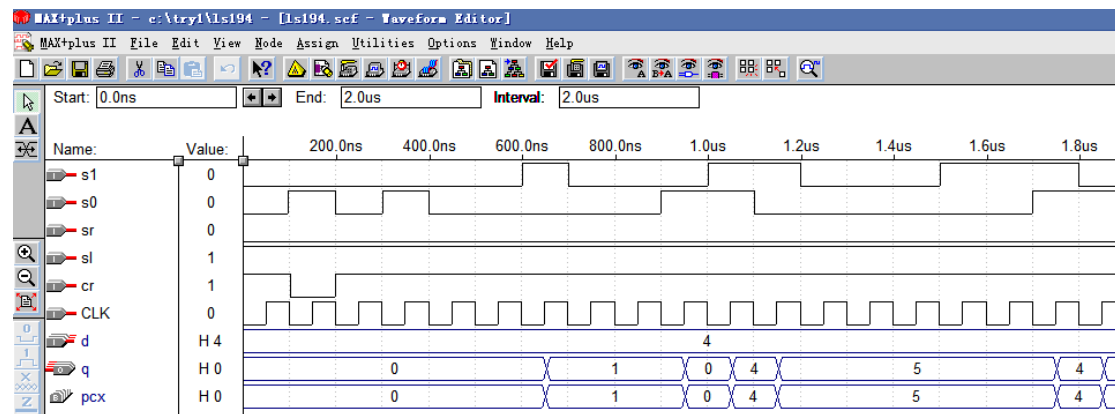
END PROCESS;

q<=pcx;

END behave;

```

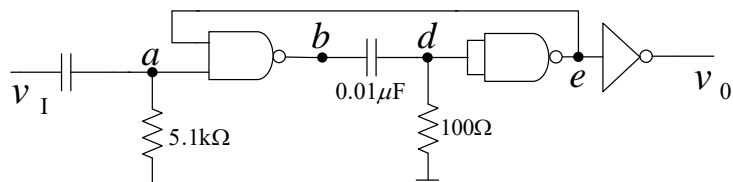
仿真结果如图 8-9 所示。



题 8-10 图 4 位双向移位寄存器仿真波形

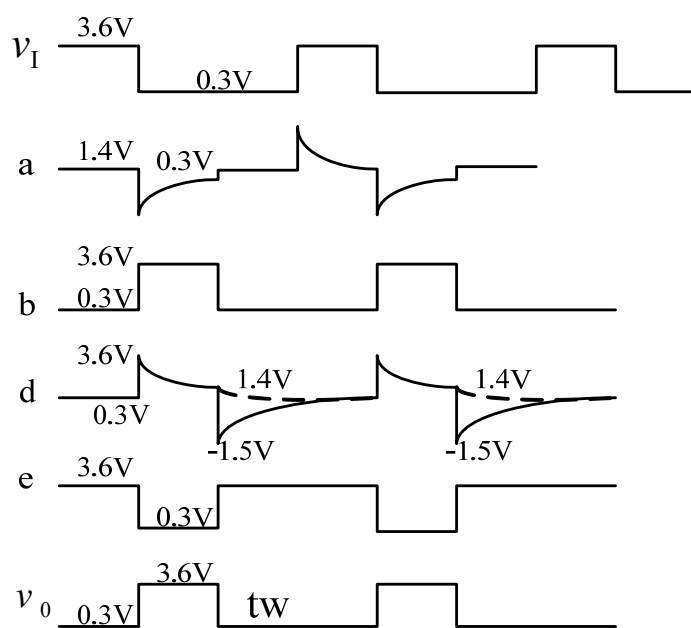
## 第九章 脉冲波形的产生和整形

9-1 题 9-1 图所示为 T T L 与非门构成的微分型单稳态电路，试画出在输入信号  $v_I$  作用下， $a$ 、 $b$ 、 $d$ 、 $e$ 、 $v_o$  各点波形，求输出  $v_o$  的脉冲宽度。



题 9-1 图

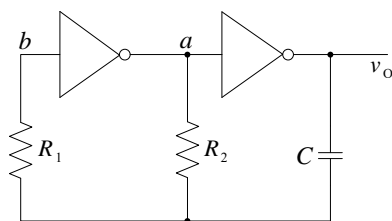
解 在输入信号  $v_I$  作用下， $a$ 、 $b$ 、 $d$ 、 $e$ 、 $v_o$  各点波形如图所示。



题 9-1 图 波形图

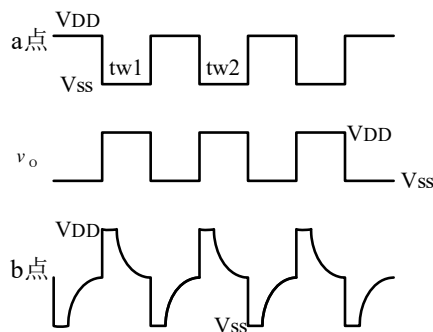
$$\text{脉宽 } t_w = 0.7(R_0 + R)C = (100 + 100) \times 0.01 \times 10^{-3} \text{ s} = 2 \times 10^{-3} \text{ s}$$

9-2 题 9-2 图所示为 C M O S 反相器构成的多谐振荡器，试分析其工作原理，画出  $a$ 、 $b$  点及  $v_o$  的工作波形，写出振荡周期的公式。



题 9-2 图

**解** 题 9-2 图中电路是教材中 CMOS 型多谐振荡器的改进电路, 阈值电压  $V_T$  不同, 振荡频率会改变。C 两端电压峰值变为  $2V_{DD}$ , 从而大大减小了由于阈值电压  $V_T$  的离散性导致振荡频率的变化。 $R_1$  接入后保护了 CMOS 门输入二极管。 $a$ 、 $b$  点及  $v_o$  的工作波形如图 9-9 所示。



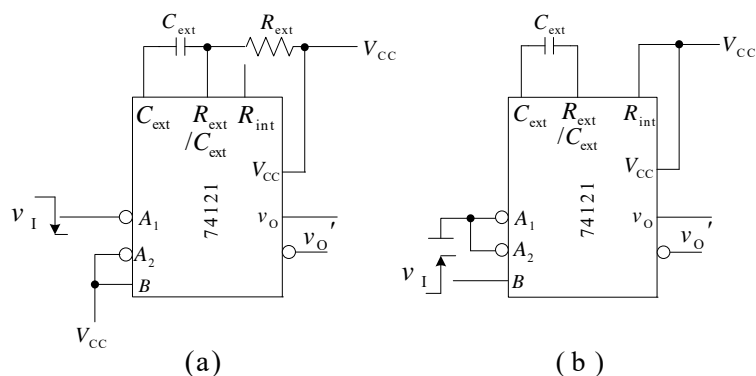
题 9-2 波形图

振荡周期计算 令  $R_1 = 10R_2$

$$t_{w1} = R_2 C \ln \frac{V_{DD} + V_T}{V_T}, \quad t_{w2} = R_2 C \ln \frac{2V_{DD} - V_T}{V_{DD} - V_T}, \quad T = t_{w1} + t_{w2}$$

若  $V_T = \frac{1}{2}V_{DD}$ , 则  $T = RC \ln 9 \approx 2.2RC$ 。

9-3 利用题 9-3 图所示的集成单稳态触发器, 要得到输出脉冲宽度等于 3ms 的脉冲, 外接电容  $C$  应为多少? (假定内部电阻  $R_{int}$  ( $2k\Omega$ ) 为微分电阻。)

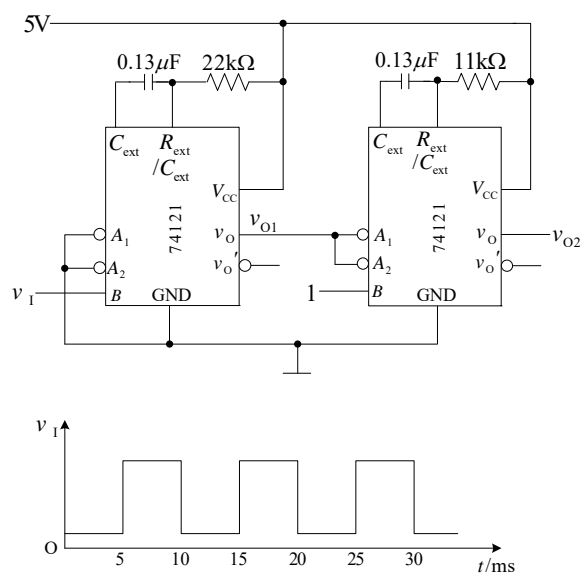


题 9-3 图 集成单稳态触发器 74121 的框图和使用方法

**解** 因为  $t_w = 0.7R_{int}C$ , 所以  $C = \frac{t_w}{0.7R_{int}} = \frac{3 \times 10^{-3}}{0.7 \times 2 \times 10^3} \mu F = 2.14 \mu F$

9-4 题 9-4 图是用两个集成单稳态触发器 74121 组成的脉冲变换电路, 外接电阻和外接电容的参数如图所示。试计算在输入触发信号  $v_I$  作用下  $v_{o1}$ 、 $v_{o2}$  输出脉冲的宽度, 并画出与  $v_I$  波形相对应的  $v_{o1}$ 、 $v_{o2}$  的电压波形。 $v_I$  的波形如图中所示。





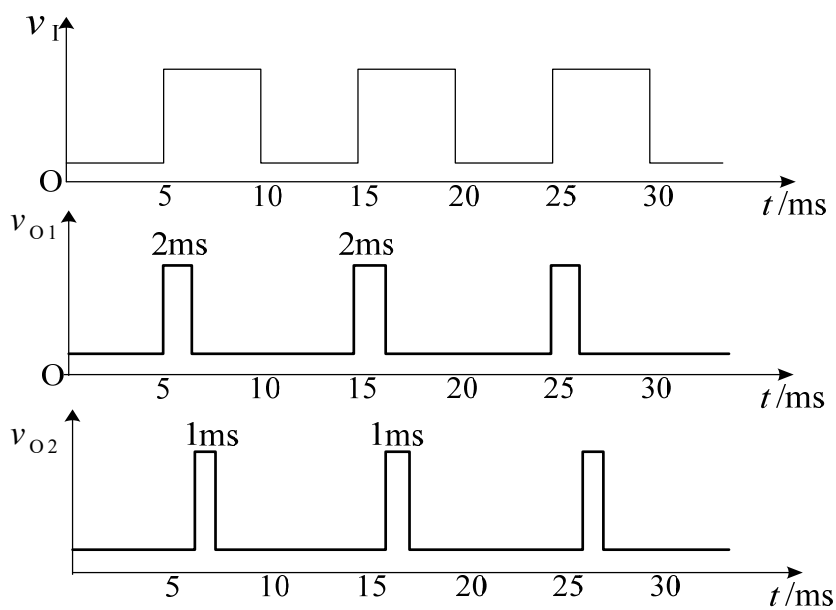
题 9-4 图

解 由  $t_w \approx 0.69RC$

$$t_{w1} = 0.69 \times 22 \times 10^3 \times 0.13 \times 10^{-6} \text{ s} \approx 2\text{ms}$$

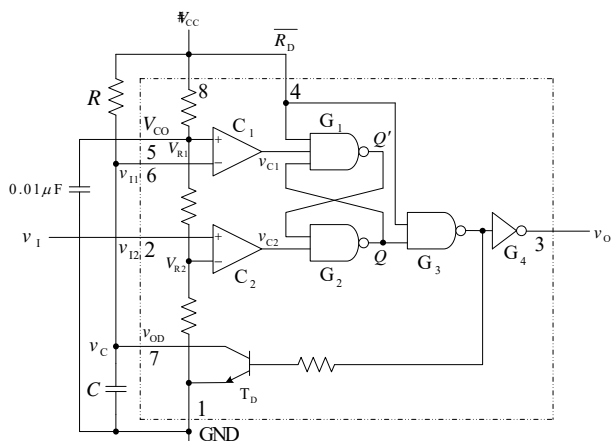
$$t_{w2} = 0.69 \times 11 \times 10^3 \times 0.13 \times 10^{-6} \text{ s} \approx 1\text{ms}$$

$v_{O1}$ 、 $v_{O2}$  的电压波形如图所示。



题 9-4 图 波形图

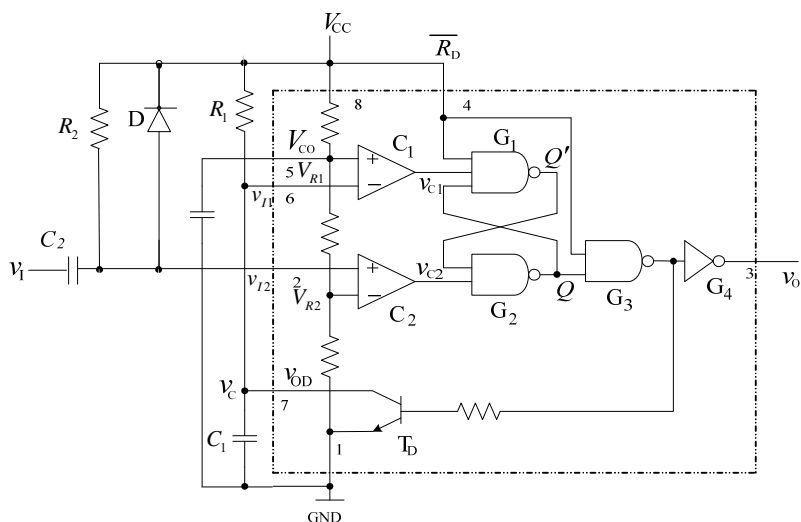
9-5 在使用题 9-5 图所示的单稳态电路时，对输入脉冲的宽度有无限制？当输入脉冲的低电平持续时间过长时，电路应作何修改？



题图 9-5 用 555 定时器构成单稳态触发器

**解** 由于输入脉冲是从 555 的第二脚输入，第二脚以窄负脉冲作为触发脉冲，其负脉冲宽度应小于电容充电电路的时间常数  $RC$ 。

当输入脉冲的低电平持续时间过长时，则应在第二脚输入之前增加一个负脉冲微分电路，使输入脉冲过宽的低电平持续变成负尖脉冲，如图所示。



题 9-5 逻辑电路图

图中  $R_2$ ,  $C_2$  构成微分电路， $D$  为钳位二极管。在  $V_I$  为  $V_{CC}$  时， $C_2$  上无电压， $D$  截止。当  $V_I$  出现负跳变（由  $V_{CC}$  变为 0）时，由于  $C_2$  上电压不能突变，此时 555 的第二脚出现负跳变。当  $RC$  远小于  $t_w$  时， $C_2$  很快充电结束，这时 555 的第二脚加的就是窄脉冲。当  $V_I$  由 0 回到  $V_{CC}$  时，电容  $C_2$  电压仍会瞬间维持  $V_{CC}$ ，这时若无  $D$ ，则第二脚会有  $2V_{CC}$  高压。当有  $D$  后， $D$  导通，使第二脚电压约为  $V_{CC}$ 。

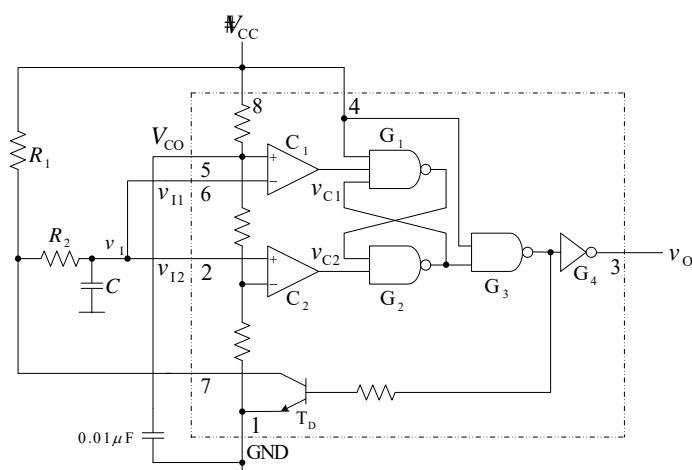
9-6 试用 555 定时器设计一个单稳态触发器，要求输出脉冲宽度在 1~10 秒的范围内可手动调节。给定 555 定时器的电源为 15V。触发信号来自 TTL 电路，高低电平分别为 3.4V 和 0.1V。

解： 暂稳态的持续时间主要取决于外接电阻  $R$  和电容  $C$ 。输出脉冲的宽度  $t_w$  为

$$t_w = RC \ln \frac{V_{CC}}{V_{CC} - \frac{2}{3}V_{CC}} = 1.1RC$$

要求输出脉冲宽度在  $1 \sim 10$  秒的范围内可手动调节，设电容  $C = 100\mu\text{F}$ ，电阻变化从  $R = 9.1\text{k}\Omega$  到  $R = 91\text{k}\Omega$  之间变化，即可使输出脉冲宽度在  $1 \sim 10$  秒的范围内调节。

9-7 在题图 9-7 用 555 定时器组成的多谐振荡器电路中，如果  $R_1 = R_2 = 5.1\text{k}\Omega$ ， $C = 0.01\mu\text{F}$ ， $V_{CC} = 12\text{V}$ ，试计算电路的振荡频率。



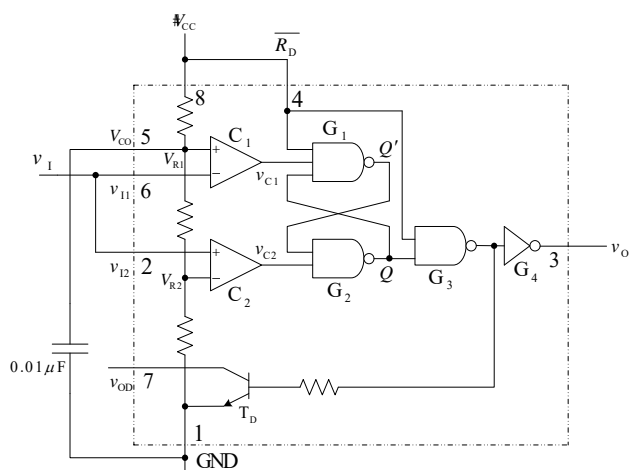
题图 9-7 用 555 定时器构成多谐振荡器

解：  $T = t_{w1} + t_{w2} = 0.7(R_1 + 2R_2)$

$$f = 1/T = \frac{1}{0.7(R_1 + 2R_2)C} = \frac{1}{0.7(5.1 + 2 \times 5.1) \times 0.01 \times 10^{-3}} \approx 9337\text{Hz}$$

9-8 用 555 定时器构成的施密特触发器电路如图所示，试问：

- (1) 当  $V_{CC} = 12\text{V}$ ，且没有外接控制电压时， $V_{T+}$ 、 $V_{T-}$  及  $\Delta V_T$  各为多少伏？
- (2) 当  $V_{CC} = 9\text{V}$ ，控制电压  $V_{CO} = 5\text{V}$  时， $V_{T+}$ 、 $V_{T-}$  及  $\Delta V_T$  各为多少伏？



题 9-8 图 用 555 定时器构成施密特触发器

解：（1）当  $V_{CC} = 12V$  且没有外接控制电压时，

$$\text{则 } V_{T+} = \frac{2}{3}V_{CC} = 8V, \quad V_{T-} = \frac{1}{3}V_{CC} = 4V,$$

$$\Delta V_T = \frac{1}{3}V_{CC} = 4V$$

（2）当  $V_{CC} = 9V$ ，控制电压  $V_{CO} = 5V$  时，

$$\text{则 } V_{T+} = v_{co} = 5V, \quad V_{T-} = 2.5V,$$

$$\Delta V_T = V_{T+} - V_{T-} = 2.5V$$

9-9 试用 555 定时器设计一个多谐振荡器，要求输出脉冲的振荡频率为  $20kHz$ ，占空比为  $75\%$ 。

$$\text{解： 由公式 } q = \frac{t_{w1}}{T} = \frac{R_1 + R_2}{R_1 + 2R_2}, \text{ 已知 } q = 75\%, \text{ 则有 } R_1 = 2R_2$$

$$\text{又由 } T = t_{w1} + t_{w2} = 0.7(R_1 + 2R_2)C$$

$$\text{而 } f = 20kHz, \quad T = 1/(20 \times 10^3)s$$

$$\text{则 } 1/(20 \times 10^3) = 0.7(R_1 + 2R_2)C$$

$$\text{得 } R_2 C = 1.79 \times 10^{-5}s$$

$$\text{若取 } R_2 = 1k\Omega, \quad R_1 = 2k\Omega$$

$$\text{则 } C = 1.79 \times 10^{-8}F \approx 0.018\mu F$$

## 第十章 数模和模数转换器

**10-1** D/A 转换电路  $n=8$ ，基准电压  $V_{\text{REF}}=5\text{V}$ ，其最大输出电压约为多少。

**解：**  $v_o = -\frac{5R_F}{2^{8-1}R} \sum_{i=0}^7 D_i 2^i$ ，当  $D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0 = 11111111$  时，

$$\begin{aligned} v_{o\max} &= -\frac{5R_F}{128R} (2^0 + 2^1 + 2^2 + 2^3 + 2^4 + 2^5 + 2^6 + 2^7) \\ &= -\frac{1275R_F}{128R} \text{V} \end{aligned}$$

**10-2** 简述 A/D 转换的一般步骤。

**解：** A/D 转换一般包括采样，保持，量化，编码等四个部分。采样就是将连续的模拟信号转换成时间上离散幅值上连续的脉冲信号。A/D 转换器将模拟量转换为数字量期间，要求输入的模拟信号有一段稳定的保持时间，以便对模拟信号进行离散处理，即对输入的模拟信号进行采样。采样-保持后的信号幅值仍是连续的，只有将这些幅值转化成某个最小数量单位的整数倍，才能将其转换成相应的数字量，这个过程称为量化。量化后的幅值用一个数值代码与之对应，称为编码，这个数制代码就是 A/D 转换器输出的数字量。

**10-3** 列出 D/A 转换器的主要组成部分。

**解：** D/A 转换电路主要由数码寄存器、模拟电子开关、解码网络、求和电路及基准电压组成。

**10-4** 试比较逐次逼近型、并行比较型和双积分型 A/D 转换器的各自特点。

**解** (1) 逐次逼近型 A/D 转换器属于直接型 A/D 转换器，它能把输入的模拟电压直接转换为输出的数字代码，而不需要经过中间变量。电路结构简单，构思巧妙。但是，逐次逼近型 A/D 转换器的速度受比较器的速度、逻辑开销等因素的限制，分辨率在 14 位至 16 位。

(2) 并行比较型 A/D 转换器转换时间可小到几十纳秒，使用时一般不需要保持电路。虽然具有高速和内部采样的优点，它的主要缺点是电路比较复杂，成本高。

(3) 双积分型 A/D 转换器属于间接型 A/D 转换器，优点是工作性能比较稳定，抗干扰能力强，电路的结构也比较简单。另外，A/D 转换器中的积分器对平均值为零的各种噪声有很强的抑制能力。主要缺点是工作速度较低，其转换速度一般在每秒几十次之内。

**10-5** 试比较权电阻网络、R-2R 电阻网络、权电流型以及集成 D/A 转换电路的各自特点。

**解：** (1) 权电阻网络 D/A 转换器的电路结构简单，但各权电阻的阻值均不相同，难以批量生产。另一方面，权电阻网络 D/A 的精度取决于权电阻精度和基准电源精度。由于

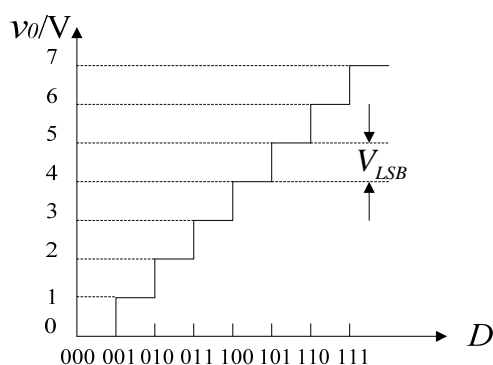
阻值范围太宽，很难保证每个电阻都有很高精度，因此在集成 D/A 转换器中很少单独使用这种电路。

(2) R-2R 型电阻网络是 D/A 转换器中工作速度较快、应用较多的一种。与权电阻网络 D/A 转换器相比，仅有 R 和 2R 两种规格的电阻，从而克服了权电阻阻值多，且阻值差别大的缺点，利于批量生产。另一方面，各支路的电流直接加到运算放大器的输入端，之间不存在传输上的时间差，故该电路具有较高的工作速度。

(3) 权电流型 D/A 转换电路是将恒流源切换到电阻网络中，恒流源内阻极大，相当于开路，所以连同电子开关在内，对它的转换精度影响比较小。又因电子开关大多采用非饱和型 ECL 开关电路，因此，使用这种 D/A 转换电路可以实现高速转换，转换精度较高。

(4) 集成 D/A 转换电路内部已包含了反馈电阻  $R_F$ 。一般都不包含运算放大器，使用时需要外接。

**10-6** 电路如题图 10-6 所示，已知  $R_F = 4R$ ，基准电压  $V_{REF} = 5V$ ，输入数字量由两位二进制加法器提供，画出 D/A 转换器的输出电压  $v_o$  相应的输出波形。



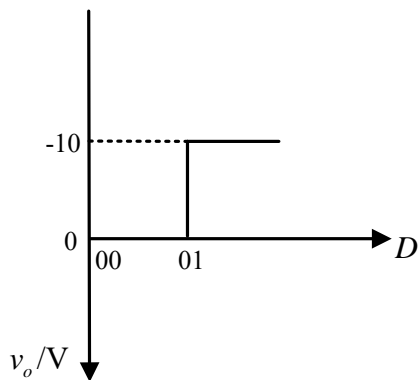
题 10-6 3 位 D/A 转换器的转换特性示意图

解

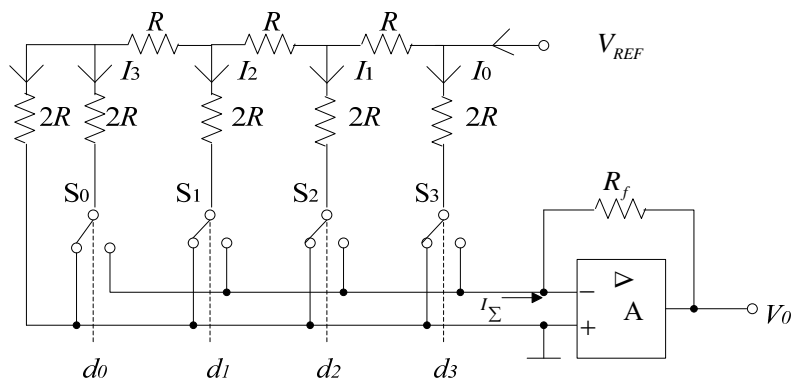
$$v_o = -\frac{5 \times 4}{2^{2-1}} \sum_{i=0}^{2-1} D_i 2^i$$

$$= -10(D_0 + 2D_1)$$

两位二进制加法器从 00~01 共有两种输出状态，即提供的输入数字量共有两组，当  $D_1 D_0 = 00$  时， $v_o = 0V$ 。当  $D_1 D_0 = 01$  时， $v_o = -10V$ 。



**10-7** 电路如题图 10-7 所示, 已知  $V_{REF} = -5V$ ,  $d_3d_2d_1d_0 = 0111$ ,  $R_f = 10K\Omega$ , 其余电阻  $R$  的值均为  $10K\Omega$ 。求输出电压。



题 10-7 图 R-2R 电阻网络的等效电路

解

$$v_o = \frac{5 \times 10}{16 \times 10} (1 \times 0 + 2 \times 1 + 4 \times 1 + 8 \times 1) = 4.375V$$

**10-8** 在并行比较型 ADC 中,  $V_{REF} = 7V$ , 试问电路的最小量化单元  $\Delta$  等于多少? 当  $v_i = 2.4V$  时输出数字量  $D_2D_1D_0$  为多少?

解  $\Delta = \frac{1}{15} V_{REF} = \frac{7}{15} V$

当  $v_i = 2.4V$  时,  $5V_{REF}/15 \leq v_i \leq 7V_{REF}/15$ ,  $D_2D_1D_0 = 011$ 。

**10-9** 已知某 D/A 转换器满刻度输出电压为  $10V$ , 试问要求  $1mV$  的最小分辨电压, 其输入数字量的位数  $n$  至少为多少?

解  $\frac{V_{LSB}}{V_{FSR}} = \frac{1}{2^n - 1} = \frac{1}{10000} \quad n = 14$

**10-10** D/A 转换器的主要技术指标有哪些？

**解** 分辨率： D/A 转换器输出的最小分辨电压与满刻度输出电压的比值。

转换精度：在 D/A 转换器中，一般用转换误差来描述转换精度。

转换时间：D/A 转换器在输入数字信号开始转换到输出的模拟电压达到稳定值所需的时间。

温度系数：在输入不变的情况下，输出模拟电压随温度变化产生的变化量。一般用满刻度输出条件下温度每升高  $1^{\circ}\text{C}$ ，输出电压变化的百分数作为温度系数。