

# 数字电路与逻辑设计学习指导及习题详解

(字数约 30 多万字)

李民权 主编

许耀华、程鸿、李晓辉 参编

# 目 录

第一章 数制与码制 .....	5
一、 知识点解析 .....	5
二、 重点及难点 .....	6
三、 典型题解 .....	6
四、 习题解答 .....	8
第二章 逻辑函数及其化简.....	10
一、 知识点解析 .....	10
二、 重点及难点 .....	14
三、 典型题解 .....	14
四、 习题解答 .....	16
第三章 集成逻辑门电路.....	22
一、 知识点解析 .....	22
二、 重点及难点 .....	25
三、 典型题解 .....	25
四、 习题解答 .....	28
第四章 组合逻辑电路 .....	36
一、 知识点解析 .....	36
二、 重点及难点 .....	40
三、 典型题解 .....	41
四、 习题解答 .....	46
第五章 触发器 .....	65
一、 知识点解析 .....	65
二、 重点及难点 .....	67
三、 典型题解 .....	68
四、 习题解答 .....	71
第六章 时序逻辑电路 .....	85
一、 知识点解析 .....	85
二、 重点及难点 .....	89
三、 典型题解 .....	90
四、 习题解答 .....	99
第七章 半导体存储器 .....	161
一、 知识点解析 .....	161
二、 重点及难点 .....	162
三、 典型题解 .....	163
四、 习题解答 .....	166
第八章 可编程逻辑器件.....	170
一、 知识点解析 .....	170
二、 重点及难点 .....	171
三、 典型题解 .....	172
四、 习题解答 .....	174

第九章 脉冲波形的产生和整形.....	187
一、 知识点解析 .....	187
二、重点及难点 .....	188
三、典型题解 .....	188
四、习题解答 .....	192
第十章 数模和模数转换器.....	198
一、知识点解析 .....	198
二、重点及难点 .....	201
三、典型题解 .....	201
四、习题解答 .....	203
部分高校历年研究生入学试题及答案.....	207
参考文献 .....	215

## 前 言

《数字电路逻辑设计》课程是高等院校理工科一门重要的专业基础课。要学好这门课程，做好每一道习题是一个不可缺少的环节。通过完成习题，可以起到巩固本课程的概念、启发思考、加深理解及融会贯通的作用。事实证明，一本适宜的辅导教材及习题指导书可以使学生更快入门，更好地扎实基础并引导提升学生的分析问题、解决问题的能力。

根据本课程教学实践和课程教学的基本要求，针对学生在数字电路学习中对基本概念、基本方法的深入理解和灵活应用上存在的一些问题，对教材内容进行归纳、总结、提炼和解答。希望通过本书的学习能够帮助学生把握好课程内容的重点，深入理解基本概念并正确掌握解题的基本方法及技巧。

本书共分 9 章，包括数制及码制、逻辑函数及其化简、集成逻辑门电路、组合逻辑电路、触发器、时序逻辑电路、半导体存储器、可编程逻辑器件、脉冲波形的产生和整形、脉冲波形的产生和整形及数模和模数转换器等内容。每章包括四方面内容：1 知识点解析。简要介绍本章的基本概念，基本原理，总结了本章的知识点及学习要点。2 重点难点。指出本章的重点和难点内容，并进行详细分析，加强学生对重点、难点内容的理解。3 典型题解。以典型电路和典型问题来讲解每章的分析方法和相关知识，帮助学生深入了解知识点，使学生能够掌握重点，理解难点，学会解题方法和解题技巧。4 习题解答。对教材的所有习题解答，每个习题都有详细的解题过程和结果，一方面为使用本教材的教师带来教学上的方便，另一方面也满足学生学习的要求。使之能够比较顺利地完成任务。本书的后面给出了部分高校考研试题及解答，对于希望继续深造的学生有一定的帮助。

《数字电路逻辑设计辅导及习题解答》由 主编， ， ， 编写。对于给予指导和帮助的有关专家和参与部分习题解答工作的研究生，在此表示衷心感谢。由于编者水平有限，加之时间仓促，书中难免存在不妥及错误之处，恳切希望读者批评指正。

编者

Xx 年 xx 月

# 第一章 数制与码制

## 一、 知识点解析

### 1、数字信号与数字电路

数字量：在时间上和数量上不连续（离散）的物理量，其数值的变化都是某一最小数量单位的整数倍。二进制的数字量采用 0、1 两种数字表示。

### 2、数制

按进位规则进行计数的方法称为进位计数制，简称数制。数制的三要素是基数、数符和位权。最常用的数制有：十进制、二进制、八进制和十六进制，还有十二进制、二十四进制和六十进制等。任何一个数制的数都可以用多项式表示法来表示。

### 3、数制间转换

(1) 任意进制数与十进制数的转换方法。

(a)任意进制数转换为十进制数，根据多项式表示法按位权值展开，即可得十进制数。

设任意进制（R）数 N 的整数部分位数为 n，小数部分位数为 m，则按照位权展开为

$$\begin{aligned}(N)_R &= (a_{n-1} \mathbf{L} a_1 a_0 . a_{-1} a_{-2} \mathbf{L} a_{-m})_R \\ &= a_{n-1} \times R^{n-1} + \mathbf{L} a_1 \times R^1 + a_0 \times R^0 + a_{-1} \times R^{-1} + \mathbf{L} a_{-m} \times R^{-m} = \sum_{i=-m}^{n-1} a_i \times R^i\end{aligned}$$

(b)十进制数转换为任意进制数：采用基数乘法，即整数采用基数除法，小数采用基数乘法分别转换。然后用小数点合起来便可得任意进制数。

① 将给定的十进制数除以 R，余数作为 R 进制数的最低位。

② 将前一步的商再除以 R，余数作为次低位。

③ 重复步骤（2），记下余数，知道最后商为零或达到一定精度。最后的余数即为 R 进制的最高位。

(2) 二进制数与八进制数的转换方法。

整数由小数点向左每 3 位为一组，最后不足 3 位者补 0；小数则由小数点向右每 3 位为一组，最后不足 3 位者补 0。然后，将每一组 3 位二进制数用相应的八进制数代替即实现转换。

(3) 二进制数与十六进制数的转换方法。

整数由小数点向左每 4 位为一组，最后不足 4 位者补 0。小数则由小数点向右每 4 位一组，最后不足 4 位者补 0。然后将每一组 4 位二进制数用相应的十六进制数代替即实现转换。

#### (4) 八进制数与十六进制数的转换方法。

将八进制数转换成二进制数，然后将整数由小数点向左每 4 位为一组，最后不足 4 位者补 0。小数则由小数点向右每 4 位为一组，最后不足 4 位者补 0。然后将每一组 4 位二进制数用相应的十六进制数代替即实现转换。

#### (5) 转换精度。

将十进制数转换为二进制数或其它任意进制数时，有时会出现无休止的情况，这时应依据转换精度的要求来确定转换位数。因为转换精度由二进制数的小数位数确定，所以应根据转换精度的要求来确定小数的位数。

### 4、码制

#### 1. BCD 码和二进制编码

BCD 码：用二进制数码表示 1 位十进制数(0-9)称为二-十进制编码，简称 BCD 码。常用的 BCD 码包括有权码（8421 BCD、2421 BCD、5431 BCD 等），无权码（余 3 码、余 3 循环码、右移码等）。

二进制编码：用二进制数码表示一个特定对象，例如字符、人名、校名等称为二进制编码。若被编码的特定对象增多，则需增加二进制数码的位数。常用的二进制编码有二进制码、格雷码等。

## 二、重点及难点

1. 数制的基数和位权的概念。二进制数、八进制数、十进制数、十六进制数之间的互换方法。
2. 二-十进制代码(BCD 码)中的各种代码代表十进制数的特点。用 BCD 码表示多位十进制数的方法。
3. 带小数十进制数转化为二进制数时的运算规则。

## 三、典型题解

**例 1-1** 试说明单位间距码的特点。

**解** 单位间距码又称格雷码。它是一种具有某些特殊规律的编码，其特点如下。

(1) 每组码与其相邻一组码之间彼此只有一位不同，通常把两个码组中码元不相同的位数称为码距。单位间距码就是因为任一对相邻的码组之间只有一位不同，因间距为 1 而得名。此特性称“相邻性”（两个码组的码距为 1 时称这两码组相邻）。

在模拟量转换成数字量时由于模拟量是连续变化量，那么转换成数字量的二-十进制代码的各位变动情况，就因代码的不同而有很大约区别。例如，模拟量从 7 变到 8 时，对 8421BCD 码来讲，代码是由 0111 变到 1000，即 4 位同时改变。这种改变由数字电路实现时，由于每位所对应的电路的特性不能做到完全一致，每位从“0”变“1”，或从“1”变“0”的时间不可能是同时（称“同步”）的，这就可能出现很多种过渡状态。如 0111 变到 1000 时，假设第 1 位的“1”变“0”比第 2 位的“1”变到“0”要慢点，这时就会先出现  $1001[9]_{10}$ ，然后再出现  $1000[8]_{10}$  状态。显然这是不可靠的。但是格雷码不会出现这种情况，由 7 变到 8 时，即其代码是由 0100 变到 1100，只有第 4 位一位变化，没有过渡态，所以可靠，出错机会要少很多。

(2) 单位间距码共有 4 位，它实际上共有 16 组码。当  $N=0$  时格雷码为 0000， $N=15$  时则为 1000，即首尾两组码的码距也为 1，是相邻的，因此其相邻性是循环的。每一位代码自上而下的排列都是以固定的周期进行循环的。格雷码又称循环码。它具有码循环和位循环特性。在四位循环码组的第 7 组与第 8 组码之间划一分界线，可以看出表的上半部分与下半部分有对称特点。第三位至第一位均按镜像对称形式排列，第四位则以反码形式排列。这就是反射特性，故又称反射码。

**例 1-2** 将  $(51.49)_{10}$  转换为二进制数，要求转换精度为 1%。

**解** 将十进制数转换为二进制数时，可能会出现有限的二进制数不能完全表示十进制数的情况，即转换存在误差，称为截断误差（剩余误差）。截断误差由二进制数小数的位数决定，因此，应依据精度要求先确定小数的位数。设转化为二进制数小数部分的位数为  $m$ ，即  $m$  应依据精度要求确定。令  $2^{-m} \leq 1\%$ ，则可得： $m \lg 2 \geq \lg 100$ ，求得  $m \geq 6.66$ ，因此取  $m=7$ 。

$$\begin{array}{r}
2 \overline{) 51} \\
2 \overline{) 25} \\
2 \overline{) 12} \\
2 \overline{) 6} \\
2 \overline{) 3} \\
2 \overline{) 1} \\
\hline
0
\end{array}
\begin{array}{r}
1 \\
1 \\
0 \\
0 \\
1 \\
1
\end{array}
\begin{array}{c}
L \\
\vdots \\
\blacktriangledown \\
H
\end{array}$$

$$\begin{array}{ll}
0.49 \times 2 = 0.98 & a_{-1} = 0 \\
0.98 \times 2 = 1.96 & a_{-2} = 1 \\
0.96 \times 2 = 1.92 & a_{-3} = 1 \\
0.92 \times 2 = 1.84 & a_{-4} = 1 \\
0.84 \times 2 = 1.68 & a_{-5} = 1 \\
0.68 \times 2 = 1.36 & a_{-6} = 1 \\
0.36 \times 2 = 0.72 & a_{-7} = 0
\end{array}$$

所以,  $(51.49)_{10} = (110011.0111110)_2$

例 1-3 将下列数进行进制转换  $(3FCA.8)_{16} = ( )_{10} = ( )_8 = ( )_{8421BCD} = ( )_{\text{余3码}}$ 。

解  $(3FCA.1)_{16} = 3 \times 16^3 + 15 \times 16^2 + 12 \times 16^1 + 10 \times 16^0 + 1 \times 16^{-1} = (16330.5)_{10}$

$$(3FCA.1)_{16} = (0011\ 1111\ 1100\ 1010.0101)_2 = (011\ 111\ 111\ 001\ 010.010\ 100)_2 = (37712.24)_8$$

$$(3FCA.1)_{16} = (16330.5)_{10} = (0001\ 0110\ 0011\ 0011\ 0000.0101)_{8421BCD}$$

$$(3FCA.1)_{16} = (0001\ 0110\ 0011\ 0011\ 0000.0101)_{8421BCD}$$

$$= (0100\ 1001\ 0110\ 0110\ 0011.1000)_{\text{余3码}}$$

例 1-4  $[01100011]_{8421BCD} + [001001001001]_{8421BCD}$ 。

解 这是两个二-十进制数码进行相加,但它们不能直接用二进制数的算术运算法则来进行相加。用手写实现运算结果的方法是,先将两数转换成十进制数,然后相加得出十进制数的结果(“和”),再将此结果(“和”)转换成 8421BCD 码。

$$[01100011]_{8421BCD} + [001001001001]_{8421BCD}$$

$$= [63]_{10} + [249]_{10} = [312]_{10}$$

$$= [001100010010]_{8421BCD}$$

## 四、习题解答

1-1 将下列二进制数转换成十进制数。

- (1) 101101 (2) 11011101 (3) 0.11 (4) 1010101.0011

解: (1) 45 (2) 221 (3) 0.75 (4) 85.1875

1-2 将下列十进制数转换成二进制数(小数部分取四位有效数字)。

- (1) 37 (2) 0.75 (3) 12.34 (4) 19.65

解: (1) 100101 (2) 0.11 (3) 1100.0101 (4) 10011.1010

1-3 将下列二进制数转换成十六进制数。



(1) 0011 (2) 10101111 (3) 1001.0101 (4) 101010.001101

解: (1) 3 (2) AF (3) 9.5 (4) 2A.34

1-4 将下列十六进制数转换成二进制数。

(1) 2A (2) 123 (3) 7F.FF (4) 432.B7

解: (1) 101010 (2) 100100011 (3) 11111111.11111111 (4) 10000110010.10110111

1-5 将下列十进制数转换成十六进制数 (小数部分取一位有效数字)。

(1) 43 (2) 36.8 (3) 6.73 (4) 174.5

解: (1) 2B (2) 24.C (3) 6.B (4) AE.8

1-6 将下列十六进制数转换成十进制数。

(1) 56 (2) 4F.12 (3) 2B.C1 (4) AB.CD

解: (1) 86 (2) 79.0703125 (3) 43.75390625 (4) 171.80078125

1-7 完成下列各数的转换。

(1)  $(24.36)_{10} = (00100100.00110110)_{8421BCD}$

(2)  $(64.27)_{10} = (10010111.01011010)_{\text{余3BCD}}$

(4)  $(10100011.1010)_{2421BCD} = (43.4)_{10}$

1-8 写出下列带符号位二进制数所表示的十进制数。

(1) 0101 (2) 1011 (3) 10101 (4) 11100

解: (1) +5 (2) -3 (3) -5 (4) -12

1-9 试写出下列十进制数的二进制原码、反码和补码 (码长为 8)。

(1) +37 (2) -102 (3) +10.5 (4) -38

解: (1) [+37]原=00100101, [+37]反=00100101, [+37]补=00100101

(2) [-102]原=11100110, [-102]反=10011001, [-102]补=10011010

(3) [+10.5]原=0001010.1, [+10.5]反=0001010.1, [+10.5]补=0001010.1

(4) [-38]原=10100110, [-38]反=11011001, [-38]补=11011010

## 第二章 逻辑函数及其化简

### 一、知识点解析

#### 1. 三种基本逻辑关系及其表示方法

(a) 逻辑与 (g), 表达式  $F = A \cdot B = AB$ , 逻辑符号



$$0 \cdot 0 = 0 \quad 0 \cdot 1 = 0 \quad 1 \cdot 0 = 0 \quad 1 \cdot 1 = 1$$

$$0 \cdot A = 0 \quad 1 \cdot A = A \quad A \cdot 1 = A \quad A \cdot A = A$$

(b) 逻辑或 (+), 表达式  $F = A + B$ , 逻辑符号



$$0 + 0 = 0 \quad 0 + 1 = 1 \quad 1 + 0 = 1 \quad 1 + 1 = 1$$

$$A + 0 = A \quad 1 + A = 1 \quad A + 1 = 1 \quad A + A = A$$

(c) 逻辑非 (-), 表达式  $F = \overline{A}$ , 逻辑符号



$$\overline{0} = 1 \quad \overline{1} = 0$$

#### 2. 复合逻辑运算及其规则

(a) 与非逻辑, 表达式  $F = \overline{A \cdot B}$

(b) 或非逻辑, 表达式  $F = \overline{A + B}$

(c) 与或非逻辑, 表达式  $F = \overline{A \cdot B + C \cdot D}$

(d) 异或逻辑 ( $\oplus$ ), 表达式为  $F = A \oplus B = A \cdot \overline{B} + \overline{A} \cdot B$

$$0 \oplus 0 = 0 \quad 0 \oplus 1 = 1 \quad 1 \oplus 0 = 1 \quad 1 \oplus 1 = 0$$

$$A \oplus 1 = \overline{A} \quad A \oplus 0 = A \quad A \oplus \overline{A} = 1 \quad A \oplus A = 0$$

(e) 同或逻辑 ( $\odot$ ), 表达式为  $F = A \odot B = \overline{A} \cdot \overline{B} + A \cdot B$

$$0 \odot 0 = 1 \quad 0 \odot 1 = 0 \quad 1 \odot 0 = 0 \quad 1 \odot 1 = 1$$

$$A \odot 0 = \overline{A} \quad A \odot 1 = A \quad A \odot \overline{A} = 0 \quad A \odot A = 1$$

$$A \odot B = \overline{A \oplus B} \quad A \oplus B = \overline{A \odot B}$$

#### 3. 逻辑代数基本运算公式、基本定律及基本规则

(1) 变量和常量的运算公式

$$A + 0 = A \quad A \cdot 1 = A$$

$$A + 1 = 1 \quad A \cdot 0 = 0$$

$$A + \overline{A} = 1 \quad A \cdot \overline{A} = 0$$

$$A \odot 0 = \overline{A} \quad A \oplus 1 = \overline{A}$$

$$A \bullet 1 = A$$

$$A \oplus 0 = A$$

$$A \bullet \bar{A} = 0$$

$$A \oplus \bar{A} = 1$$

(2) 基本定律

(a) 交换律

$$A + B = B + A$$

$$A \cdot B = B \cdot A$$

$$A \bullet B = B \bullet A$$

$$A \oplus B = B \oplus A$$

(b) 结合律

$$A + B + C = (A + B) + C$$

$$ABC = (AB)C$$

$$A \bullet B \bullet C = (A \bullet B) \bullet C$$

$$A \oplus B \oplus C = (A \oplus B) \oplus C$$

(c) 分配律

$$A(B + C) = AB + AC$$

$$A + BC = (A + B)(A + C)$$

$$A(B \oplus C) = AB \oplus AC$$

$$A + (B \bullet C) = (A + B) \bullet (A + C)$$

(d) 重叠律

$$A + A = A$$

$$A \cdot A = A$$

$$A \bullet A = A$$

$$A \oplus A = 0$$

(e) 反演律

$$\overline{A + B} = \bar{A} \cdot \bar{B}$$

$$\overline{AB} = \bar{A} + \bar{B}$$

$$\overline{A \bullet B} = A \oplus B$$

$$\overline{A \oplus B} = A \bullet B$$

(3) 基本定律

(a) 代入规则

任何一个含有变量 A 的逻辑函数式中，如果将函数式中所有出现 A 的位置，都代之以一个逻辑函数或变量，则等式仍然成立，这个规则称为代入规则。代入规则扩大了等式的应用

范围。必须注意,在使用代入规则时,一定要把所有出现被代替变量的地方都代之以同一函数或同一变量,否则不正确。

#### (b) 反演规则

设  $F$  是一个逻辑函数表达式,如果将  $F$  中所有的“ $\cdot$ ”变为“ $+$ ”,“ $+$ ”变为“ $\cdot$ ”,“ $1$ ”变为“ $0$ ”,“ $0$ ”变为“ $1$ ”,原变量变为反变量,反变量变为原变量,运算顺序保持不变,这样得到的新函数式称为原函数  $F$  的反函数  $\overline{F}$ 。这就是反演规则。利用反演规则可以很方便地求得一个逻辑函数的反函数。

#### (c) 对偶规则

设  $F$  是一个逻辑函数表达式,如果将  $F$  中所有的“ $\cdot$ ”变为“ $+$ ”,“ $+$ ”变为“ $\cdot$ ”,“ $1$ ”变为“ $0$ ”,“ $0$ ”变为“ $1$ ”,则可得到一个新的函数表达式  $F^*$ ,  $F^*$  称为  $F$  的对偶式。

如果  $F^*$  是  $F$  的对偶式,那么  $F$  也是  $F^*$  的对偶式,即函数是互为对偶的。若有两个函数相等,即  $F_1 = F_2$ , 则它们的对偶式也相等:  $F_1^* = F_2^*$ 。

### 4. 逻辑函数的标准表达式

#### (1) 标准与或式

在逻辑函数的与或表达式中,函数的展开式中的每一项都是由函数的全部变量组成的与项。逻辑函数的全部变量以原变量或反变量的形式出现,且仅出现一次,所组成的与项称为逻辑函数的最小项。全部由最小项之和组成的与或式,称为标准与或式,又称标准积之和式或最小项表达式。

#### (2) 标准或与式

由逻辑函数的全部变量以原变量或反变量的形式出现,且仅出现一次所组成的或项称为函数的最大项。全部由最大项之积组成的函数式称为标准或与式,又称标准和之积式,或称最大项表达式。

### 5. 逻辑函数的化简

逻辑函数可以用逻辑电路实现,所以逻辑函数表达式越简单则实现它的逻辑电路也就越简单。逻辑函数的化简就是将一个复杂的函数通过等值变换求出最简表达式。最简逻辑函数表达式的标准如下:

(a) 若逻辑函数为与或式,则要求与项最少;逻辑函数为或与式,则要求或项最少。

(b) 在满足条件(a)的基础上,要求每个与项(或项)所含变量数最少。

(1) 公式化简法（代数法）。

(a) 合并项法 利用公式  $AB + \overline{A}B = B$  将两项合并成一项，消去一个变量。

(b) 吸收法 利用公式  $A + AB = A$ ,  $AB + \overline{A}C + BC = AB + \overline{A}C$ ，消去多余项。

(c) 消去法 利用公式  $A + \overline{A}B = A + B$ ，消去多余因子。

(d) 配项法 常用将某项乘以  $(A + \overline{A})$ ，或利用  $AB + \overline{A}C + BC = AB + \overline{A}C$  增加 BC 项，再与其它项合并，以消去更多的与项。

(2) 卡诺图化简法

① 卡诺图结构及表示法：卡诺图中变量的排列应符合循环码规则。每一个最小项用一个方格表示。对于 n 变量卡诺图，任何一个最小项都有 n 个相邻最小项。在寻找相邻最小项时，除了几何位置相邻者之外，必须注意同纵、横轴对称的最小项也是相邻最小项。可采用逻辑函数标准型法及观察法填卡诺图。其中，观察法的灵活运用可以使填图过程简便。

② 卡诺图的化简方法

(a)  $2^n$  个相邻项包括在一个卡诺圈中，合并后可以消去 n 个相同的变量。在逻辑函数 F 的卡诺图上对 1 画合并圈，可得 F 的最简与或式，每一个合并圈就是一个与项。与项的构成方法是：若变量为 0，则取其反变量；若变量为 1，则取其原变量。所有与项之或便构成最简与或式。

(b) 在逻辑函数 F 的卡诺图上对 0 画合并圈，可得 F 的最简或与式，每一个合并圈就是一个或项。或项的构成方法是：若变量为 0，则取其原变量；若变量为 1，则取其反变量。所有或项之与便构成最简或与式。

(c) 在逻辑函数 F 的卡诺图上对 0 画合并圈，可得  $\overline{F}$  的最简与或式，由此便可得到 F 的与或非表达式。

(d) 化简准则：在覆盖全部 1(或 0)的条件下，合并圈最少，每个合并圈最大。在含有任意项“×”的卡诺图中，则应充分利用任意项“×”的随意态特性，若任意项对化简有帮助，则认为其值为 1，否则为 0，这样使得化简结果最佳。

## 二、重点及难点

重点

1. 基本逻辑关系、复合逻辑关系的表达式、真值表、逻辑符号和运算法则。
2. 逻辑代数的基本公式、定律及规则。
3. 将非标准逻辑函数转变成标准与或表达式的方法。
4. 卡诺图化简逻辑函数的方法。
5. 逻辑函数的四种表示方法(真值表、逻辑表达式、卡诺图及逻辑符号)及其互相转换。

难点

1. 逻辑函数公式化简法。
2. 具有约束项的逻辑函数化简。

## 三、典型题解

例 2-1 判断下列命题是否正确？

- (1) 若  $A + B = A + C$ , 则  $B = C$ ;
- (2) 若  $A + B = AB$ , 则  $A = B$ ;
- (3) 若  $AB = AC$ , 则  $B = C$ ;
- (4) 若  $1 + A = B$ , 则  $1 + A + AB = B$ 。

解 (1) 此命题错误, 因为当  $A=1$ ,  $B \neq C$  时, 等式依然成立。

(2) 此命题正确, 因为当  $A=0$  时  $B=0$ ; 当  $A=1$  时,  $B=1$ , 所以  $A=B$ 。

(3) 此命题错误, 因为在  $A=0$  时,  $B \neq C$ , 等式也成立。

(4) 此命题正确, 因为当  $A=0$  时,  $B=1$ , 等式成立; 在  $A=1$  时,  $B=1$ , 等式也成立,

所以此命题正确。

例 2-2 求函数  $F = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}C + AB\overline{C}$  的反函数和对偶函数。

解 反函数  $\overline{F} = (A + B + \overline{C})(A + \overline{B} + C)(\overline{A} + B + \overline{C})(\overline{A} + \overline{B} + C)$

对偶函数  $F^* = (\overline{A} + \overline{B} + C)(\overline{A} + B + \overline{C})(A + \overline{B} + C)(A + B + \overline{C})$

也可以将函数  $F$  用最小项表示为:  $F = \sum m(1, 2, 5, 6)$

则反函数为:  $\overline{F} = \sum m(0, 3, 4, 7)$

对偶函数为：  $F^* = \sum m(0,3,4,7)$

在求由最小项表示的函数的反函数时，函数  $F$  中包含的最小项将不会在反函数  $\overline{F}$  中出现。函数  $F$  中没有出现的最小项将在其反函数  $\overline{F}$  中出现。在求对偶函数时，对偶函数中的最小项个数等于反函数的最小项个数。对于 3 变量的函数，反函数的最小项  $m_i$  与对偶函数的最小项  $m_j$ ，其下标  $i+j=7$ 。对于 4 变量函数， $i+j=15$ 。

例 2-3 用公式证明下列等式。

$$(1) \overline{A}\overline{B} + BD + \overline{A}D + CD = \overline{A}\overline{B} + D$$

$$(2) \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{A}C = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{A}\overline{C}$$

证明 (1)  $\overline{A}\overline{B} + BD + \overline{A}D + CD = \overline{A}\overline{B} + BD + \underline{\underline{AD}} + \overline{A}D + CD$   
 $= \overline{A}\overline{B} + BD + \underline{\underline{AD}} + \overline{A}D + CD = \overline{A}\overline{B} + D(B + A + \overline{A} + C) = \overline{A}\overline{B} + D$

$$(2) \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{A}C = \overline{A}\overline{B} + \overline{B}\overline{C} + \underline{\underline{AC}} + \overline{A}\overline{C} + \overline{B}C + \overline{A}C$$

$$= \overline{A}\overline{B} + \overline{B}\overline{C} + \underline{\underline{AC}} + \overline{A}\overline{C} + \overline{B}C + \overline{A}C = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{A}\overline{C}$$

例 2-4 用代数法化简函数  $F = \overline{A}\overline{B}(C+D) + \overline{B}\overline{C} + \overline{A}\overline{B} + \overline{A}C + BC + \overline{BCD}$

解  $F = \overline{A}\overline{B}(C+D) + \overline{B}\overline{C} + \overline{A}\overline{B} + \overline{A}C + BC + \overline{BCD}$

$$= \overline{A}\overline{B}(C+D) + \overline{B}\overline{C} + BC + \overline{A}\overline{B} + \overline{A}C + \overline{BCD}$$

$$= \overline{A}\overline{B}(C+D) + B + \overline{A}\overline{B} + \overline{A}C + \overline{BCD}$$

$$= A(C+D) + B + \overline{A} + \overline{A}C + \overline{CD}$$

$$= A(\overline{\overline{C+D}}) + B + \overline{A} + \overline{CD}$$

$$= A(\overline{\overline{CD}}) + B + \overline{A} + \overline{CD} = A + B + \overline{A} + \overline{CD} = 1$$

例 2-5 用卡诺图将具有约束条件  $AB + \overline{A}\overline{D} = 0$  的逻辑函数  $F = \sum_m(0,2,3,4,6,7,9)$  分别化简为最简与或式及最简或与式。

解 对于约束条件  $AB + \overline{A}\overline{D} = 0$ ，将其化成最小项表达式，则有：

$$AB(C+\overline{C})(D+\overline{D}) + \overline{A}\overline{D}(B+\overline{B})(C+\overline{C}) = 0$$

即：  $\overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}BC\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}CD = \sum m(8,10,12,13,14,15) = 0$

所以，这些恒为 0 的最小项作任意项处理，加入函数之中不会改变其值。于是，本题函数的

最小项表达式为：  $F = \sum_m(0,2,3,4,6,7,9) + \sum d(8,10,12,13,14,15)$

卡诺图及卡诺圈如图 2-1 所示：

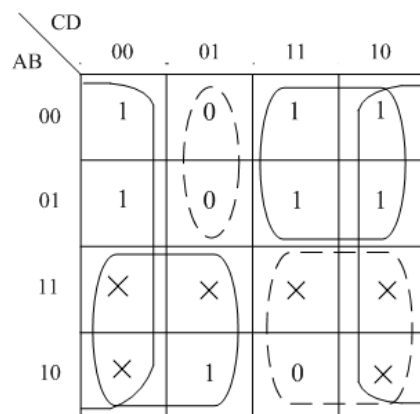


图 2-1 化简卡诺图

圈 1 得最简与或式为  $F = \overline{D} + \overline{A}C + A\overline{C}$

圈 0 得最简或与式为  $F = (\overline{A} + \overline{C})(A + C + \overline{D})$

## 四、习题解答

2-1 什么叫与、或、非逻辑？试列举几种相关的实例，并列写出 3 种逻辑运算的表达式。

答 （1）只有当决定某一事件的条件全部具备时，这一事件才会发生。这种因果关系称为与逻辑关系。当任一条件具备时结果就会发生，这种因果关系为或逻辑关系。当条件不具备时，事件发生，这种因果关系成为非逻辑关系。

（2）两个开关和灯泡三者串联，它们都闭合，灯亮的结果才会出现。两个开关是与的关系。两个开关并联后再和灯泡串联，两个开关只要有一个闭合，灯亮的结果就会发生。两个开关是或的关系。开关和灯泡并联，开关不闭合灯亮，开关闭合灯亮的结果就不会发生。灯亮和开关闭合是非的关系。

（3）与逻辑表达式：  $F = A \overline{B}$ ；

或逻辑表达式：  $F = A + B$ ；

非逻辑表达式：  $F = \overline{A}$ ；

2-2 根据真值表判断异或和同或的逻辑关系是什么？

答 表 2-1、2-2 是异或和同或运算的真值表：

表 2-1 异或逻辑真值表



A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

表 2-2 同或逻辑真值表

A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

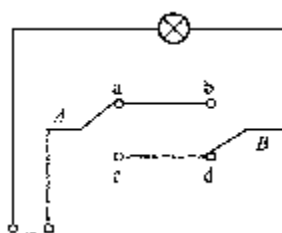
可以看出：一个值为 0 和另外一个值为 1 的两个量进行异或运算，输出才为 1。而同或运算相反，两个值同为 0 或者同时为 1 进行同或运算，输出才为 1。

### 2-3 逻辑函数有哪些表示方法？

答 逻辑函数表示方法有：（1）逻辑函数表达式（2）逻辑真值表（3）逻辑符号图（4）波形图（5）卡诺图等。

### 2-4 列出下述问题的真值表，并写出逻辑表达式：

(1) 题 2-4 图所示为楼道里“单刀双掷”开关控制楼道灯的示意图。A 点表示楼上开关，B 表示楼下开关，两个开关的上接点分别为 a 和 b；下接点分别为 c 和 d。在楼下时，可以按动开关 B 开灯，照亮楼梯；到楼上后，可以按动开关 A 关掉灯。试写出灯的亮灭与开关 A、B 的真值表和逻辑表达式。



题 2-2 图

解： 假设两个开关拨至 a, b 为 1，拨至 c, d 为 0。变量 F 代表灯的工作状态，灯亮为 1，灯灭为 0，真值表如表 2-3 所示。

表 2-3 习题 2-4（1）真值表

A	B	F
0	0	1
0	1	0
1	0	0

1	1	1
$F = \overline{A} \bullet \overline{B} + A \bullet B = A \oplus B$		

(2) 有三个温度探测器，当探测的温度超过 60°C 时，输出控制信号 1；如果探测的温度低于 60°C 时，输出控制信号为 0，当有两个或者两个以上的温度探测器输出 1 信号时，总控制器输出 1 信号，自动控制调控设备，使温度降低到 60°C 以下。假设有 3 个温度探测器，试写出总控制器的真值表和逻辑表达式。

**解：**假设三个温度探测器分别是 A、B、C，F 代表总控制器的工作状态。则可以列出真值表如表 2-4 所示。

表 2-4 习题 2-4 (2) 真值表

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$$F = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

2-5 用公式法和真值表两种方法证明下列各等式：

(1)  $(A + \overline{B})(\overline{A} + \overline{B} + \overline{C}) = A\overline{C} + \overline{B}$

**证明：**

公式法

$$\begin{aligned} \text{左边} &= A\overline{A} + A\overline{B} + A\overline{C} + \overline{B}\overline{A} + \overline{B}\overline{B} + \overline{B}\overline{C} = 0 + A\overline{B} + A\overline{C} + (\overline{B}\overline{A} + \overline{B} + \overline{B}\overline{C}) \\ &= A\overline{B} + A\overline{C} + \overline{B} = A\overline{C} + \overline{B} = \text{右边} \end{aligned}$$

真值表

表 2-5 习题 2-5 (1) 真值表

A	B	C	左边 $(A + \overline{B})(\overline{A} + \overline{B} + \overline{C})$	右边 $A\overline{C} + \overline{B}$
0	0	0	1	1
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1

1	1	0	1	1
1	1	1	0	0

$$(2) \overline{AC} + \overline{AB} + \overline{ACD} + BC = \overline{A} + BC$$

证明:

公式法

$$\begin{aligned} \text{左边} &= (\overline{AC} + \overline{AB}) + \overline{ACD} + BC = \overline{ABC} + BC + \overline{ACD} \\ &= \overline{A} + BC + \overline{ACD} = \overline{A} + BC = \text{右边} \end{aligned}$$

真值表

表 2-6 习题 2-5 (2) 真值表

A	B	C	左边	右边
			$\overline{AC} + \overline{AB} + \overline{ACD} + BC$	$\overline{A} + BC$
0	0	0	1	1
0	0	1	1	1
0	1	0	1	1
0	1	1	1	1
1	0	0	0	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

2-6 写出下列各式 F 和它们的对偶式、反演式的最小项表达式:

$$(1) F = ABCD + ACD + B\overline{D};$$

解

$$F = ABCD + ACD + B\overline{D} = \sum m(4, 6, 11, 12, 14, 15)$$

$$\overline{F} = (\overline{A} + \overline{B} + \overline{C} + \overline{D})(\overline{A} + \overline{C} + \overline{D})(\overline{B} + D) = \sum m(0, 1, 2, 3, 5, 7, 8, 9, 10, 13)$$

$$F^* = (A + B + C + D)(A + C + D)(B + \overline{D}) = \sum m(2, 5, 6, 7, 8, 10, 12, 13, 14, 15);$$

$$(2) F = \overline{A}\overline{B} + CD;$$

解:

$$F = \overline{A}\overline{B} + CD = \sum m(0, 1, 2, 3, 7, 11, 15)$$

$$\overline{F} = \sum m(4, 5, 6, 8, 9, 10, 12, 13, 14)$$

$$F^* = \sum m(1, 2, 3, 5, 6, 7, 9, 10, 11);$$

$$(3) F = A + \overline{BC} + D。$$

解:

$$F = A + \overline{B\overline{C}} + D = A + \overline{B}\overline{D} + C\overline{D} = \sum m(0, 2, 6, 8, 9, 10, 11, 12, 13, 14, 15)$$

$$\overline{F} = \sum m(1, 3, 4, 5, 7)$$

$$F^* = \sum m(8, 10, 11, 12, 14);$$

2-7 用公式法化简下列各式:

$$(1) F = A(A + \overline{B}) + BC(\overline{A} + B) + \overline{B}(A \oplus C);$$

解:

$$\begin{aligned} F &= A(A + \overline{B}) + BC(\overline{A} + B) + \overline{B}(A \oplus C) \\ &= A + \overline{A}BC + BC + \overline{A}\overline{B} \oplus \overline{B}C \\ &= A + BC + \overline{B}C = A + C \end{aligned}$$

$$(2) F = \overline{(A+B)(A+C)} + \overline{A+B+C};$$

解:

$$\begin{aligned} F &= \overline{(A+B)(A+C)} + \overline{A+B+C} \\ &= \overline{AB} + \overline{AC} + \overline{ABC} = \overline{A}(\overline{B+C} + \overline{BC}) \\ &= \overline{A}(\overline{B+C}) = \overline{ABC} \end{aligned}$$

$$(3) F = AB + \overline{A}\overline{C} + B\overline{C}。$$

$$\text{解: } F = AB + \overline{A}\overline{C} + B\overline{C} = AB + \overline{A}\overline{C}$$

2-8 用卡诺图法化简下列各函数:

$$(1) F = (\overline{A} + \overline{B})(AB + C);$$

$$\begin{aligned} \text{解: } F &= (\overline{A} + \overline{B})(AB + C) = \overline{A}AB + \overline{B}AB + \overline{A}C + \overline{B}C = \overline{A}\overline{B}C + \overline{A}BC + \overline{A}\overline{B}C \\ &= \sum m(1, 3, 5) \end{aligned}$$

		AB			
C		00	01	11	10
	0	0	0	0	0
	1	1	1	0	1

$$(2) F(A, B, C) = \sum m(0, 1, 4, 5, 7);$$

解:

		AB			
		00	01	11	10
C	0	1			1
	1	1		1	1

$$F = \overline{B} + AC$$

(3)  $F = \overline{A}\overline{B}C + \overline{A}\overline{C}D + A\overline{C}$ ;

解:

		AB			
		00	01	11	10
CD	00			1	1
	01	1	1	1	1
	11				1
	10				1

$$F = A\overline{B} + \overline{C}D + A\overline{C}$$

(4)  $F = BC + D + \overline{D}(\overline{B} + \overline{C})(AD + B)$ ;

解:

$$\begin{aligned}
 F &= BC + D + \overline{D}(\overline{B} + \overline{C})(AD + B) \\
 &= BC + D + (\overline{D}\overline{B} + \overline{D}\overline{C})(AD + B) \\
 &= BC + D + \overline{D}\overline{C}(AD + B) \\
 &= BC + D + \overline{D}\overline{C}B
 \end{aligned}$$

		AB			
		00	01	11	10
CD	00		1	1	
	01	1	1	1	1
	11	1	1	1	1
	10		1	1	

$$F = B + D$$

(5)  $F(A, B, C, D) = \sum m(4, 5, 6, 8, 9, 10, 13, 14, 15)$ ;

解:

		AB			
		00	01	11	10
CD	00		1		1
	01	1	1		1
	11			1	0
	10	1	1	1	

$$F(A, B, C, D) = \overline{A}B\overline{C} + ABD + BC\overline{D} + \overline{A}B\overline{C} + AC\overline{D}$$

$$(6) F(A, B, C, D) = \sum m(0, 2, 7, 13, 15) + \sum d(1, 3, 4, 5, 6, 8, 10)。$$

解：

		AB			
		00	01	11	10
CD	00	1	X		X
	01	X	X	1	
	11	X	1	1	
	10	1	X		X

$$F(A, B, C, D) = \overline{B}\overline{D} + BD$$

## 第三章 集成逻辑门电路

### 一、知识点解析

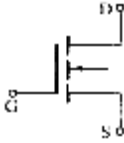

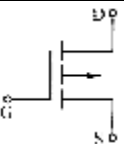
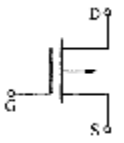
#### 1. MOS 逻辑门

##### (1). MOS 管

金属-氧化物-半导体场效应晶体管 (Metal-Oxide-Semiconductor Field-Effect Transistor) 简称 MOS 晶体管，具有源极 S、漏极 D 和栅极 G 及一个衬底极。它采用栅极电

压控制漏极电流，是 CMOS 集成电路的基本元件。不同类型 MOS 管的导通条件及符号如表 3-1 所示。

表 3-1 MOS 管导通条件及符号

名称	阈值电压	导通条件	符号
N 沟道增强型	开启电压 $V_{GS(th)} > 0$	$v_{GS} > V_{GS(th)}$	
N 沟道耗尽型	夹断电压 $V_{GS(off)} < 0$	$v_{GS} > V_{GS(off)}$	
P 沟道增强型	开启电压 $V_{GS(th)} < 0$	$v_{GS} < V_{GS(th)}$	
P 沟道耗尽型	夹断电压 $V_{GS(off)} > 0$	$v_{GS} > V_{GS(off)}$	

### (2). CMOS 门的输入和输出结构

CMOS 反相器一般输入采用 N 沟道 MOS 管，负载采用 P 沟道 MOS 管。CMOS 门的输入管是绝缘栅场效应管，其输入电流近似等于零。因此，在输入端接电阻基本不会导致输入端的逻辑电平改变。若电阻接低（高）电平，则输入端就是低(高)电平。但是由于输入阻抗很高，多余输入端不能悬空，故应按照逻辑功能的需要必须将其接至电源或地线。否则，栅极容易产生很高的感应电压，使绝缘栅层击穿而造成器件损坏。或者由于输入端悬空而拾取干扰信号造成电路工作不稳定。

## 2. TTL 门的输入和输出结构

### (1). TTL 门的输入结构

TTL 与非门电路的输入是多发射极晶体管。若输入端接高、低电平、悬空、外接电阻或同前级门电路的输出连接，则输入端等效电路皆会不同。因此需要先画出不同输入条件下的等效电路，然后进一步分析逻辑关系或者估算出某些技术参数。

### (2). TTL 门的输出结构

TTL 与非门输出有 3 种结构, 即推拉式输出结构、集电极开路输出结构(OC)和三态输出结构(TSL)。由于结构上各具特色, 使用时也就有不同的要求。

(a) 普通 TTL 与非门都是采用推拉式输出结构, 故输出端不可并联使用以获得线与功能, 也不能构成总线(母线)结构以实现多路信号的接收或传送。

(b) OC 门的输出端是开路的, 故使用时必须外接负载电阻  $R$  ( $1\sim 2.5\text{k}\Omega$ ) 到电源。OC 门可以构成线与功能和总线结构, 也可以构成电平转移等接口电路。

(c) TSL 门输出具有 0、1 和高阻抗 3 种逻辑状态, 可以构成线与功能和总线结构, 但必须注意在同一时间内, 只能其中一个选通信号有效。

TSL 门不需要外接负载电阻  $R$  到电源, 工作速度和带负载能力均比 OC 门优越。因此, 在大、中规模集成电路及计算机的总线结构中应用广泛。

### 3. 门电路的性能指标

门电路的主要性能指标有: 高、低电平标称值及允许范围、平均传输延时  $t_{pd}$  (工作速度), 电源功耗、负载能力、抗干扰能力(噪声容限)等。对于 TTL 门电路, 还有开门电平  $V_{ON}$ 、开门电阻  $R_{ON}$ 、关门电平  $V_{OFF}$ 、关门电阻  $R_{OFF}$ 、输入短路电流  $I_{IL}$  及输入漏电流  $I_{IH}$  等。

为了掌握这些性能指标的内在含义, 必须了解电压传输特性、门电路的输入和输出结构。

### 4. 集成逻辑门的特点与应用

集成逻辑门种类繁多, 有些类型的集成逻辑门还可分为多个系列。例如 CMOS 门、TTL 门。TTL 门具有速度较高、中等功耗、逻辑摆幅大及抗干扰能力强等特点。其产品系列齐全, 有中速、高速、超高速和低功耗等系列产品。是研发、生产中广泛使用的一类集成逻辑门。CMOS 门速度较 TTL 门低, 但具有功耗低、抗干扰能力及带负载能力强、电源利用系数高等特点。随着集成技术的提高, 有些系列产品已接近了 TTL 门的速度。所以, 它是应用前景较广阔的一类集成逻辑门。

ECL 门工作速度最高且噪声最低, 但是其功耗最大且逻辑摆幅小, 抗干扰能力弱。只有在某些高速系统(例如大型计算机和实时数据处理系统)中应用。

另外, Bi CMOS 门是将 TTL 门和 CMOS 门混合使用, 逻辑部分采用 CMOS 器件, 而输出部分采用 TTL 器件。因而兼有速度快和功耗低的优点, 其性能介于这两类门之间。



## 二、重点及难点

### 重点

1. MOS 反相器的两种电路结构(E / E, E / D)及组成基本逻辑门的方法、工作原理。
2. CMOS 反相器的电路结构、工作原理分析、输入特性及带灌电流及拉电流负载的能力, 静态功耗, 动态功耗。
3. CMOS 与非门、或非门、三态门及传输门的结构, 逻辑关系, 输入、输出电压。
4. 晶体二极管、晶体三极管开关状态的判别方法及典型电压值。
5. CT54 / 74 系列 TTL 与非门电路的典型结构。
6. TTL 与非门的电压传输特性。
7. TTL 与非门的输入特性, 输入端经电阻接地时对门电路输出状态的影响, 典型的输入端接地电阻值。
8. TTL 与非门的输出特性是 TTL 门带负载能力的表现, 拉电流负载及灌电流负载对输出状态的影响。
9. TTL 与非门的主要参数。
10. OC 门、三态门的逻辑符号、功能与应用。

### 难点

1. CMOS 反相器的工作原理分析。
2. TTL 门带拉电流及灌电流负载对门的工作状态影响。

## 三、典型题解

**例 3-1** 解释下列名词: 开门电平、关门电平、阈值电平、抗干扰容限。

**解** 开门电平: 保持电路输出端为低电平状态所允许的输入高电平的最小值。

关门电平: 保持电路输出端为高电平状态所允许的输入低电平的最大值。

阈值电平: 在门电路的电压传输特性曲线上, 输出电平从高电平向低电平急剧变化段, 转换中点对应的输入电压称为阈值电平。

抗干扰容限: 在门电路的电压传输特性曲线上, 在考虑叠加噪声影响之后, 只要输入低电平不超过  $V_{off}$  或输入高电平不低于  $V_{on}$ , 输出端能保持正常输出电平, 对后级门电路的正常工作就不会产生影响。门电路的这种能力称为抗干扰容限。

**例 3-2** 试比较 TTL 电路和 CMOS 电路的优缺点。

**解** TTL 电路速度快、逻辑电平摆幅大、抗干扰能力和负载能力较强。有中速、高速、超高速和低功耗等系列产品可供选用。CMOS 电路功耗低、抗干扰能力强、电源电压利用率高。

**例 3-3** 回答下列问题：

- (1) TTL 与类门中，闲置端应如何处理？
- (2) TTL 或类门中，闲置端应如何处理？
- (3) CMOS 逻辑门闲置端的处理方法与 TTL 逻辑门有什么区别？

**解** (1) TTL 与类门电路闲置端接固定电平 1、和使用端并联或悬空。

(2) TTL 或类门电路闲置端接固定电平 0 或和使用端并联。

(3) CMOS 门电路的闲置端不能悬空，因为闲置端栅极阻抗极高，栅极悬空容易感应静电，严重时击穿栅极。处理方法与 TTL 电路有所不同。

**例 3-4** 在下列两种情况下：

- (1) 其它输入端均悬空。
- (2) 其它输入端均接地。

如果用内阻为  $20\text{ k}\Omega/V$  的万用表去测量 TTL 与非门的一个悬空输入端，问测量的电压值为多少？

**解** (1) 输入端等效电路如图 3-1(a) 所示。当其它输入端均悬空时， $T_1$  管的  $R_1$  与万用表的内阻分压，使输入端为高电平，故输入为全 1 状态；b 点电位被钳位于 2.1V，经发射结降压 0.7V，故测量电压为 1.4V。

(2) 输入端等效电路如图 3-1(b) 所示。b 点电位为 0.7V，所以测量电压为 0V。

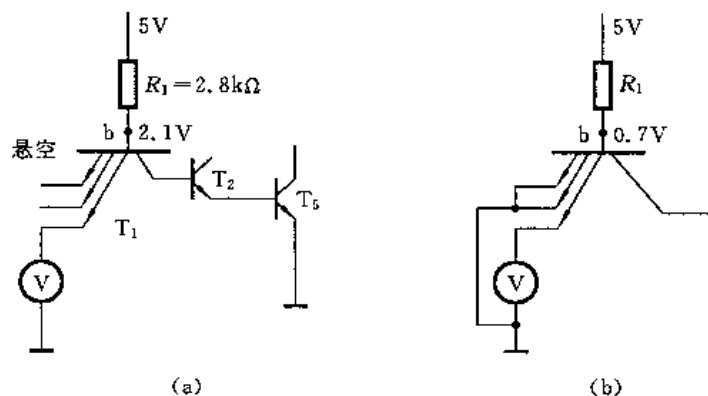


图 3-1 例题 3-4 电路

例 3-5 如图 3-2 所示电路实现什么功能?写出逻辑函数表达式。

解 [方法 1] 当  $A=0$  时, 无论  $B$  和  $C$  为何值,  $T_1$  饱和,  $T_2$  截止, 所以  $F=1$ ; 当  $A=1$  时, 只要  $B$  和  $C$  中有一个为 0,  $T_1$  倒置工作,  $T_2$  导通, 所以  $F=0$ ; 只有  $B=C=1$  时, 无论  $A$  为何值,  $T_2$  都截止, 所以  $F=1$ 。满足上述逻辑关系的表达式为:  $F = \bar{A} + BC$

[方法 2] 用列真值表法求解。真值表如表所示。直接分析真值表便可写出逻辑表达式,  $F = \bar{A} + BC$ 。或者由表画出  $F$  的卡诺图, 进行卡诺图化简, 求得结果一致。

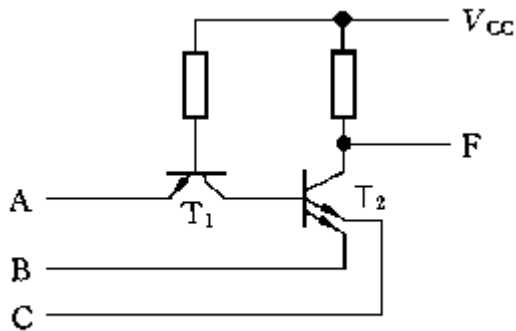


图 3-2 例题 5 电路图

表 3-2 例题 3-5 真值表

A	B	C	F	A	B	C	F
0	0	0	1	1	0	0	0
0	0	1	1	1	0	1	0
0	1	0	1	1	1	0	0
0	1	1	1	1	1	1	0

例 3-6 CMOS 电路如图 3-3(a)所示, 已知输入  $A$ 、 $B$  及控制信号  $C$  的波形如图 3-3(b)所示, 试画出  $Q$  的波形。

解 当  $C=0$  时,  $TG_1$  接通,  $TG_2$  断开, 所以有  $Q = \overline{A+B}$ 。

由  $Q = \overline{A+B}$  可画出  $C=0$  时的  $Q$  波形; 当  $C$  由 0 跳变为 1 时刻,  $TG_1$  断开,  $TG_2$  接通。此时,  $B=0$ ,  $Q$  (其值为 1) 通过反相和  $TG_2$  送至或非门另一输入端, 其值为 0 (即  $Q$ ), 故  $Q$  维持 1 状态。直到  $B$  由 0 跳变为 1 时,  $Q$  变为 0 状态。 $Q$  端波形如图 3-3(c)所示。

本例的难点是当  $C$  由 0 跳变到 1 的时刻, 传输门  $TG_1$  和  $TG_2$  的状态发生变化, 使或非门的两个输入端获得  $B$  和  $\bar{Q}$  信号, 它们都为 0 电平, 故或非门输出为 1 电平。

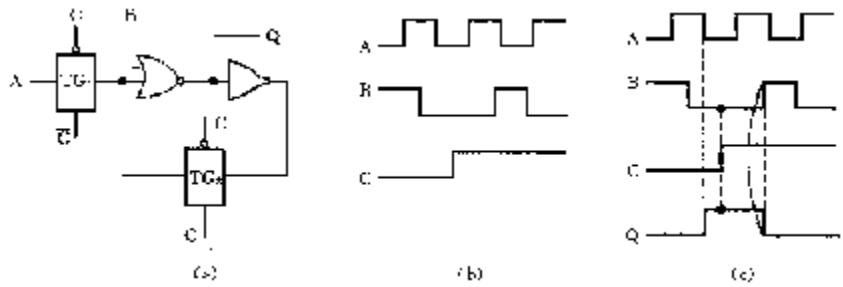


图 3-3 例题 6 图

## 四、习题解答

3-1 什么是 N 沟道增强型 MOS 管的开启电压?如何判断 MOS 管所处的工作状态?

答: 开启电压就是  $V_{GS(th)}$ , 当  $V_{GS} < V_{GS(th)}$  时, MOS 管处于截止状态,  $i_{DS} = 0$ 。当  $V_{GS} \geq V_{GS(th)}$  时, MOS 管导通, 产生  $i_{DS}$ 。在  $V_{GS}=0$  时不存在导电沟道, 必须加以足够高的栅极电压才有导电沟道形成, 所以将这种类型的 MOS 管称为 N 沟道增强型 MOS 管。

根据  $V_{GS}$  的大小判断 MOS 管的工作状态:

当  $|V_{GS}| < |V_{GS(th)}|$  时, 漏极 D 和源极 S 之间没有导电沟道, MOS 管处于截止区;

当  $|V_{GS}| > |V_{GS(th)}|$ , 且  $|V_{DS}| > |V_{GS}| - |V_{GS(th)}|$  时, MOS 管工作在恒流区;

当  $|V_{GS}| > |V_{GS(th)}|$ , 而  $|V_{DS}| < |V_{GS}| - |V_{GS(th)}|$  时, MOS 管工作在可调电阻区。

3-2 CMOS 反相器的电路结构是怎样的, 它有哪些特点?

答:

(1) CMOS 反相器是互补对称式金属-氧化物-半导体场效应管, 由绝缘栅场效应管组成的单极型集成电路。标准的 CMOS 反相器是由增强型 PMOS 负载管 ( $T_P$ ) 和增强型 NMOS 驱动管 ( $T_N$ ) 串联组成, 其电路结构如图 3-4 所示。

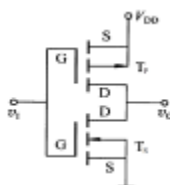


图 3-4 题 3-2 图

(2) 特点: 静态功耗低; 抗干扰能力较强; 电压利用率高; 输入阻抗高; 带同类门的负载能力强。

CMOS 反相器有效地克服了 TTL 集成电路中存在的单元电路结构复杂, 功耗大, 集成度低等缺点。因而在向大规模和超大规模集成电路的发展中, CMOS 集成电路已占有统治地位。

CMOS 反相器的电压传输特性上  $V_{th}=V_{DD}/2$ , 且转折区变化率很大, 因此它更接近于理想的开关特性。这种形式的电压传输特性, 使 CMOS 反相器获得了更大的抗干扰能力。

CMOS 门电路输入管是增强型 MOS 管, 其输入电流近似等于零, 因此在输入端接电阻不会像 TTL 门电路那样导致输入端的逻辑电平改变。由于输入阻抗很高, 因此多余输入端不能悬空, 应根据逻辑

功能需要接电源或地。

CMOS 反相器输出电平的振幅近似等于电源电压  $V_{DD}$ ，电源利用率高。

3-3 CMOS 传输门的电路结构是怎样的，它有何特殊应用？

**答：**CMOS 传输门是由一个 P 沟道增强型 MOS 管和一个 N 沟道增强型 MOS 管并联互补组成，其电路结构和逻辑符号如图 3-5 所示。

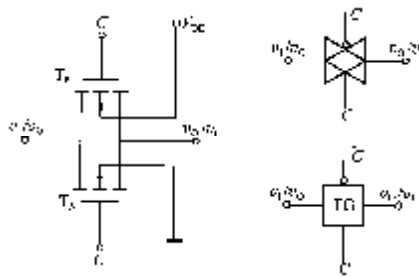
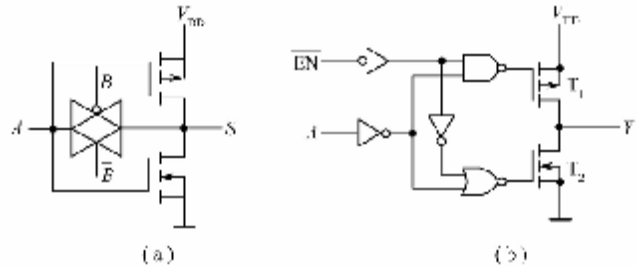


图 3-5 题 3-3 图

两管的栅极由一对互补的控制信号  $C$  和  $\bar{C}$  控制。由于 MOS 器件的源极和漏极是对称的，所以信号可以双向传输。

CMOS 传输门和 CMOS 反相器一样，也是构成各种逻辑电路的一种基本单元电路，传输门的一个重要用途是作模拟开关，用来传输连续变化的模拟电压信号。

3-4 分析题 3-4 图所示 (a)、(b) 电路的逻辑功能，写出电路输出函数  $S$  和  $Y$  的逻辑表达式。



题 3-4 图

**解：**

(1) 分析图 (a) 电路，得到：

A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

可以得到逻辑关系是：

$$S = A\overline{B} + \overline{A}B = A \oplus B$$

(2) 分析图 (b) 电路，得到：

A	$\overline{EN}$	Y
0	0	1
0	1	高阻态
1	0	0
1	1	高阻态

可以得到逻辑关系是：

$$Y = \overline{A} \cdot \overline{(\overline{EN})} \quad (\text{输出和输入之间是 } \overline{EN} \text{ 低有效三态控制非门})$$

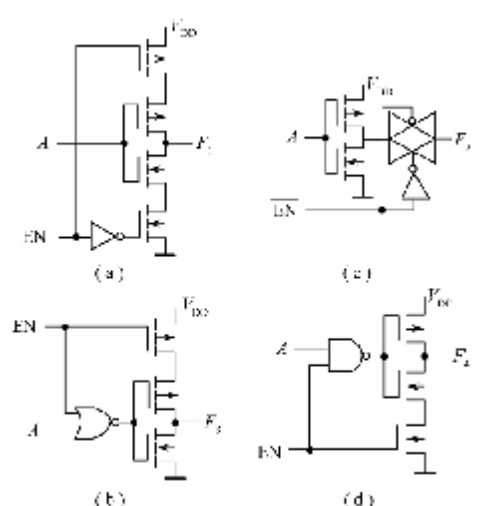
3-5 判断以下叙述是否正确（正确者打√，错误者打×）：

对于 CMOS 或非门电路：

- (1) 输入端悬空会造成逻辑出错。（√）
- (2) 输入端接大电阻（如 510 kΩ）到地相当于接高电平 1。（×）
- (3) 输入端接小电阻（如 510 Ω）到地相当于接低电平 0。（√）
- (4) 输入端接低电平时有电流从门中流出。（√）
- (5) 多余输入端不可以并联使用。（×）

3-6 电路如题 3-6 图所示，试

- (1) 写出  $F_1$ 、 $F_2$ 、 $F_3$ 、 $F_4$  的逻辑表达式；
- (2) 说明四种电路的相同之处与不同之处。



题 3-6 图

解：(a) 图中  $\overline{EN}=1$  时，输出高阻态； $\overline{EN}=0$  时，构成非门。所以：  $F_1 = \overline{A}$ 。

(b) 图中  $EN=1$  时，输出高阻态； $EN=0$  时，输入和输出导通。所以：  $F_3 = A$ 。

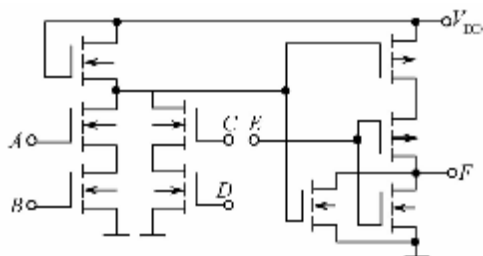
(c) 图中  $\overline{EN}=1$  时，输入和输出之间呈现高阻抗； $\overline{EN}=0$  时，传输门导通，构成非门。所以：  $F_2 = \overline{A}$ 。

(d) 图中  $\overline{EN}=0$  时，输出高阻态； $\overline{EN}=1$  时，输入和输出导通。所以：  $F_4 = A$ 。

这四种电路相同之处是都包含一个 CMOS 反相器，都利用 P 沟道增强型 MOS 管和 N 沟道增强型 MOS 管导通与截止的功能，实现三态控制。(a) 和 (c) 类似，实现三态非门。(b) 和 (d) 类似，构成三态传输门。

不同之处是：四种图用了不同的结构。(a)、(b)、(c) 都是低有效信号控制三态非门，(d) 图是高有效信号控制三态门。

3-7 试写出题 3-3 图所示电路输出端  $F$  的最简逻辑表达式。



题 3-7 图

解：

根据上图电路，分析逻辑功能如表 3-4 所列：

表 3-3 题 3-7 真值表

A	B	C	D	E	F
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	0
0	0	0	1	1	0
0	0	1	0	0	0
0	0	1	0	1	0
0	0	1	1	0	1
0	0	1	1	1	0
0	1	0	0	0	0
0	1	0	0	1	0
0	1	0	1	0	0
0	1	0	1	1	0
0	1	1	0	0	0
0	1	1	0	1	0
0	1	1	1	0	1
0	1	1	1	1	0
1	0	0	0	0	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	0	1	0
1	0	1	1	0	1
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	0	1	0
1	1	0	1	0	1
1	1	0	1	1	0
1	1	1	0	0	1
1	1	1	0	1	0
1	1	1	1	0	1
1	1	1	1	1	0

由上表，可以得到输出端 F 的逻辑表达式：

$$F = (AB + CD) \overline{E}$$



3-8 晶体二极管作为开关应用时,呈现的瞬态开关特性与理想开关有哪些区别?什么是反向恢复时间?产生的原因是什么?

答:(1)晶体二极管属于双极型器件。它的开关特性分静态和动态两部分。静态开关特性又称稳态开关特性;动态开关特性又称瞬态开关特性。

(2)反向电流持续的时间用**反向恢复时间**  $t_{re}$  来定量描述。 $t_{re}$  是指反向电流从它的峰值衰减到峰值的十分之一所经过的时间。

(3)反向恢复时间就是存储电荷耗尽所需要的时间,产生反向恢复时间的原因是由电荷存储效应引起。该过程使二极管不能在快速连续脉冲作用下作为开关使用。如果反向脉冲的持续时间比  $t_r$  短,则二极管在正、反向都可导通,起不到开关作用。因此了解二极管反向恢复时间对正确选取管子和合理设计电路至关重要。

3-9 什么是晶体三极管的饱和状态?如何判断晶体三极管处于导通、饱和和截止状态?

答:当加在三极管发射结上的电压大于 PN 结的导通电压,当基极电流增大到一定程度时,集电极电流不再随基极电流的增大而增大,而是处于某一定值附近。这时三极管失去电流放大作用,集电极与发射极之间的电压很小,集电极和发射极之间相当于开关的导通状态。三极管的这种状态我们称之为饱和导通状态。

导通条件	$V_c > V_b > V_e$	截止条件	$V_{IL} < V_{BE(th)}$ (使 $i_B = 0$ )
饱和条件	$i_B \geq I_{BS}$		

3-10 什么是三极管延迟时间、上升时间、存储时间和下降时间?影响这些时间的因素有哪些?

答:  $v_i$  正跳变开始到  $i_C$  从 0 上升至 10%  $I_C$  所需的时间称**延迟时间**,用  $t_d$  表示。

$i_C$  从 10%  $I_C$  上升至 90%  $I_C$  所需的时间,称**上升时间**,用  $t_r$  表示

$v_i$  负跳变开始到  $i_C$  从最大值  $I_C$  下降至 90%  $I_C$  所需的时间,称**存储时间**,用  $t_s$  表示。

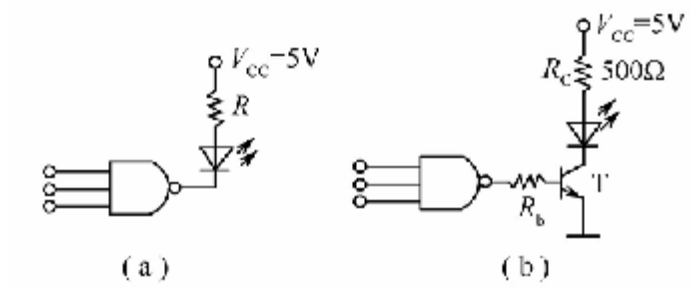
90%  $I_C$  下降到 10%  $I_C$  所需的时间,称**下降时间**,用  $t_f$  表示。

三极管的时间参数  $t_d, t_r, t_s, t_f$  主要取决于三极管的内部构造,结电容越小,基区越薄,则结电容充放电时间就越短,基区中储存的电荷数量也越少,因此开关时间就越少。

3-11 已知 TTL 与非门带灌电流负载最大值  $I_{OL} = 15 \text{ mA}$ ,带拉电流负载最大值为  $I_{OH} = -40 \text{ mA}$ ,输出高电平  $V_{OH} = 3.6 \text{ V}$ ,输出低电平  $V_{OL} = 0.3 \text{ V}$ ;发光二极管正向导通电压  $V_D = 2 \text{ V}$ ,正向电流  $I_D = 5 \sim 10 \text{ mA}$ ,三极管导通时  $V_{BE} = 0.7 \text{ V}$ ,饱和电压降  $V_{CES} \approx 0.3 \text{ V}$ ,  $\beta = 50$ 。如题 3-11 图所示两电路均为发光二极管驱动电路,试问:

(1) 两个电路的主要不同之处;

(2) 图 (a) 中  $R$  和图 (b) 中  $R_b$  的取值范围。



题 3-11 图

解：

(1) 两个电路都是要控制发光二极管，不同之处有：控制电平不同，(a) 图中当所有输入端都是高电平时，与非门输出低电平，发光二极管点亮，输入端只要有一个为低电平，与非门输出高，二极管都不亮。(b) 图是反过来，只要输入端有一个为低电平，与非门就输出高，三极管导通，二极管导通，点亮；只有当输入端都是高电平，与非门输出才为低电平，三极管截止，二极管才不亮；从逻辑关系上，三极管在这里起到一个非门的作用。

$$(2) \text{ a 图中: } R = \frac{V_{CC} - V_D - V_{OL}}{I_D} = \frac{5 - 2 - 0.3}{5 \sim 10\text{mA}} = \frac{2.7}{5 \sim 10\text{mA}} \approx 270 \sim 540\Omega$$

b 图中：集电极电流  $I_{CE}$  范围： $I_{CE(Max)}$  最大时保证二极管导通，二极管阈值电压  $V_{D(th)} = 0.7\text{V}$ ； $I_{CE(Min)}$  最小时，二极管压降不会超过  $V_D = 2\text{V}$ 。

$$I_{CE} = \frac{V_{CC} - V_D - V_{CES}}{R_C} = \frac{5 - V_D - 0.3}{500} = \frac{4.7 - V_D}{500};$$

$$\text{有: } I_{CE(Max)} = \frac{4.7 - V_{D(th)}}{500} = \frac{4.7 - 0.7}{500} = 8\text{mA}; \quad I_{CE(Min)} = \frac{4.7 - V_D}{500} = \frac{4.7 - 2}{500} = 5.4\text{mA}$$

$$\text{所以: } I_b = \frac{I_{CE}}{b} = \frac{5.4 \sim 8}{50} = 0.108 \sim 0.16\text{mA};$$

由与非门高电平输出、 $R_b$ 、三极管基极发射极 B、E 直流等效回路，有：

$$R_b = \frac{V_{OH} - V_{BE}}{I_b} = \frac{3.6 - 0.7}{0.108 \sim 0.16} = \frac{2.9}{0.108 \sim 0.16} \approx 18.1 \sim 26.8\text{k}\Omega$$

3-12 TTL 与非门电路与输入端外接电路如题 3 - 12 图所示，当 S 合在不同位置时，用题 3 - 12 图中万用表

S位置	$V_f/V$	$V_d/V$
a		
b		
c		
d		
e		

解 测量结果如表 3-4 所示。

S 位置	$V_1/V$	$V_0/V$
a	3.6	0.3
b	0.3	3.6
c	0.3	3.6
d	0.7	0.3
e	3.6	0.3

3-13 OC 门、三态输出门各有什么特点? 什么是线与? 什么是总线结构? 如何用三态输出门实现数据双向传输?

(1) OC 门具有线与功能: 三态输出门除了有导通和截至 2 个状态外, 还有高阻态, 所以称为三态门。

(3) 总线就是计算机连接有关部件的一组信号线, 用来传送信息代码的公共通道。如图 3-6 所示的结构就是总线结构。

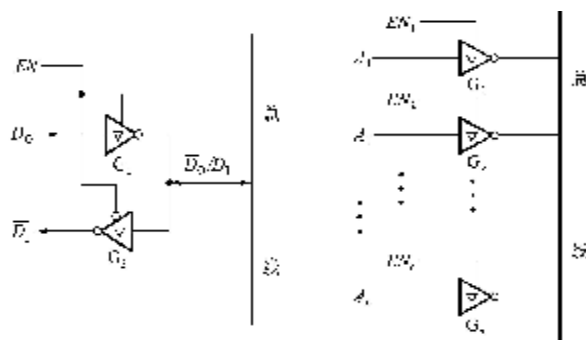


图 3-6 题 3-13 总线结构图

(4) 利用三态门还可以实现数据的双向传输，其中门  $G_1$  和门  $G_2$  为三态反相器，门  $G_1$  高电平有效，门  $G_2$  低电平有效。

当三态使能端  $EN=1$  时， $D_0$  经门  $G_1$  反相送到数据总线，门  $G_2$  呈高阻态；当三态使能端  $EN=0$  时，数据总线中的  $D_1$  由门  $G_2$  反相后输出，而门  $G_1$  呈高阻态。

### 3-14 CMOS 集成门电路与 TTL 集成门电路相比各有什么特点？

答：CMOS 集成门电路具有低功耗特性，延时小，开关速度快的特点。

### 3-15 CMOS 集成门和 TTL 集成门在使用时应注意哪些问题？多余输入端应如何正确处理？

答：

- 1) 存放 CMOS 集成电路时要屏蔽，一般放在金属容器中，也可以用金属箔将引脚短路。
- 2) 在组装调试电路时，电烙铁、仪器仪表、工作台等均应良好接地。
- 3) 不使用的多余输入端要做处理，不能悬空。以免拾取脉冲干扰。
- 4) 为了防止输入端保护二极管因正向偏置而引起损坏，输入电压切记不能将极性接反。

注意 CMOS 和 TTL 集成门使用时，CMOS 悬空等效于接低电平，而 TTL 悬空相当于接高电平。

当要求多余端接高电平时，TTL 可以悬空，但 CMOS 必须接高电平；

当要求多余端接低电平时，TTL 必须接低电平，但 CMOS 可以悬空。

## 第四章 组合逻辑电路

### 一、知识点解析

#### 1. 组合逻辑电路的特点

组合逻辑电路在任何时刻，电路的输出仅取决于该时刻的输入信号，而与该时刻输入信

号作用前电路原来的状态无关。组合逻辑电路基本上由逻辑门电路组成，电路只有从输入到输出的通路而无从输出反馈到输入的回路，不具有记忆功能。

### 2. 组合逻辑电路的分析

组合逻辑电路的分析就是根据给定的数字逻辑电路，找出输出信号与输入信号之间的逻辑关系，如真值表、逻辑表达式，进而确定电路的逻辑功能。

组合逻辑电路的分析方法通常采用代数法，分析组合逻辑电路的一般步骤为：

- (1) 根据给定的逻辑电路图，确定电路的输入变量和输出变量。
- (2) 从输入端开始，根据逻辑门的功能，逐级推导出各输出端的逻辑函数表达式。
- (3) 将得到的输出函数表达式进行化简或变换，列出它的真值表。
- (4) 由输出函数表达式和真值表，概括出给定组合逻辑电路的逻辑功能。

### 3. 组合逻辑电路设计

组合逻辑电路设计就是根据给定的逻辑功能要求，找出实现这一逻辑功能的最佳逻辑电路。“最佳”是指电路所用的器件数最少、器件的种类最少而且器件间连线最少。组合电路的设计有时也叫组合逻辑网络的综合，可以采用小规模（SSI）集成门电路实现，也可以采用中规模集成模块（MSI）或存储器、可编程逻辑器件来实现。

组合逻辑电路设计的步骤如图 4-1 所示。

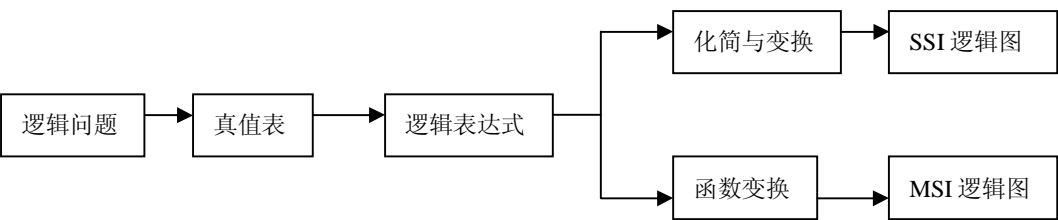


图 4-1 组合逻辑电路设计步骤

- (1) 根据给定的逻辑问题，分析设计要求，列出真值表。

设计要求有功能要求与器件要求，一般用文字来描述。由于用真值表描述逻辑函数最为直观，因此设计的第一步就是列出真值表。具体过程为：①分析问题的因果关系，确定输入变量和输出变量；②为输入、输出变量赋值。用 0 和 1 分别表示输入、输出变量的两种不同状态；③根据问题的逻辑关系，列出真值表。

- (2) 由真值表写出逻辑函数表达式。
- (3) 对逻辑函数进行化简，再按器件要求进行表达式的变换。

通常将函数化简成最简与或表达式，使其包含的乘积项最少且每个乘积项所包含的因子数也最少。根据要求的器件类型，进行函数表达式变换，如变换成与非-与非表达式、或

非-或非表达式和与或非表达式等。如果选用 MSI 组合逻辑器件设计电路时，对于多输出函数来说，通常选用译码器实现电路较方便。对于单输出函数来说，选用数据选择器实现电路较方便。

(4) 根据化简与变换后的最佳输出逻辑函数表达式，画出逻辑电路图。

组合逻辑电路的设计步骤并非一定要遵循上述的固定程序，可根据实际情况进行取舍。例如步骤(2)、(3)的目的若只是为了化简，那么它们也可以写成由真值表直接填卡诺图，然后再化简。

#### 4. 常用 MSI 组合逻辑模块

(1) 加法器：实现两组输入二进制数相加。MSI 产品有 1、2、4 位加法器。大多带有进位输入和进位输出端，4 位加法器还有逐位进位和超前进位之分。

(2) 优先编码器：按优先级把  $2^n$  个输入信号中的一个转换成相应的  $n$  位二进制代码。

(3) 变量译码器：输入一组变量的取值，对应的一个输出端变为有效电平。对于输出低电平有效的变量译码器，则有  $\overline{Y_i} = M_i = \overline{m_i}$ 。变量译码器又分二进制译码器、BCD 译码器。显示译码器是把输入的 8421BCD 码转换成十进制字符的七段数码管显示信号。按数码管结构分为共阴型和共阳型两类、有多种 MSI 产品。

(4) 数据选择器：给定  $n$  个选择变量的一组取值，从  $2^n$  路输入数据中选中一路数据输出，即  $Y = \sum_{i=0}^{2^n-1} m_i D_i$ ，按选择变量数和数据位数的不同，有多种 MSI 产品。

(5) 数值比较器：对两组输入二进制数进行大小比较，给出大于、等于、小于的比较结果。常用的 MSI 比较器有 1、2、4、8 位多种，大多带有级联输入端。

MSI 模块大多带有使能输入端，当使能输入有效时实现上述功能，当使能输入端无效时输出固定无效电平。

#### 5. 模块功能扩展

(1) 变量译码器、优先编码器和数据选择器都可以用多个相同模块组合扩展输入、输出端数。方法是利用使能端使各模块轮流工作。

(2) 数值比较器和加法器可级联扩展。

#### 6. 用 MSI 模块进行逻辑设计

用译码器、数据选择器进行逻辑设计的方法与传统设计方法接近，属于逻辑函数设计，主要是通过对函数表达式和器件输出表达式进行比较，确定器件输入、输出端的连接。用加

法器、数值比较器等器件进行逻辑设计则属于功能设计,主要是对命题和器件进行功能对比,确定器件的输入连接和输出修正逻辑。

(1)用译码器实现逻辑函数:函数变量接译码器地址输入端,再利用译码器输出的最小项或最大项作为输入,增加与非门或者与门实现。

(2)用数据选择器实现逻辑函数:函数  $F$  接选择器输出  $Y$ , 选择函数的  $n$  个变量接选择器的  $n$  个选择输入端,然后通过函数和选择器输出比较(表达式、真值表或卡诺图上),确定选择器数据输入  $D_i$  的连接。分以下三种情况。

(a)用  $2^n$  选 1 数据择器实现  $n$  变量逻辑函数。函数表达式为  $F = \sum_{i=0}^{2^n-1} B_i m_i$ 。数据选择器输出表达式  $Y = \sum_{i=0}^{2^n-1} D_i m_i$ , 为使  $F=Y$ , 则  $D_i = B_i$ 。

(b)用  $2^n$  选 1 数据选择器实现  $n+1$  变量逻辑函数。设未接到数据输入端的第  $n+1$  个变量为  $X$ , 则数据选择器的输出表达式为  $Y = \sum_{i=0}^{2^n-1} m_i D_i$ , 函数表达式

$$F = \sum_{i=0}^{2^n-1} a_i m_i \bar{X} + \sum_{i=0}^{2^n-1} b_i m_i X = \sum_{i=0}^{2^n-1} m_i (a_i \bar{X} + b_i X), \text{ 比较 } Y、F \text{ 的表达式得: 若 } a_j = b_j, \text{ 则 } D_j = a_j。$$

若  $a_j = 0, b_j = 1$ , 则  $D_j = X$ 。若  $a_j = 1, b_j = 0$ , 则  $D_j = \bar{X}$ 。这种情况在卡诺图上更简单(如降维法)。

(c)用  $2^n$  选 1 数据选择器实现  $n+2$  以上变量逻辑函数。这种情况下,  $D_i$  是剩余变量的逻辑函数,需要对  $D_i$  进行电路设计。一般来说,接到选择输入端的变量不同,则函数  $D_i$  的复杂程度不同。通过在卡诺图上对比  $F$  和  $Y$ , 可以选出合适的  $n$  个变量接到数据选择器的选择输入端,使得仅用少量逻辑门便可实现函数  $D_i$ 。可利用卡诺图降维法实现。

(3)用 4 位加法器设计典型逻辑电路:加法器不像译码器和数据选择器那样可以实现任何逻辑函数。但对一些典型的逻辑设计问题(如算术运算电路、码组转换电路等),用加法器设计却比用译码器和数据选择器设计简单得多。设计的关键是把命题的逻辑问题转化为一系列的数据加(或减)操作。

## 7. 组合逻辑电路的竞争冒险

### (1) 竞争冒险现象及分类

在组合电路中，某一输入变量经不同途径传输后，到达电路中某一个汇合点的时间有先有后，产生竞争现象。由于竞争，在输入信号发生变化的瞬间，在输出端可能出现一些不正常尖峰信号，称为竞争冒险或冒险。它分成静态和动态冒险两类。

## （2）竞争冒险判断

### ①代数法

在一定条件下，如果电路的输出逻辑函数可以简化为某个原变量与其反变量之积（ $Y = A \cdot \bar{A}$ ）或之和（ $Y = A + \bar{A}$ ），A的变化可能引起冒险，则电路存在竞争冒险现象。

若有  $p$ （ $p \geq 2$ ）个输入变量发生变化时，如果由不变的  $n-p$  个输入变量组成的乘积项不是该逻辑函数表达式中的乘积项或者多余项，则  $p$  个变量变化时，有可能产生静态冒险。

### ②卡诺图法

在电路输出函数的卡诺图上，凡存在乘积项包围圈相邻者，且相邻处又未被其它卡诺圈包围，则有竞争冒险存在。相交或不相邻，则无竞争冒险。

## （3）竞争冒险消除

常用的消除竞争冒险的方法有修改逻辑设计、引入选通脉冲和加输出滤波电容三种方法。在修改设计方法中，通过增加多余项的方法，可以有效地消除静态冒险。引入选通脉冲后，组合逻辑电路的输出已不是电位信号，而转变为脉冲信号。加输出滤波电容增加了输出波形的上升时间和下降时间，使波形变差，因此只适合于对输出波形边沿要求不高的情况。

## 二、重点及难点

### 重点

1. 掌握中规模组合逻辑电路的功能表的阅读方法(如选通端、使能端的电平控制及使用、输入端的电平与逻辑、输出电平与逻辑)，重点掌握全加器(CT74283)、优先编码器(CT74148)、译码器(CT138、CT5442、CT7448)、数值比较器(CT7485)、数据选择器(CT74151、CT74153)的逻辑功能表与使用方法。

2. 采用小规模集成电路及采用中规模集成电路进行组合逻辑电路设计(会列出所设计的电路的功能表，写出逻辑表达式，会选合适的器件进行合理的连接，实现所要求的功能，有经济成本观念)。

### 难点



1. 各类表达式之间的相互变换。
2. 中规模组合逻辑电路使能端的使用与扩展(包括多片联合使用和单片作为其它功能使用的情况)。
3. 冒险的判断与避免冒险的方法在实际电路设计中的应用。

### 三、典型题解

例 4-1 电路如图 4-2 所示，试确定  $F_1$ 、 $F_2$ 、 $F_3$  的逻辑功能。

解 由逻辑图写出表达式：

$$F_1 = \overline{A+B+C+D} \quad F_2 = \overline{F_1 + F_3 + ABCD} \quad F_3 = A \oplus B \oplus C \oplus D$$

由表达式列出真值表如表 4-1 所示。观察真值表可见；只有 A、B、C、D 都为 0 时， $F_1$  才为 1，所以  $F_1$  实现全 0 检测功能；对于  $F_3$ ，由表达式和真值表都可得知，它是一个输入奇数个 1 的检测电路；观察  $F_2$  为 1 时对应的输入取值可以发现，此时输入的 4 个变量中总是两个为 1，所以  $F_2$  实现输入两个 1 检测功能。

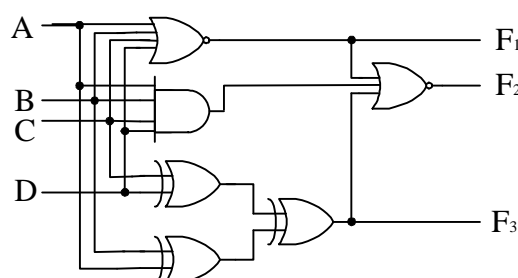


图 4-2 例题 1 逻辑电路图

表 4-1 例 4-1 真值表

A	B	C	D	$F_1$	$F_2$	$F_3$	A	B	C	D	$F_1$	$F_2$	$F_3$
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0	0	0	1	0	0	1
0	0	1	0	0	0	1	0	0	1	0	0	0	1
0	0	1	1	0	0	0	0	0	1	1	0	0	0
0	1	0	0	0	0	1	0	1	0	0	0	1	0
0	1	0	1	0	1	0	0	1	0	1	0	0	1
0	1	1	0	0	1	0	0	1	1	0	0	0	1
0	1	1	1	0	0	1	0	1	1	1	0	0	0

例 4-2 在只有原变量输入条件下，用最少的与非门实现逻辑函数

$$F(A, B, C, D) = \sum m(0, 2, 6, 7, 8, 9, 13)$$

解 [方法 1] 代数法

(a) 把函数填入卡诺图如图 4-3 所示，化简得

$$F = \overline{A}\overline{B}\overline{D} + \overline{B}\overline{C}\overline{D} + \overline{A}BC + A\overline{C}\overline{D}$$

(b) 对最简与或式作变换：利用  $\overline{A}\overline{B} + \overline{A}\overline{C} = \overline{A}\overline{B}\overline{C}$  合并尾部因子，利用  $\overline{A}\overline{B} = \overline{A}\overline{B}A$

扩大尾部因子以形成公共因子。则

$$\begin{aligned} F &= \overline{A}\overline{B}\overline{D} + \overline{B}\overline{C}\overline{D} + \overline{A}BC + A\overline{C}\overline{D} \\ &= \overline{B}\overline{D}(\overline{A} + \overline{C}) + \overline{A}BC + A\overline{C}\overline{D} = \overline{B}\overline{D}\overline{A}\overline{C} + \overline{B}\overline{D}AC + \overline{A}BC + A\overline{C}\overline{D} \end{aligned}$$

(c) 两次求反，得到与非-与非表达式

$$F = \overline{\overline{\overline{B}\overline{D}\overline{A}\overline{C}} + \overline{\overline{\overline{B}\overline{D}AC}} + \overline{\overline{\overline{A}BC}} + \overline{\overline{\overline{A\overline{C}\overline{D}}}}} = \overline{\overline{B}\overline{D}\overline{A}\overline{C}} \overline{\overline{B}\overline{D}AC} \overline{\overline{A}BC} \overline{\overline{A\overline{C}\overline{D}}}$$

(d) 画出逻辑图如图 4-4 所示。

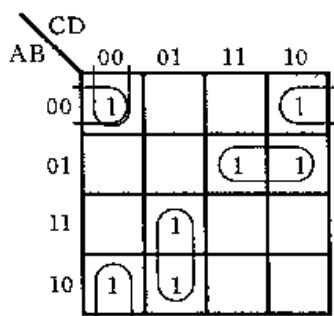


图 4-3 例 4-2 卡诺图

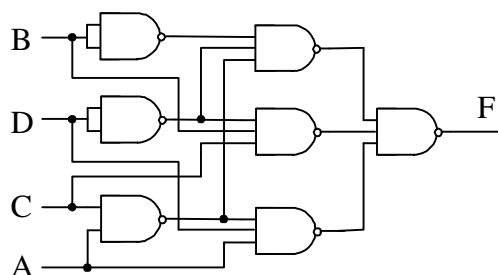


图 4-4 例 4-2 逻辑电路

如果不作变换而直接用与非门实现最简表达式，则需要 9 个门，因此可知适当的变换可以节省逻辑门。代数法的优点是灵活，简单。缺点是化简的每一步没有明确目标可循，有时需要多次试探和修改，不容易确定是否为最优结果。

[方法 2] 用禁止项法。

作为对教材的补充，方法 2 采用禁止项法进行求解。对变量数不太多(如四变量以下)的逻辑函数，用禁止项法比较简单。用禁止项法化简是在卡诺图上进行的，其方法是在卡诺图上选择合适的禁止项，由于禁止项方格可作任意项使用，从而使函数化简变得简单，容易得到最优结果。禁止项原理简介如下：

由最小项的性质  $m_i \overline{m_i} = 0$ ， $m_i \overline{m_j} = m_i$  ( $i \neq j$ )，对给定函数  $F$ ，若  $m_j \notin F$ ，则

$F = F \cdot \overline{m_j} = (F + m_j) \overline{m_j}$ 。同理，若  $P$  是不属于  $F$  的一个乘积项(记为  $p = \sum m_j$ )，则

$F = F \cdot \bar{p} = (F + m_j) \bar{p}$ 。此式表明，若用  $\bar{p}$  禁止函数  $F$ ，则  $p = \sum m_j$  可作任意项使用， $P$  称作禁止项。无反变量输入逻辑函数化简时禁止项的选择原则是：

- ①  $P$  中尽可能无反变量；
- ②  $P$  中应不含 1 方格 (若有 1 时要另行圈出)；
- ③  $P$  尽可能大，以便提供更多任意项 (但要满足 2 的  $n$  次方)。

函数  $F$  的卡诺图如图所示。

(a) 在卡诺图上选禁止项 (见虚线圈)，得  $\bar{P} = \overline{AC}$ 。

(b) 用卡诺图化简函数  $F' = F + \sum d(10, 11, 14, 15)$ ，得

$$F' = \overline{BD} + AD + BC$$

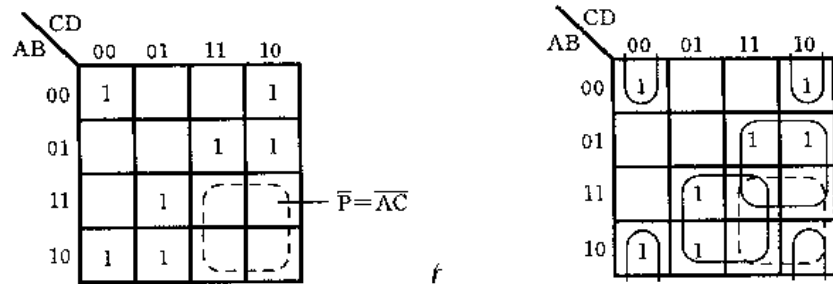


图 4-5 例 4-2 化简卡诺图

(c) 写出  $F$  表达式并转换

$$\begin{aligned} F &= F' \cdot \bar{P} = (\overline{BD} + AD + BC) \overline{AC} = \overline{BDAC} + AD\overline{AC} + BC\overline{AC} \\ &= \overline{\overline{BDAC}} \cdot \overline{\overline{ADAC}} \cdot \overline{\overline{BCAC}} \end{aligned}$$

(d) 画出逻辑图 (略)。

**例 4-3** 设计一个多功能组合逻辑电路，它有两个控制输入  $M_1$ 、 $M_0$  和两个逻辑变量输入  $a$ 、 $b$ ， $F$  为电路的输出。给定  $M_1$ 、 $M_0$  的一组取值，可实现  $a$ 、 $b$  的一种逻辑运算，如表 4-2 所示。要求用最少的与非门实现，且输入无反变量。

**解** 由表 4-2 可以填写填卡诺图如图 4-6 所示。选 7 方格作禁止项并化简得

$$\begin{aligned} F &= (\overline{M_1}a + M_0a + M_0b + ab) \overline{\overline{M_1}M_0ab}} \\ &= \overline{M_1}a \overline{\overline{M_1}M_0ab}} + M_0a \overline{\overline{M_1}M_0ab}} + M_0b \overline{\overline{M_1}M_0ab}} + ab \overline{\overline{M_1}M_0ab}} \\ &= \overline{\overline{M_1}a \overline{\overline{M_1}M_0ab}}} \cdot \overline{\overline{M_0a \overline{\overline{M_1}M_0ab}}}} \cdot \overline{\overline{M_0b \overline{\overline{M_1}M_0ab}}}} \cdot \overline{\overline{ab \overline{\overline{M_1}M_0ab}}}} \end{aligned}$$

表 4-2 例 4-3 功能表

$M_1$	$M_0$	F
0	0	a
0	1	$a \oplus b$
1	0	ab
1	1	$a+b$

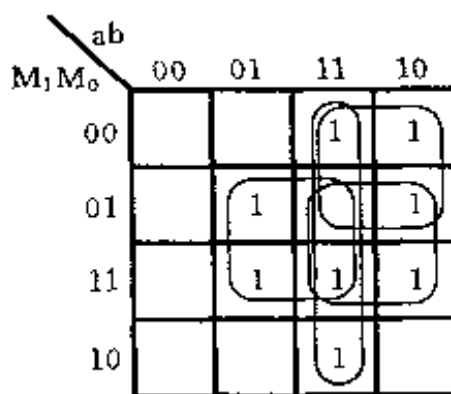


图 4-6 例 4-3 化简卡诺图

由表达式画出逻辑图如图 4-7 所示。

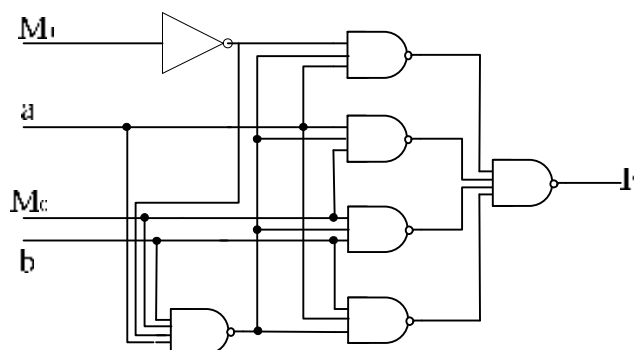


图 4-7 例 4-3 逻辑电路

**例 4-4** 已知一水箱高 10m，在水箱内每相差 1m 的地方装一个检测传感器，其中最低一个检测器安装在高 1m 处，最高一个安装在 9m 处。当水面低于检测器时对应的逻辑电平为 0，高于检测器时逻辑电平为 1。试用与非门设计一个组合逻辑电路，水箱中的水面高度用一个七段显示数码管来显示。要求只写出逻辑表达式，数码管如图 4-8 所示。

**解** 此题若用 MSI 器件设计，它是一个水位-BCD 编码-显示译码逻辑问题。本题采用逻辑门设计，则可直接看作是水位的七段显示码编码器设计。由题意列出真值表如表 4-4 所示（共阴型数码管）。

$$a=A_9 + A_8 + A_7 + A_5 \bar{A}_6 + A_3 \bar{A}_4 \bar{A}_6 + A_2 \bar{A}_4 \bar{A}_6$$

$$b=A_9 + A_8 + A_7 + A_4 \bar{A}_5 \bar{A}_6 + A_3 \bar{A}_5 \bar{A}_6 + A_2 \bar{A}_5 \bar{A}_6 + A_1 \bar{A}_5 \bar{A}_6$$

表 4-3 例 4-4 真值表

四位输入										显示 字符	七段输出						
A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>		a	b	c	d	e	f	g
×	×	×	×	×	×	×	×	×	×	9	1	1	1	0	0	1	1
×	×	×	×	×	×	×	×	1	0	8	1	1	1	1	1	1	
×	×	×	×	×	×	1	0	0		7	1	1	1	0	0	0	0
×	×	×	×	×		0	0	0		6	0	0	1	1	1	1	1
×	×	×	×	1	0	0	0	0	0	5	1	0	1	1	0	1	1
×	×	×	1	0	0	0	0	0	0	4	0	1	1	0	0	1	1
×		1	0	0	0	0	0	0	0	3	1	1	1	1	0	0	1
×	1	0	0	0	0	0	0	0	0	2	1	1	0	1	1	0	1
1	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

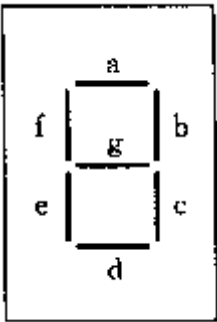


图 4-8 七段数码管

$$\begin{aligned} c &= A_9 + A_8 + A_7 + A_6 + A_5 + A_4 + A_3 + A_1 \bar{A}_2 \\ d &= A_8 \bar{A}_9 + A_6 \bar{A}_7 \bar{A}_9 + A_5 \bar{A}_7 \bar{A}_9 + A_3 \bar{A}_4 \bar{A}_7 \bar{A}_9 + A_2 \bar{A}_4 \bar{A}_7 \bar{A}_9 \\ e &= A_8 \bar{A}_9 + A_6 \bar{A}_7 \bar{A}_9 + A_2 \bar{A}_3 \bar{A}_4 \bar{A}_5 \bar{A}_7 \bar{A}_9 \\ f &= A_9 + A_8 + A_6 \bar{A}_7 + A_5 \bar{A}_7 + A_4 \bar{A}_7 \\ g &= A_9 + A_8 + A_6 \bar{A}_7 + A_5 \bar{A}_7 + A_4 \bar{A}_7 + A_3 \bar{A}_7 + A_2 \bar{A}_7 \end{aligned}$$

这是一个多输出电路，用逻辑门实现时还要对表达式作形式变换，尽量划分出公共项，以使总逻辑门数最少，这里不再叙述。

例 4-5 用 4 位加法器构成的电路如图 4-9 所示，试列出电路的真值表，说明电路的逻辑功能。

解 由电路图可知

$$F = b_2b_3 + b_1b_3$$

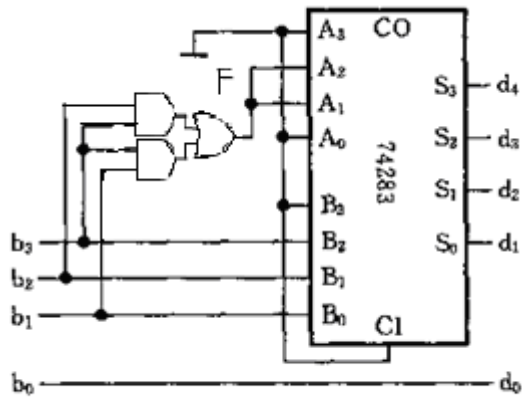


图 4-9 例 4-5 电路图

当  $F=0$  时,  $d_3d_2d_1d_0=b_3d_2d_1d_0$ ; 当  $F=1$  时,  $d_3d_2d_1d_0=b_3d_2d_1d_0+0110$ 。据此可列出电路真值表如表 4-4 所示。由真值表可见, 当输入数据小于 10 时, 输出等于输入; 当输入数大于等于 10 时,  $B=10d_4+d_3d_2d_1d_0$ 。所以这是一个 4 位二进制码到 8421BCD 码的码制转换电路,  $d_3d_2d_1d_0$  为低位 BCD 码,  $d_4$  为高位 BCD 码。

表 4-4 例 4-5 真值表

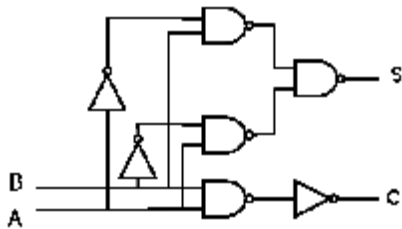
$b_3$	$b_2$	$b_1$	$b_0$	$F$	$d_4$	$d_3$	$d_2$	$d_1$	$d_0$	$b_3$	$b_2$	$b_1$	$b_0$	$F$	$d_4$	$d_3$	$d_2$	$d_1$	$d_0$
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	1	1	0	0	1	0	0	1	0	0	1
0	0	1	0	0	0	0	0	1	0	1	0	1	0	1	1	0	0	0	0
0	0	1	1	0	0	0	0	1	1	1	0	1	1	1	1	0	0	0	1
0	1	0	0	0	0	0	1	0	0	1	1	0	0	1	1	0	0	1	0
0	1	0	1	0	0	0	1	0	1	1	1	0	1	1	1	0	0	1	1
0	1	1	0	0	0	0	1	1	0	1	1	1	0	1	1	0	1	0	0
0	1	1	1	0	0	0	1	1	1	1	1	1	0	1	1	0	1	0	1

#### 四、习题解答

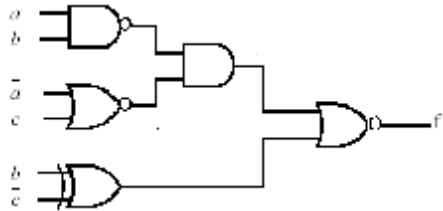
4-1. 什么是组合逻辑电路? 在电路结构上和逻辑功能上各有什么特征?

**答:** 组合逻辑电路在任何时刻, 电路的输出仅仅取决于该时刻的输入信号, 而与该时刻输入信号作用前电路原来的状态无关。电路结构上的特点是只有从输入到输出的通路, 而没有从输出反馈到输入的回路。在长期的数字电路的应用过程中, 形成了一些典型逻辑功能的组合逻辑电路, 如: 加法器、编码器、译码器、数据选择器、数值比较器等。

4-2. 分析题 4-2 (a) (b) 所示电路的逻辑功能。



(a)



(b)

题 4-2 图

**解:**

(a)图:  $S = \overline{\overline{AB}}(\overline{AB}) = \overline{AB} + \overline{AB}; C = AB$

逻辑功能如表 4-5 所示:

表 4-5 题 4-2 功能真值表

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

逻辑功能是实现半加器,  $S=A+B$ , 产生进位  $C$ 。

(b)  $f = \overline{(ab)(\overline{a+c}) + (b \oplus \overline{c})}$

$$f = \overline{(ab)(\overline{a+c}) + (b \oplus \overline{c})} = \left( \overline{(ab)(\overline{a+c})} \right) \overline{(b \oplus \overline{c})} = \left( (\overline{ab}) + (\overline{\overline{a+c}}) \right) \overline{(b \oplus \overline{c})} = (b + \overline{a+c})(\overline{b \oplus \overline{c}})$$

$$= \overline{b \oplus \overline{c}} + \overline{ab \oplus \overline{c}} = \overline{b \oplus \overline{c}} + \overline{bc} = \overline{b \oplus \overline{c}} + \overline{bc}(1 + \overline{a}) = \overline{b \oplus \overline{c}} + \overline{bc} = b \oplus c$$

实现了  $b$  和  $c$  两个变量的异或运算。

#### 4-3. 用小规模门电路实现函数

$$F(A, B, C, D) = \sum m(1, 3, 5, 7, 8, 9, 12, 13, 15)$$

要求用以下 6 种方案实现: (1) 与门 - 或门; (2) 与非 - 与非门; (3) 与或非门; (4) 与非门 - 与门; (5) 或门 - 与门; (6) 或非 - 或非门。

**解:** 将函数  $F$  用卡诺图化简, 如图 4-10 所示:

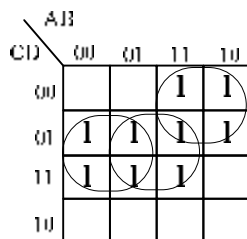


图 4-10 题 4-3 化简卡诺图

$$F = \overline{A}D + \overline{A}C + BD$$

(1) 与门 - 或门

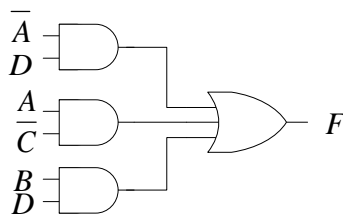


图 4-11 (a) 题 4-3 用与-或门实现图

(2) 与非 - 与非门

$$F = \overline{A}D + A\overline{C} + BD = \overline{\overline{\overline{A}D} \cdot \overline{\overline{A}C} \cdot \overline{BD}}$$

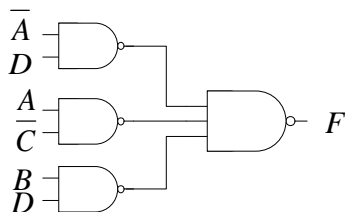


图 4-11 (b) 题 4-3 用与非门实现图

(3) 与或非门：由圈零法或者最大项表达式可以得到：

$$\begin{aligned} F &= (\overline{A} + B + \overline{C})(A + D)(\overline{C} + D) = \overline{\overline{\overline{A} + B + \overline{C}} \cdot \overline{A + D} \cdot \overline{\overline{C} + D}} \\ &= \overline{\overline{\overline{A} + B + \overline{C}} + \overline{A + D} + \overline{\overline{C} + D}} = \overline{\overline{A}B\overline{C} + \overline{A}D + C\overline{D}} \end{aligned}$$

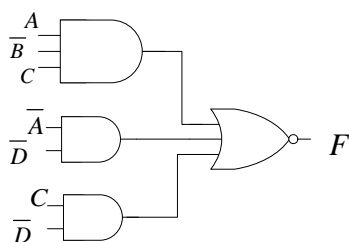


图 4-11 (c) 题 4-3 用与-或非门实现图

(4) 与非门 - 与门

$$F = \overline{\overline{A}B\overline{C} + \overline{A}D + C\overline{D}} = \overline{\overline{A}B\overline{C}} \cdot \overline{\overline{A}D} \cdot \overline{C\overline{D}}$$

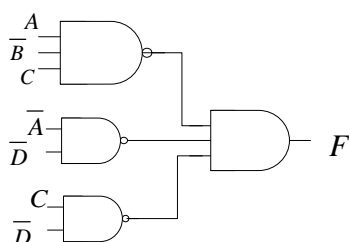


图 4-11 (d) 题 4-3 用与非-与门实现图

(5) 或门 - 与门

$$F = (\overline{A} + B + \overline{C})(A + D)(\overline{C} + D)$$



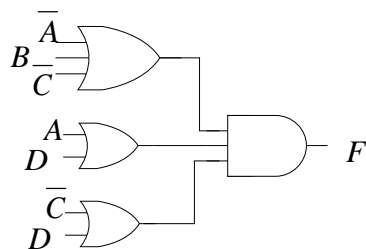


图 4-11 (e) 题 4-3 用或-与门实现图

(6) 或非 - 或非门

$$F = (\bar{A} + B + \bar{C})(A + D)(\bar{C} + D) = \overline{\overline{(\bar{A} + B + \bar{C})(A + D)(\bar{C} + D)}} \\ = \overline{(\bar{A} + B + \bar{C}) + (A + D) + (\bar{C} + D)}$$

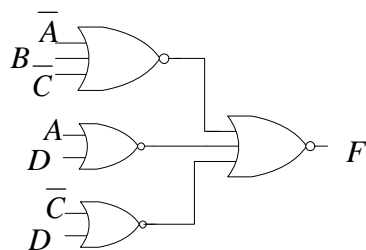


图 4-11 (f) 题 4-3 用或非门实现图

4-4. 用与非门设计一个判别电路，以判别 8421 码所表示的十进制数之值是否大于等于 5。

**解：**假设 8421 码所表示的十进制数为 ABCD，判别电路输出为 F，当 ABCD 大于等于 5 时，输出 F 为 1，否则为 0。根据题意，列表如表 4-6 所示：

表 4-6 题 4-4 真值表

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1

1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

CD \ AB				
	00	01	11	10
00	0	0	1	1
01	0	1	1	1
11	0	1	1	1
10	0	1	1	1

图 4-12 题 4-4 化简卡诺图

化简结果： $F = A + BD + BC = \overline{\overline{A + BD + BC}} = \overline{\overline{A} \cdot \overline{BD} \cdot \overline{BC}}$ ，设计电路如图 4-13 所示。

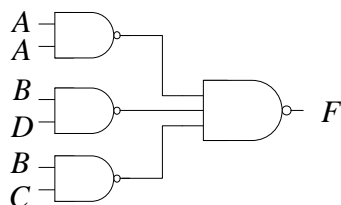


图 4-13 题 4-4 逻辑电路图

4-5 试设计一个可控组合逻辑电路，其功能是将 4 位二进制码和 4 位格雷码进行相互转换，转换受  $M$  控制。当  $M=1$  时，将 4 位二进制码转换成格雷码；当  $M=0$  时，将 4 位格雷码转换成 4 位二进制码。

解：

(1) 控制变量  $M=1$  时，将 4 位二进制码  $X_3X_2X_1X_0$  转换成格雷码  $Y_3Y_2Y_1Y_0$ ，列表如表

4-7 所示：

表 4-7 题 4-5  $M=1$  时真值表

序号	$X_3$	$X_2$	$X_1$	$X_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	1
7	0	1	1	1	0	1	0	0
8	1	0	0	0	1	1	0	0
9	1	0	0	1	1	1	0	1

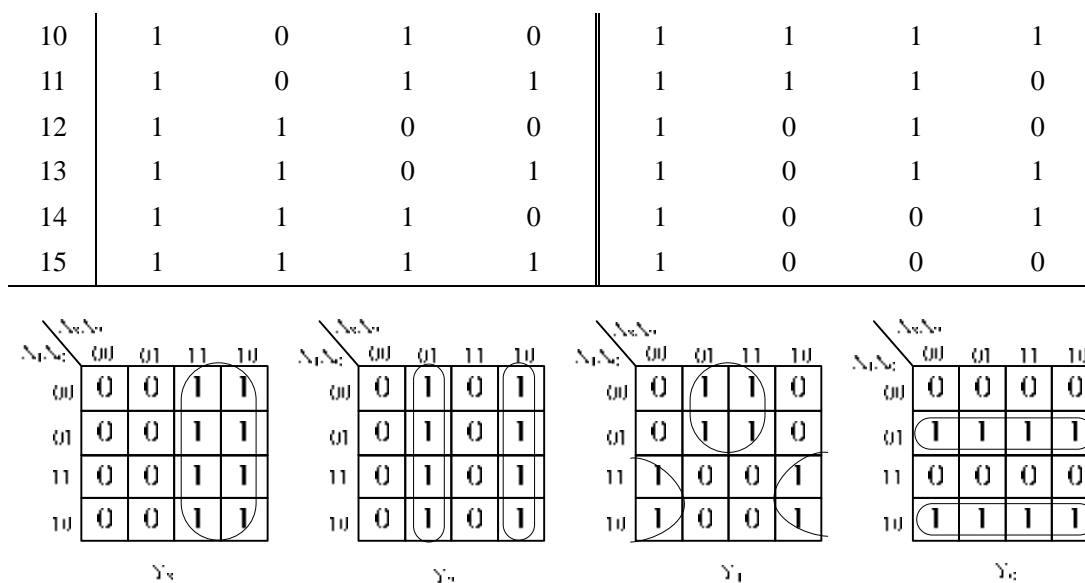


图 4-14 题 4-5 M=1 时化简卡诺图

$$Y_3 = X_3 \cdot M$$

$$Y_2 = (X_3 \overline{X_2} + \overline{X_3} X_2) \cdot M = (X_2 \oplus X_3) \cdot M$$

$$Y_1 = (X_2 \overline{X_1} + \overline{X_2} X_1) \cdot M = (X_1 \oplus X_2) \cdot M$$

$$Y_0 = (\overline{X_1} X_0 + X_1 \overline{X_0}) \cdot M = (X_0 \oplus X_1) \cdot M$$

(2) 控制变量  $M=0$  时，将 4 位格雷码  $X_3X_2X_1X_0$  转换成 4 位二进制码  $Y_3Y_2Y_1Y_0$ ，列表如

表 4-8 所示：

表 4-8 题 4-5 M=0 时真值表

序号	$X_3$	$X_2$	$X_1$	$X_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	1	0	0	1	0
3	0	0	1	0	0	0	1	1
4	0	1	1	0	0	1	0	0
5	0	1	1	1	0	1	0	1
6	0	1	0	1	0	1	1	0
7	0	1	0	0	0	1	1	1
8	1	1	0	0	1	0	0	0
9	1	1	0	1	1	0	0	1
10	1	1	1	1	1	0	1	0
11	1	1	1	0	1	0	1	1
12	1	0	1	0	1	1	0	0

13	1	0	1	1	1	1	0	1
14	1	0	0	1	1	1	1	0
15	1	0	0	0	1	1	1	1

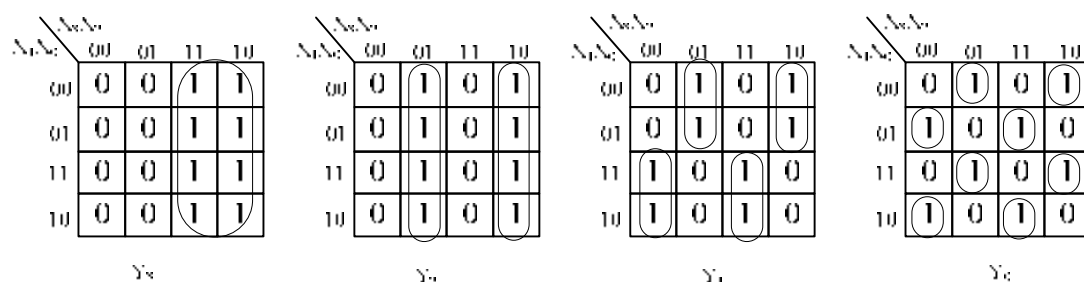


图 4-15 题 4-5 M=0 时化简卡诺图

$$Y_3 = X_3 \cdot \overline{M};$$

$$Y_2 = (X_3 \overline{X_2} + \overline{X_3} X_2) \cdot \overline{M};$$

$$Y_1 = (\overline{X_3} X_2 \overline{X_1} + X_3 \overline{X_2} \overline{X_1} + \overline{X_3} X_2 X_1 + X_3 \overline{X_2} X_1) \cdot \overline{M} = (\overline{X_1} (X_2 \oplus X_3) + X_1 (\overline{X_2} \oplus \overline{X_3})) \cdot \overline{M} \\ = (X_1 \oplus X_2 \oplus X_3) \cdot \overline{M}$$

$$Y_0 = (X_3 \oplus X_2 \oplus X_1 \oplus X_0) \cdot \overline{M}$$

(3) 写成总的输出逻辑表达式:

假设输入是  $X_3 X_2 X_1 X_0$  时, 输出是  $Y_3 Y_2 Y_1 Y_0$ 。控制变量  $M=1$  时, 将 4 位二进制码  $X_3 X_2 X_1 X_0$

转换成格雷码  $Y_3 Y_2 Y_1 Y_0$ ; 当控制变量  $M=0$  时, 将 4 位格雷码  $X_3 X_2 X_1 X_0$  转换成 4 位二进制

码  $Y_3 Y_2 Y_1 Y_0$ 。由上面分析可得:

$$Y_3 = X_3 M + X_3 \overline{M} = X_3$$

$$Y_2 = (X_3 \oplus X_2) \cdot (\overline{M} + M) = X_3 \oplus X_2$$

$$Y_1 = (X_1 \oplus X_2) \cdot M + (X_1 \oplus X_2 \oplus X_3) \cdot \overline{M} = (X_1 \oplus X_2) \cdot M + (X_1 \oplus Y_2) \cdot \overline{M} \\ = X_1 \oplus (MX_2 + \overline{M}Y_2) \\ = X_1 \oplus \overline{\overline{MX_2} \cdot \overline{\overline{MY_2}}} \\ = X_1 \oplus \overline{MX_2} \cdot \overline{MY_2}$$

$$Y_0 = X_0 \oplus \overline{\overline{MX_1} \cdot \overline{\overline{MY_1}}}$$

4-6 某学期考试四门课程, 数学: 7 学分; 英语: 5 学分; 政治: 4 学分; 体育: 2 学分;

每个学生总计要获得 10 个以上学分才能通过本学期考试。要求写出反映学生是否通过本学期考试的逻辑函数。并用或非门实现, 画出逻辑电路图。

解：设数学为 A，英语为 B，政治为 C，体育为 D，0 代表没有通过课程考试，1 代表通过课程考试。F 表示本学期考试是否通过，1 代表通过，0 代表没有通过。建立真值表如表 4-9 所示。

表 4-9 题 4-6 真值表

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

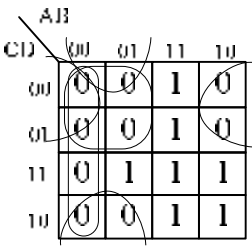


图 4-16 题 4-6 化简卡诺图

$$\begin{aligned}
 F &= (B + C)(A + C)(A + B)(A + D) \\
 &= \overline{\overline{(B + C)(A + C)(A + B)(A + D)}} \\
 &= \overline{\overline{B + C} + \overline{\overline{A + C} + \overline{\overline{A + B} + \overline{\overline{A + D}}}}}
 \end{aligned}$$

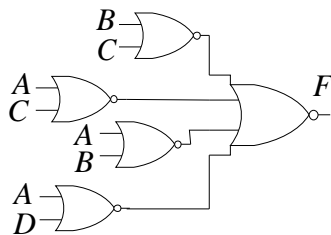


图 4-17 题 4-6 逻辑电路图

4-7 已知  $X = X_2X_1$ ，和  $Y = Y_2Y_1$  是两个正整数，写出判断  $X > Y$  的逻辑表达式。并用最少的门电路实现。能否选择中规模功能器件实现？

解：用  $F$  表示  $X > Y$  输出，1 代表  $X > Y$  成立，0 代表不成立，由题意真值表如表 4-10 所列：

表 4-10 题 4-7 真值表

$X$		$Y$		$F$
$X_2$	$X_1$	$Y_2$	$Y_1$	
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>1</b>
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>
<b>1</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>1</b>
1	0	1	0	0
1	0	1	1	0
<b>1</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>1</b>
<b>1</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>1</b>
<b>1</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>1</b>
1	1	1	1	0

		$X_2X_1$			
$Y_2Y_1$		00	01	11	10
	00	0	1	1	1
	01	0	0	1	1
	11	0	0	0	0
	10	0	0	1	0

图 4-18 题 4-7 化简卡诺图

$$F = X_2 \overline{Y_2} + X_1 \overline{Y_2} \overline{Y_1} + X_2 X_1 \overline{Y_1}$$

$$= \overline{\overline{X_2 \overline{Y_2}} \cdot \overline{X_1 \overline{Y_2} \overline{Y_1}} \cdot \overline{X_2 X_1 \overline{Y_1}}}$$

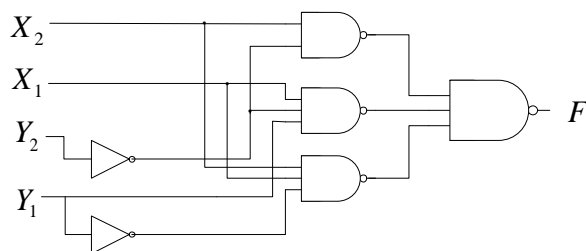


图 4-19 题 4-7 逻辑电路图

可以用中规模器件实现，由于是四变量，可以采用四线-十六线译码器；或者采用数据选择器实现，比如十六选一、八选一、四选一等。若采用八选一器件，Y1 为记图变量，将卡诺图降维成三变量卡诺图，如图 4-20 所示。

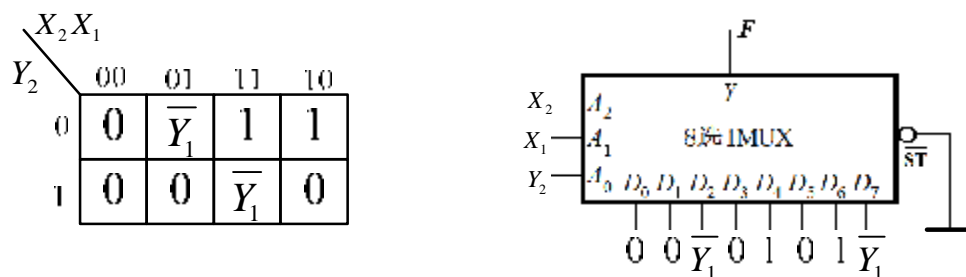


图 4-20 题 4-7 采用 8 选 1 实现逻辑电路图及化简图

$$F = 0 \cdot \overline{X_2} \overline{X_1} \overline{Y_2} + 0 \cdot \overline{X_2} \overline{X_1} Y_2 + \overline{Y_1} \cdot \overline{X_2} \overline{X_1} \overline{Y_2} + 0 \cdot \overline{X_2} X_1 Y_2$$

$$+ 1 \cdot X_2 \overline{X_1} \overline{Y_2} + 0 \cdot X_2 \overline{X_1} Y_2 + 1 \cdot X_2 X_1 \overline{Y_2} + \overline{Y_1} \cdot X_2 X_1 Y_2$$

或降维成两变量卡诺图，Y2 作为记图变量，将 3 变量卡诺图降维成 2 变量卡诺图，采用四选一实现如图 4-21 所示。

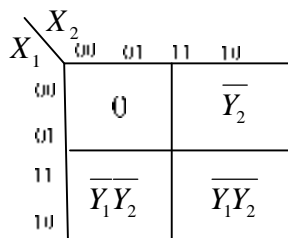


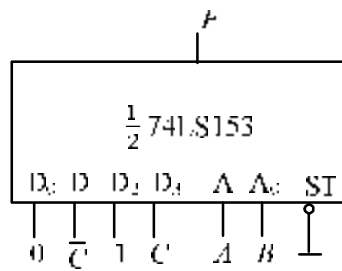
图 4-21 题 4-7 化简卡诺图

$$F = \overline{Y_2} \overline{Y_1} \cdot \overline{X_2} X_1 + \overline{Y_2} \cdot X_2 \overline{X_1} + (\overline{Y_2} + \overline{Y_1}) \cdot X_2 X_1$$

$$= 0 \cdot \overline{X_2} \overline{X_1} + (\overline{Y_2} \overline{Y_1}) \cdot \overline{X_2} X_1 + (\overline{Y_2}) \cdot X_2 \overline{X_1} + (\overline{Y_2} \overline{Y_1}) \cdot X_2 X_1$$

(电路图略)

4-8 用双 4 选 1 数据选择器 74LS153 实现的逻辑电路如题 4-8 图所示，试写出输出  $F$  的逻辑表达式。



题 4-8 图

**解：**图中两位地址  $A_1A_0$  连接为  $AB$ ， $D_0=0; D_1=\bar{C}; D_2=1; D_3=C$ ，所以：

$$\begin{aligned} F &= D_0 \bar{A} \bar{B} + D_1 \bar{A} B + D_2 A \bar{B} + D_3 AB \\ &= 0 \cdot \bar{A} \bar{B} + \bar{C} \cdot \bar{A} B + 1 \cdot A \bar{B} + C \cdot AB \\ &= \bar{C} \cdot \bar{A} B + A \bar{B} + C \cdot AB \end{aligned}$$

4-9 试用全加器实现一个 2 位二进制乘法运算电路。

**解：**(1) 全加器的逻辑符号如图 4-22 所示：

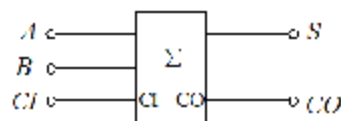


图 4-22 全加器逻辑符号

设  $A$ 、 $B$  为两个 1 位二进制加数， $CI$  为低位来的进位， $S$  为本位的和， $CO$  为本位向高位的进位。 $S$  和  $CO$  的逻辑表达式为

$$\begin{aligned} S &= \bar{A} \bar{B} CI + \bar{A} B \bar{C} I + A \bar{B} \bar{C} I + ABCI \\ &= \bar{A}(\bar{B} CI + B \bar{C} I) + A(\bar{B} \bar{C} I + BCI) = \bar{A}(B \oplus CI) + A(\overline{B \oplus CI}) \\ &= A \oplus B \oplus CI \end{aligned}$$

$$\begin{aligned} CO &= \bar{A} B CI + A \bar{B} CI + AB = AB + B \cdot CI + A \cdot CI \\ &= (A \oplus B) CI + AB \end{aligned}$$

半加器的  $CI=0$ ，所以：

$$S' = A \oplus B \oplus CI = A \oplus B \oplus 0 = A \oplus B; CO' = (A \oplus B) CI + AB = AB$$

即半加器的进位  $CO$  可以实现“与”运算；和输出可以实现“异或”运算。

(2) 2 位二进制乘法运算：

假设两位二进制数  $(A_1A_0)_2$  和  $(B_1B_0)_2$  相乘得到结果，最高为 4 位，假设为  $(Y_3Y_2Y_1Y_0)_2$ ，



即：  $(A_1A_0) \times (B_1B_0) = (Y_3Y_2Y_1Y_0)$ ，列计算式有：

$$\begin{array}{r}
 \begin{array}{cc} A_1 & A_0 \\ \times & B_1 & B_0 \\ \hline A_1B_0 & A_0B_0 \\ A_1B_1 & A_0B_1 \\ \hline \end{array} \\
 \begin{array}{cccc} & & + & \\ & & CO_1 & \\ \hline & + & & \\ CO_2 & & & \\ \hline Y_3 & Y_2 & Y_1 & Y_0 \end{array}
 \end{array}$$

具体电路实现方式：利用与门实现  $A_0B_0$ 、 $A_1B_0$ 、 $A_0B_1$ 、 $A_1B_1$ ，然后利用一个全加器实现  $Y_1=A_1B_0+A_0B_1$ ，产生的和就是  $Y_1$ ，产生的进位  $CO_1$  供给高位计算产生  $Y_2$ ；再利用一个全加器实现：  $Y_2=A_1B_1+CO_1$ ，产生的和是  $Y_2$ ，产生的进位  $CO_2$  就是  $Y_3$ 。

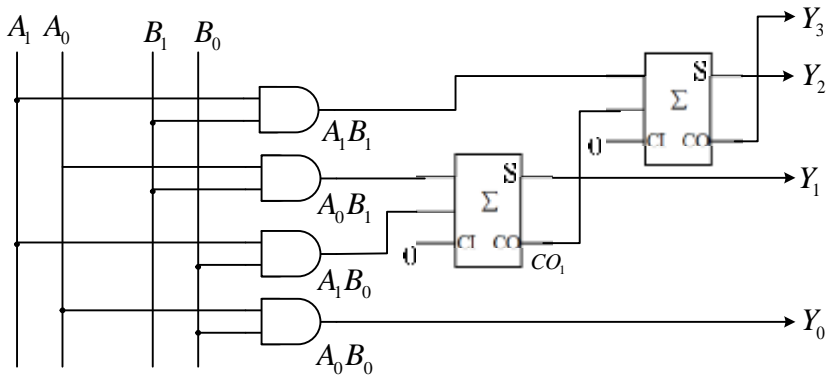


图 4-23 题 4-8 逻辑电路图

图 4-23 中四个与项  $A_0B_0$ 、 $A_1B_0$ 、 $A_0B_1$ 、 $A_1B_1$  也可以利用全加器实现，把两个变量送到全加器的加数和被加数端，低位的 CI 接 0，此时 CO 输出端就产生“与”的输出。

4-10 有一密码锁有三个按键，分别是 A、B、C。当三个键均不按下时，锁打不开，也不报警；当只有一个键按下时，锁打不开，且发出报警信号；当有两个键同时按下时，锁打开，也不报警。当三个键都按下时，锁打开，但要报警。请设计此逻辑电路，分别用（1）门电路；（2）3 线 - 8 线译码器和与非门；（3）双 4 选 1 数据选择器和非门；（4）全加器来实现。

**解：**假设 F 代表锁是否打开，F=1 锁打开，反之不打开；Y 代表是否报警，Y=1 报警，Y=0 不报警。0 代表按键未按下，1 代表按键按下。F=0 表示锁打不开，F=1 表示锁开。

根据三个按键和 F 与 Y 的关系，列出真值表如表 4-11 所示：

表 4-11 题 4-10 真值表

$A$	$B$	$C$	$F$	$Y$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

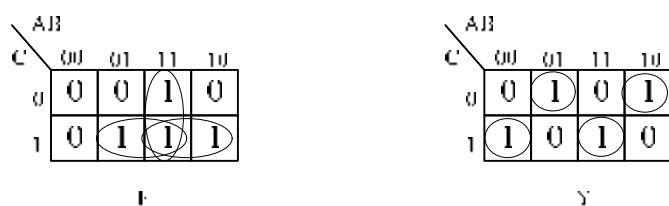


图 4-24 题 4-10 化简卡诺图

$$F = AB + BC + AC \quad Y = \overline{A}\overline{B}\overline{C} + ABC + \overline{A}\overline{B}C + \overline{A}BC$$

(1) 采用门电路实现如下:

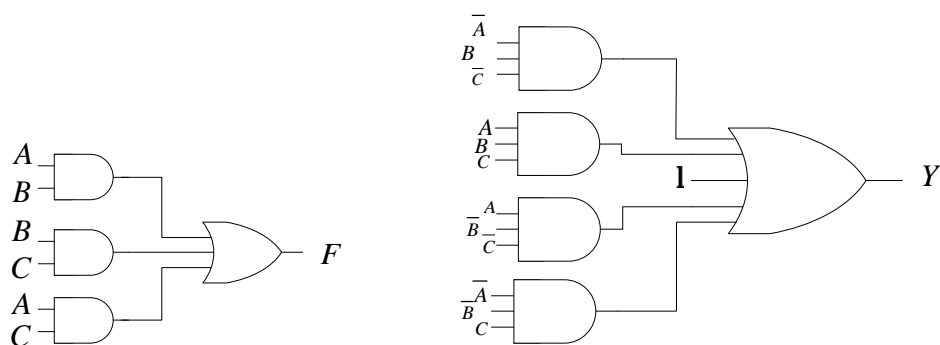


图 4-25 题 4-10 采用门电路实现逻辑电路图

(2) 3 线 - 8 线译码器和与非门:

$$\begin{aligned} F &= AB + BC + AC \\ &= m_3 + m_5 + m_6 + m_7 \\ &= \overline{\overline{m_3} \cdot \overline{m_5} \cdot \overline{m_6} \cdot \overline{m_7}} \\ Y &= \overline{A}\overline{B}\overline{C} + ABC + \overline{A}\overline{B}C + \overline{A}BC \\ &= m_1 + m_2 + m_4 + m_7 \\ &= \overline{\overline{m_1} \cdot \overline{m_2} \cdot \overline{m_4} \cdot \overline{m_7}} \end{aligned}$$

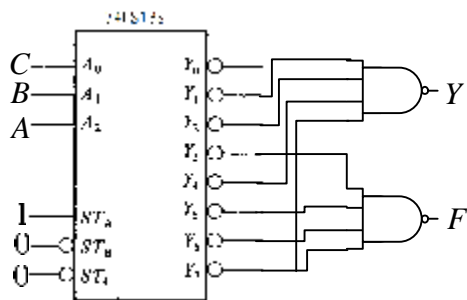


图 4-26 题 4-10 采用译码器实现逻辑电路图

(3) 双 4 选 1 数据选择器和非门

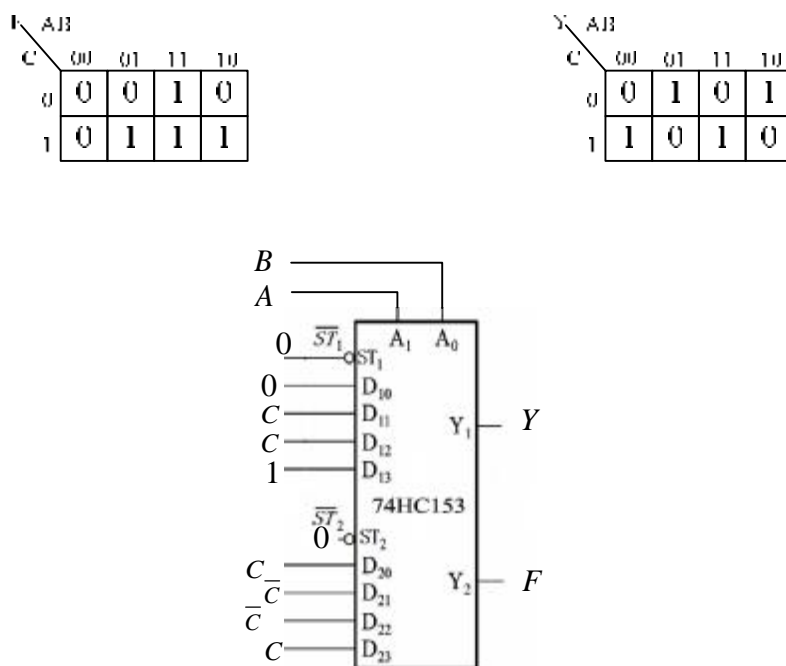


图 4-27 题 4-10 采用门电路实现逻辑电路图

$$F = 0 \cdot \overline{AB} + C \cdot \overline{AB} + C \cdot \overline{AB} + 1 \cdot AB \quad Y = C \cdot \overline{AB} + \overline{C} \cdot \overline{AB} + \overline{C} \cdot \overline{AB} + C \cdot AB$$

(4) 全加器来实现:

$$F = AB + BC + AC \quad Y = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + A\overline{B}\overline{C} + \overline{A}BC$$

Y 为 A+B+C 全加器的和, F 为 A+B+C 全加器的本位向高位的进位。

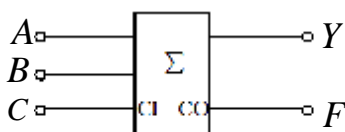


图 4-28 题 4-10 采用全加器实现逻辑电路图

4-11 用 8 选 1 的数据选择器和与非门实现函数：

$$(1) F(A, B, C, D) = \sum m(1, 2, 3, 5, 6, 8, 9, 12)$$

$$(2) F(A, B, C, D, E) = \sum m(0, 1, 3, 9, 11, 12, 13, 14, 20, 21, 22, 23, 26, 31)$$

解：(1) 采用降维法，D 作为记图变量，将四变量函数变成三变量函数，如下：

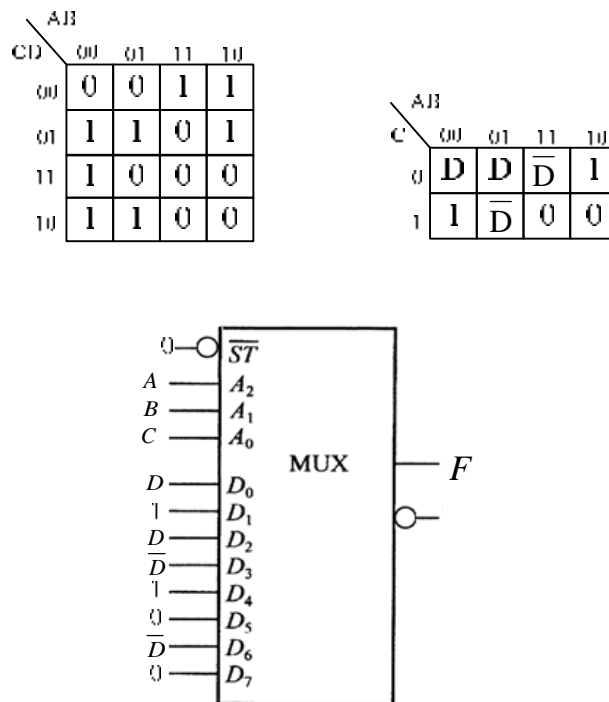


图 4-29 题 4-11 化简卡诺图及数据选择器实现图

(2) 采用降维法，将五变量函数变成四变量函数，依次将 A 和 E 作为记图变量，降成四变量和三变量卡诺图，化简过程如图 4-30 所示：

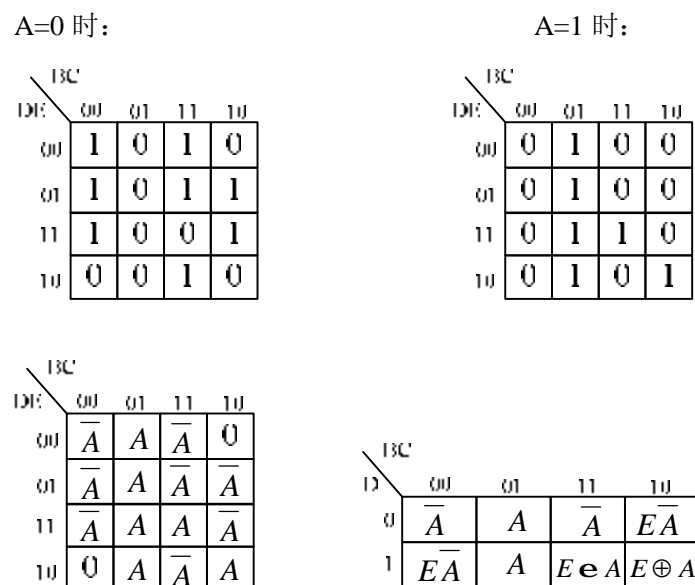


图 4-30 题 4-11 卡诺图化简降维图

用 8 选 1 的数据选择器实现如下：

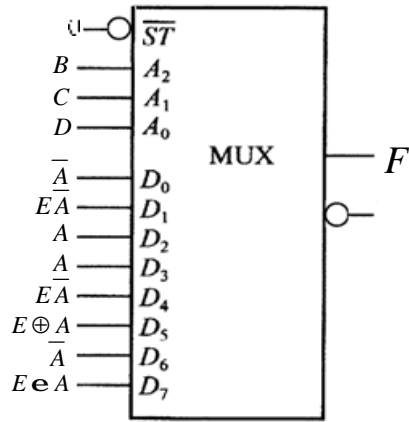


图 4-31 题 4-11 数据旋转器实现图

4-12 利用 3 线-8 线译码器 74HC138 设计一个多输出的组合逻辑电路。输出逻辑函数式为

$$F_1 = \overline{AC} + \overline{ABC} + \overline{ABC}$$

$$F_2 = BC + \overline{ABC}$$

$$F_3 = \overline{AB} + \overline{ABC}$$

$$F_4 = \overline{ABC} + \overline{BC} + ABC$$

解：将以上四个逻辑函数转变成最小项形式：

$$F_1 = \overline{AC} + \overline{ABC} + \overline{ABC} = m_3 + m_4 + m_5 + m_6 = \overline{\overline{m_3} \cdot \overline{m_4} \cdot \overline{m_5} \cdot \overline{m_6}} = \overline{\overline{Y_3} \cdot \overline{Y_4} \cdot \overline{Y_5} \cdot \overline{Y_6}}$$

$$F_2 = BC + \overline{ABC} = m_1 + m_3 + m_7 = \overline{\overline{m_1} \cdot \overline{m_3} \cdot \overline{m_7}} = \overline{\overline{Y_1} \cdot \overline{Y_3} \cdot \overline{Y_7}}$$

$$F_3 = \overline{AB} + \overline{ABC} = m_2 + m_3 + m_5 = \overline{\overline{m_2} \cdot \overline{m_3} \cdot \overline{m_5}} = \overline{\overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_5}}$$

$$F_4 = \overline{ABC} + \overline{BC} + ABC = m_0 + m_2 + m_4 + m_7 = \overline{\overline{m_0} \cdot \overline{m_2} \cdot \overline{m_4} \cdot \overline{m_7}} = \overline{\overline{Y_0} \cdot \overline{Y_2} \cdot \overline{Y_4} \cdot \overline{Y_7}}$$

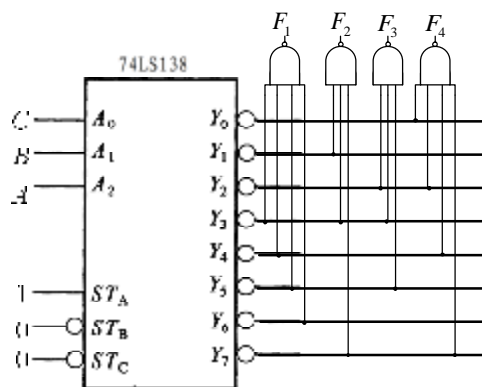


图 4-32 题 4-12 逻辑电路图

4-13 设计一个多功能组合逻辑电路，要求实现如题 4-13 表所列的逻辑功能。其中  $M_1M_0$  为选择信号， $A$ 、 $B$  为输入逻辑变量， $F$  为输出。试用 4 选 1 数据选择器实现。

题 4-13 表

$M_1$	$M_0$	$F$
0	0	$\overline{A+B}$
0	1	$AB$
1	0	$A \oplus B$
1	1	$A \odot B$

解：由上面功能表，可列出函数输出表达式：

$$F = \overline{A+B} \cdot \overline{M_1M_0} + AB \cdot \overline{M_1}M_0 + (A \oplus B) \cdot M_1\overline{M_0} + (A \odot B) \cdot M_1M_0$$

利用 4 选 1 数据选择器实现如下图：

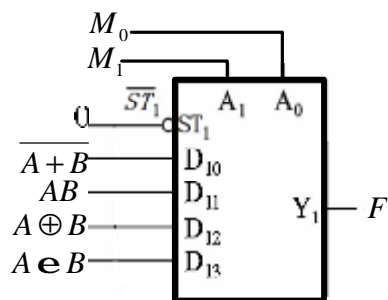


图 4-33 题 4-13 利用门电路及数据选择器实现图

各功能输出为： $\overline{A+B} = \overline{AB}$ ； $A \oplus B = \overline{AB} + AB$ ； $A \odot B = \overline{AB} + AB$ ，可以利用简单逻辑门电路实现，也可以再利用 4 选 1 数据选择器实现，如下图：

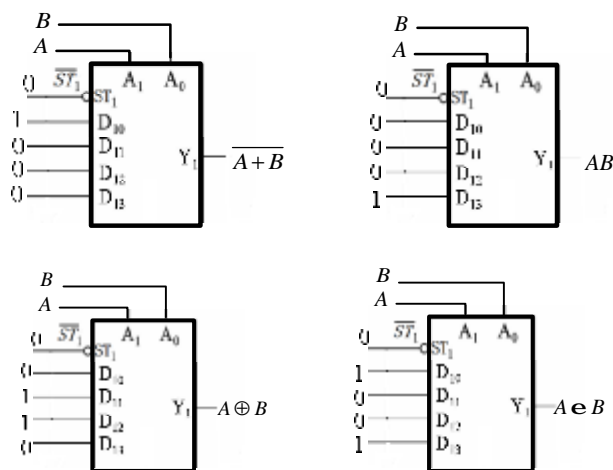


图 4-34 题 4-13 利用多个数据选择器实现图

4-14 简述加法器、编码器、译码器、数据选择器和数值比较器的逻辑功能及主要用途。

答：

(1) 加法器：逻辑功能是实现 1 位或多位的加法运算模块。有半加器和全加器，实现多位加法运算的模块有串行进位加法器和超前进位加法器。主要用途：它是构成算术运算器的基本单元，两个二进制数之间所进行的算术运算加、减、乘、除等，在数字计算机中都是化作若干步加法运算进行。

(2) 编码器：逻辑功能是将具有特定意义的信息编成相应二进制代码的过程。有普通编码器和优先编码器的区分。主要用途：在数字系统中，常常需要把二进制代码按照一定的规律编排，如 8421 码、5421 码和格雷码等，使每组代码具有特定的含义。

(3) 译码器：逻辑功能是根据输入的编码来确定对应的输出信号，是编码的逆过程。主要用途：将输入的二进制代码翻译成相应输出信号电平，种类很多，根据所完成的逻辑功能可分为变量译码器、码制译码器和显示译码器三种。

(4) 数值比较器：逻辑功能是用来比较两个相同位数二进制数大小及是否相等的组合逻辑电路。其输入是要进行比较的两个二进制数，输出是比较的三个结果：大于、小于、等于。主要用途：在各种数字系统中，对两个二进制数进行大小判别，然后根据判别结果执行某种操作。

4-15 简述采用集成逻辑门设计组合逻辑电路的方法和采用中规模功能器件设计组合逻辑电路的方法。

答：

组合逻辑电路设计过程是根据给定要实现的逻辑功能要求，找出实现这一逻辑功能的逻辑电路。由给定逻辑器件不同，分为两种：

(1) 采用集成逻辑门设计组合逻辑电路方法：由给定的逻辑功能要求，分析得到问题的逻辑函数表达式以后，化简逻辑函数表达式，再按给定的集成逻辑门器件的类型特点，进行适当的函数表达式变换，根据化简与变换后的最佳输出逻辑函数表达式，画出逻辑电路图，完成设计任务。

(2) 采用中规模功能器件设计组合逻辑电路方法：中规模集成电路器件有各自的类型特点，如加法器、编码器、译码器、数据选择器、数值比较器、奇偶检验/产生器等，要利用这些中规模组合器件的各种功能及其使能端、扩展端实现要设计的任务。同样由给定的逻辑功能要求，分析得到问题的逻辑函数表达式以后，按照给定的中规模集成电路器件特点，适当化简并转换要实现的逻辑函数表达式，通常所谓“逻辑函数对比法”，画出逻辑电路图，完成设计任务。

4-16 组合逻辑电路为什么会出现竞争冒险现象？如何判断组合逻辑电路在某些输入信号变化时是否会出现竞争冒险？如何避免或消除竞争冒险？

答：

(1) 理想情况下，假设电路的连线和集成门电路都没有延迟，电路中的多个输入信号都是同时瞬间发生变化的，而实际上信号通过连线及集成门都有一定延迟时间，输入信号变化也需要一个过渡时间，多个输入信号发生变化时，有可能有先后变化差异。因此，在理想情况下设计的组合逻辑电路，受到上述因素的影响后，可能在输入信号发生变化的瞬间，在输出端出现一些不正确的尖峰信号。这些尖峰信号又称毛刺信号，主要是由信号经不同的路径或控制，到达同一点的时间不同而产生的竞争引起的，故称为竞争冒险现象。

(2) 如何判断：在输入变量每次只有一个改变状态的简单情况下，可以通过电路的输出逻辑函数表达式或卡诺图，来判断组合逻辑电路中是否有竞争冒险现象的存在，这就是常用的代数法和卡诺图法。在一定条件下，如果电路的输出逻辑函数等于某个原变量与其反变量之积 ( $Y = A \cdot \bar{A}$ ) 或之和 ( $Y = A + \bar{A}$ )，则电路存在竞争冒险现象。还可以用卡诺图判断电路是否存在竞争冒险现象，在电路输出函数卡诺图上，凡存在乘积项包围圈相邻者，则有竞争冒险存在；相交或不相邻，无竞争冒险。

(3) 如何避免或消除竞争冒险：常用的方法是修改逻辑设计、引入选通脉冲和加输出滤波电容三种方法。



# 第五章 触发器

## 一、知识点解析

### 1. 触发器的基本特点

触发器是具有记忆功能、能存储 1 位二值信号的电路，是时序逻辑电路的基本单元。其基本特点是：

- (1) 有两个稳态。因此，触发器也称为双稳态触发器。
- (2) 具有触发翻转的特性。在外部信号触发下，两个稳态可以相互转换。
- (3) 利用不同的输入信号可将触发器置成任一稳态，并在输入信号撤销后能保持该稳态不变。

### 2. 触发器的电路结构与动作特点

触发器种类繁多，可以从不同的角度对其分类。

依据使用器件的工艺，可分为 TTL 型触发器、CMOS 型触发器、ECL 型触发器等。

依据逻辑功能，可分为 RS 触发器、D 触发器、JK 触发器和 T 触发器等。

依据触发翻转方式，可分为电平触发、脉冲触发和边沿型触发等。

依据电路结构，可分为主从型触发器、时钟型触发器、主从型和边沿型触发器等。其中，边沿型触发器又可分为维持阻塞型和传输门构成的边沿触发器。不同的电路结构决定了触发器不同的触发翻转方式。即触发器在状态转换过程中具有不同的动作特点。

基本 RS 触发器的输入信号在全部作用时间内都能直接改变输出端  $Q$  和  $\bar{Q}$  的状态，即能直接置 1 或直接置 0。

钟控触发器在  $CP=1$  的全部时间内，其输入信号都将引起触发器状态的相应变化。 $CP=0$  时，触发器保持原来的状态不变。

主从型触发器的翻转分两步进行；在  $CP=1$  期间主触发器根据输入信号决定其输出状态，而从触发器不工作。当  $CP$  由 1 变为 0 时，从触发器跟随主触发器的状态变化。无论  $CP=1$  或 0，主触发器和从触发器总是一个工作一个封锁，输入信号不可能直接影响输出端  $Q$  和  $\bar{Q}$  的状态，即每来一个  $CP$  脉冲，触发器的状态只能改变一次。

维持阻塞型触发器的状态仅仅取决于  $CP$  脉冲的上升沿到达时的输入信号，而在此之前和之后，无论  $CP=1$  还是  $CP=0$ ，输入信号都对触发器状态没有影响。

### 3. 触发器逻辑功能的描述方法

根据逻辑功能，通常把触发器分为 RS、JK、D、T 等几种类型。这些触发器的逻辑功能可以用真值表、特征方程、状态转移真值表或状态图等方法来描述，可以用来表示触发器的次态、现态和输入信号之间的逻辑关系。表 5-1 所示为上述几类触发器的特征方程。由表 5-1 可见：只有 RS 触发器在使用时存在约束条件  $RS=0$ ，即 R 和 S 端不能同时为 1。

表 5-1 触发器状态转移方程

RS	JK	D	T
$Q^{n+1} = S + \bar{R}Q$ $SR = 0$	$Q^{n+1} = J\bar{Q} + \bar{K}Q$	$Q^{n+1} = D$	$Q^{n+1} = T \oplus Q$

### 4. 触发器的电路结构和逻辑功能的关系

触发器的电路结构和逻辑功能是两个不同的概念，触发器的逻辑功能、电路结构以及触发方式之间没有固定的对应关系，其触发方式主要取决于具体电路结构形式。同一种电路结构可以构成不同功能的触发器。例如，主从型电路结构可以构成主从 JK 触发器(TTL 型)，也可以构成主从 CMOS D 触发器；反之，同一种逻辑功能的触发器也可以由不同的电路结构来实现。例如，D 触发器，有维持阻塞型 D 触发器(TTL 型六与非门结构)，也有主从型 D 触发器(CMOS 型、传输门结构)。常用的几类触发器列入下表 5-2 中。由表 5-2 可见：触发器的逻辑功能与触发器的电路结构形式是完全不同的两种基本概念，电路结构同触发方式之间也没有固定的对应关系。例如，主从 CMOS JK 触发器和主从 CMOS D 触发器，既有下降沿触发方式，也有上升沿触发方式。

表 5-2 常见触发器电路结构及触发方式

名 称	电 路 结 构	触 发 方 式
基本 RS 触发器	二与非门(或二或非门)	电平触发
同步 RS 触发器	四与非门	脉冲触发(上升沿)
主从 RS 触发器	九与非门,主从型	脉冲触发(下降沿)
主从 JK 触发器	九与非门,主从型	脉冲触发(下降沿)
维持阻塞 D 触发器	六与非门,维持阻塞型	正边沿触发
主从 CMOS JK 触发器	CMOS 传输门主从型	负边沿触发或正边沿触发
主从 CMOS D 触发器	CMOS 传输门主从型	负边沿触发或正边沿触发
负边沿型 JK 触发器	利用门电路的传输延迟时间	负边沿触发

### 5. 触发器的转换方法

各种功能触发器之间在一定条件下是可以相互转换的。实际中根据触发器功能特点,通

过增加一些门电路和一些连线,可方便地将一种功能触发器转换成另一种功能触发器。研究触发器转换的方法,一是实际应用的需要,触发器种类繁多,但产品只有 JK 和 D 两类,若需要 T 型触发器,则必须用 JK 或 D 触发器转换;二是可以加深对各类触发器的真值表、特征方程及其逻辑功能等内容的理解和运用。实现触发器转换的关键是要找出触发器的激励条件,即次态方程(特征方程)。例如,要将 D 触发器转换成其他功能触发器,关键要找出 D 触发器的激励输入端 D 应满足的条件,即 D 端的逻辑表达式。代数转换法是通过比较两种触发器的特征方程,得到转换关系即被转换触发器的驱动方程的方法。

## 6. 画工作波形要点

在实际调试逻辑电路时,经常会遇到给定各种输入波形,要求画出触发器工作波形的情况,这时必须注意以下几点。

(1)以时钟 CP 的作用沿为基准,划分时间间隔,CP 作用沿到来之前为现态,作用沿到来后为次态。

(2)若提供了  $\overline{S}_D$  或  $\overline{R}_D$  信号,则必须考虑  $\overline{S}_D$  或  $\overline{R}_D$  信号的异步清 0 或置 1 功能,异步清零及置 1 操作不受时钟 CP 的控制,画波形图时要特别注意。

(3)不同类型的触发器的动作特点(翻转时刻)不同,主从 JK 型触发器在 CP 脉冲下降沿时状态翻转。维持阻塞 D 型触发器在 CP 脉冲上升沿时状态翻转,T 型触发器则由转换的触发器确定。所以,触发器的翻转时刻应依据具体产品或者题意指定的触发方式来确定。

(4)在确定触发器输入信号的逻辑值时,若 CP 脉冲的跳变与输入信号的跳变发生在同一时刻,则输入端应取跳变前一刻的逻辑值。

## 二、重点及难点

### 重点

1. 基本 R-S 触发器、钟控 R-S、D、J-K、T 触发器的逻辑结构、状态方程、状态转移真值表、激励表、波形关系图、逻辑图。

2. 主从触发器、边沿触发器的触发方式、功能表、逻辑符号的表示方法、波形关系图、工作特性。

### 难点

1. 波形关系图的画法(多次翻转、一次翻转、不确定状态、触发等),抗干扰能力。

2. 主从型、边沿型、CMOS 传输门型工作过程分析。

### 三、典型题解

例 5-1 电路及输入波形分别如图 5-1 及图 5-2 所示，试画出  $Q_1$ 、 $Q_2$  波形。

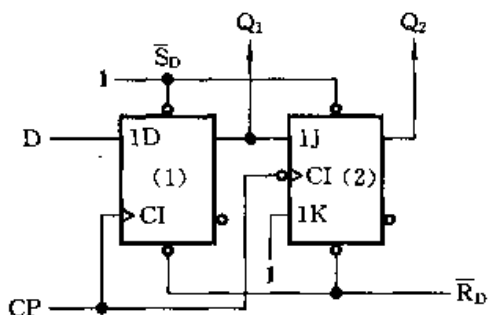


图 5-1 例 5-1 电路图

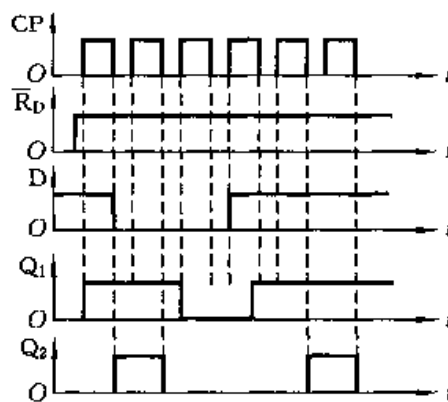


图 5-2 例 5-1 波形图

解  $\overline{R_D}$  信号对两个触发器都有效。D 触发器是上升沿触发、JK 触发器是下降沿触发。

$J = Q_1$ 、 $K = 1$ 。由此可画出  $Q_1$  和  $Q_2$  的波形，如图 5-2 所示。因为  $\overline{R_D}$  为 0，所以起始状态  $Q_1 = Q_2 = 0$ 。当第 1 个 CP 脉冲上升沿到来时， $D = 1$ ，因此  $Q_1$  由 0 变为 1。当它的下降沿出现时， $J = Q_1 = 1$ ， $K = 1$ ，所以  $Q_2$  由 0 变为 1。当第 2 个 CP 脉冲出现时， $D = 1$ ，所以  $Q_1$  维持 1 不变。当它的下降沿出现时， $J = Q_1 = 1$ 、 $K = 1$ ，因此  $Q_2$  由 1 变为 0。用类似的分析方法可画出其它 CP 脉冲作用下的波形。画图时注意，在图 5-2 中第 1 个 CP 脉冲上升沿时刻， $D = 1$ ，第 4 个 CP 脉冲上升沿时刻， $D = 0$ 。

例 5-2 利用增加与非门的方法，将主从型 RS 触发器转换为主从型 JK 触发器，画出逻辑图，并写出设计过程。

解 写出 RS 触发器和 JK 触发器的特征方程

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \end{cases} \quad 5-1$$

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n \quad 5-2$$

将 RS 触发器状态方程变化为

$$Q^{n+1} = S + \overline{RQ^n}Q^n \quad RS = 0 \quad 5-3$$

比较 5-2 式及 5-3 式可以得出

$$\begin{aligned} S &= J\overline{Q}^n \\ R &= KQ^n \end{aligned} \quad \text{满足 } RS=0$$

画出逻辑图如图 5-3 所示。

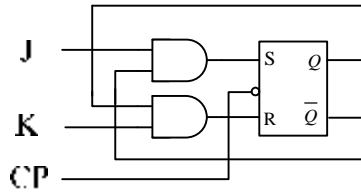


图 5-3 例 5-2 逻辑电路图

**例 5-3** 写出图 5-4 中所示电路特征方程，并说出电路的功能。

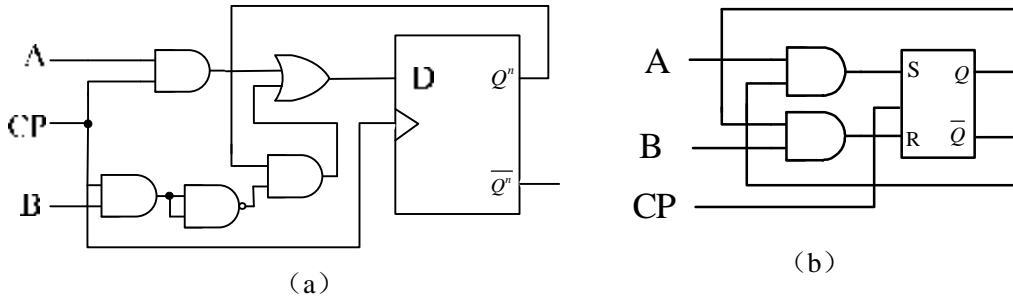


图 5-4 例 5-3 逻辑电路图

**解** 题意要求写出电路的特征方程，为此可先写出触发器的特征方程，经简化得到电路的特征方程，然后将它与已知触发器的特征方程进行比较，即可确定电路的功能。

由图 (a) 所示电路可以写出电路的状态转移方程

$$Q^{n+1} = D = A \cdot CP + \overline{B} \cdot CP \cdot Q^n$$

当 CP=0 时， $Q^{n+1} = Q^n$

当 CP=1 时， $Q^{n+1} = A + \overline{B} \cdot Q^n = S + \overline{R} \cdot Q^n$

在没有时钟作用时电路状态不变。有时钟作用时，电路特征方程与 RS 触发器类似。因此，可以确定该电路是由 D 触发器转换成的 RS 触发器，A 相当于 S 端，B 相当于 R 端。但是，必须指出 RS 触发器具有约束条件，而转换后的电路不存在约束条件，即当 A=B=1 时， $Q^{n+1} = 1$ 。因此，该电路是一种无约束条件的 RS 触发器。

(b) 由图所示电路可写出方程

$$Q^{n+1} = S + \overline{R} \cdot Q^n = A \cdot \overline{Q^n} + \overline{B} \cdot Q^n \cdot Q^n = A \cdot \overline{Q^n} + \overline{B} \cdot Q^n = J \cdot \overline{Q^n} + \overline{K} \cdot Q^n$$

所以，该电路是由 RS 触发器转换成的 JK 触发器，A 相当于 J 端，B 相当于 K 端。

**例 5-4** 电路如图 5-5 所示。触发器为主从型 JK 触发器，设初始状态均为 0。试按给定的输入信号波形画出输出  $Q_1$ 、 $Q_2$  端的波形。

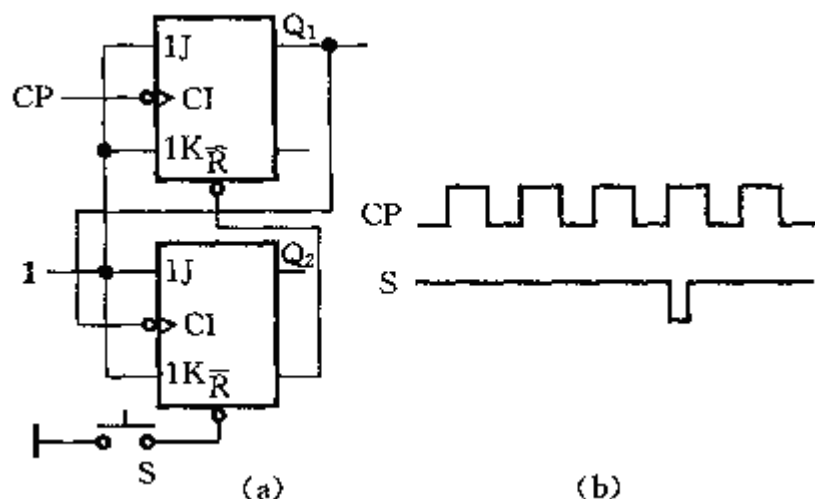


图 5-5 例 5-4 电路图及波形图

**解** 两个触发器均为  $J=K=1$ ，所以都是翻转触发器，只是触发器(1)的时钟是 CP 脉冲，而触发器(2)的时钟是  $Q_1$  输出。此外，触发器(1)的异步清零信号来自  $\overline{Q_2}$ ，而触发器(2)的异步清零信号由开关 S 提供。第 1 个 CP 脉冲下降沿到来时， $Q_1$  由 0 变为 1， $Q_2$  维持 0 状态不变(无触发)。第 2 个 CP 脉冲下降沿到来时， $Q_1$  由 1 变为 0，因此  $Q_2$  由 0 变为 1。第 3 个 CP 脉冲到来时，由于  $\overline{Q_2}$  为低电平，使  $Q_1$  处于异步清零状态。因此， $Q_1$  保持 0 状态不变， $Q_2$  保持 1 状态不变，随后出现下降沿脉冲， $Q_2$  由 1 变为 0( $\overline{Q_2}$  则由 0 变为 1，将触发器(1)释放)。第 4 个 CP 脉冲下降沿到来时， $Q_1$  由 0 变为 1。第 5 个 CP 脉冲下降沿使  $Q_1$  由 1 变为 0，触发器(2)得到触发。因此， $Q_2$  由 0 变为 1。 $Q_1$  和  $Q_2$  波形如图 5-6 所示。

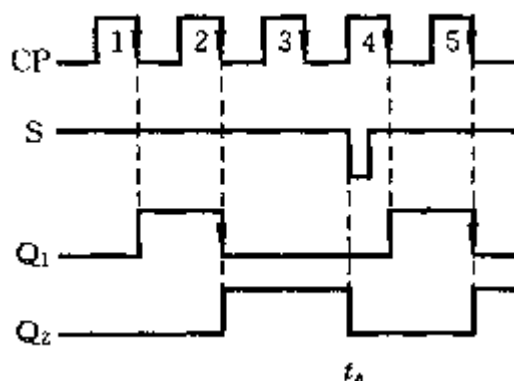
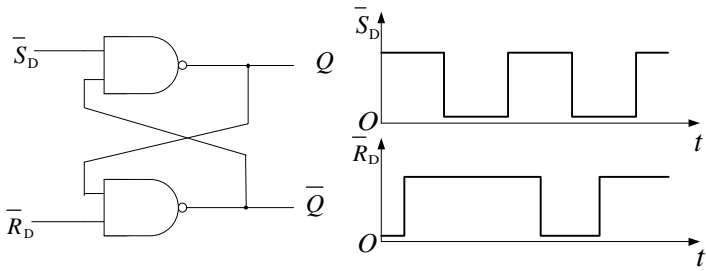


图 5-6 电路图输出波形图

# 四、习题解答

5-1 画出题 5-1 图中由与非门组成的基本  $RS$  触发器输出端  $Q$ 、 $\bar{Q}$  的电压波形，输入端  $\bar{S}_D$ 、 $\bar{R}_D$  的电压波形如图所示。



题 5-1 图

解  $RS$  触发器的状态方程为 
$$\begin{cases} Q^{n+1} = S_D + \bar{R}_D Q^n \\ S_D R_D = 0 \end{cases}$$
， $RS$  触发器输出端  $Q$ 、 $\bar{Q}$  的电压波形

如图所示

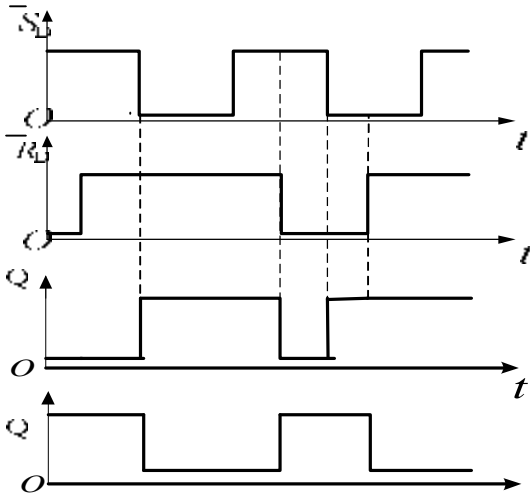
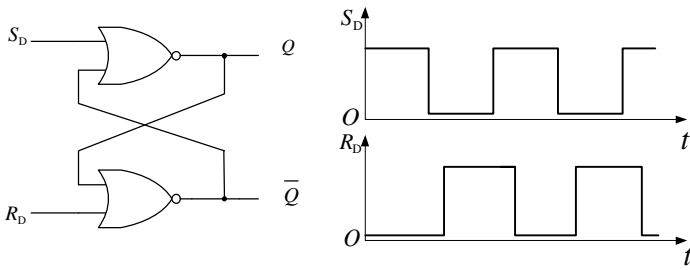


图 5-7 题 5-1 波形图

5-2 画出题 5-2 图中由或非门组成的基本  $RS$  触发器输出端  $Q$ 、 $\bar{Q}$  的电压波形，输入端  $S_D$ 、 $R_D$  的电压波形如图中所示。



题 5-2 图

解  $RS$  触发器输出端  $Q$ 、 $\bar{Q}$  的电压波形如图 5-8 所示。

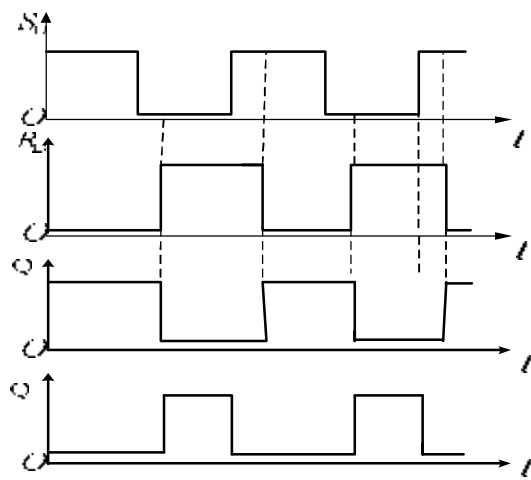
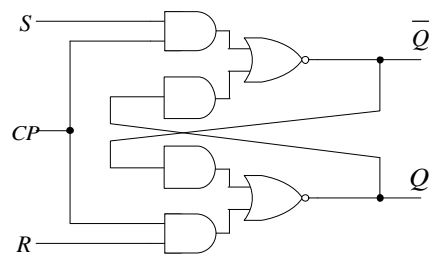


图 5-8 题 5-2 波形图

5-3 分析题 5-3 图所示的由两个与或非门构成的基本触发器，写出其状态转移真值表、状态方程和状态转移图。



题 5-3 图

解：当  $CP = 0$  时，输入信号  $R$ 、 $S$  不会影响输出端的状态，故触发器保持原状态不变。

当  $CP = 1$  时，输入信号  $R$  和  $S$  通过与门组成的基本  $RS$  触发器的输入端，使  $Q$  和  $\bar{Q}$  的状态跟随输入状态的变化而变化。

1. 状态转移真值表如表 5-3 所示

表 5-3 题 5-3 状态转移表



$CP$	$S$	$R$	$Q^n$	$Q^{n+1}$
0	$\times$	$\times$	0	0
0	$\times$	$\times$	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	$\phi$
1	1	1	1	$\phi$

2. 由卡诺图化简可得基本  $RS$  触发器的状态方程为 
$$\begin{cases} Q^{n+1} = S_D + \bar{R}_D Q^n \\ S_D R_D = 0 \end{cases}$$

式中： $S_D R_D = 0$  是约束条件，它表示  $S_D$  和  $R_D$  不能同时为 1。

3. 基本  $RS$  触发器的状态转移图如下

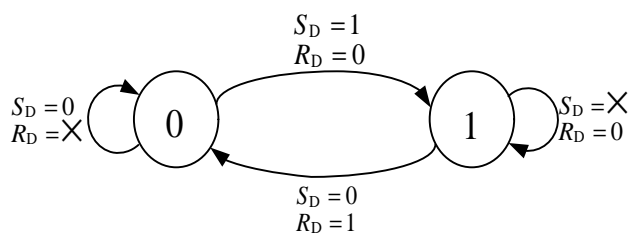
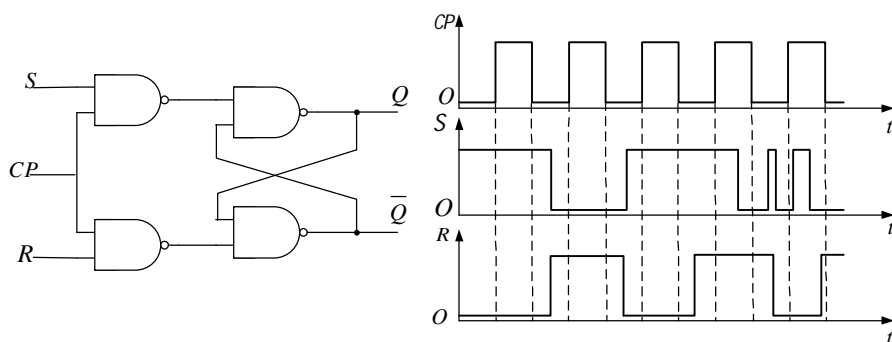


图 5-9 题 5-3 状态转移图

5-4 在题 5-4 图电路中，若  $CP$ 、 $S$ 、 $R$  的电压波形如图中所示，试画出  $Q$  和  $\bar{Q}$  端与之对应的电压波形。假定触发器的初始状态为  $Q = 0$ 。



题 5-4 图

**解：** 图为钟控同步  $RS$  触发器，当  $CP = 0$  时，触发器保持原状态不变。当  $CP = 1$  时，为基本  $RS$  触发器

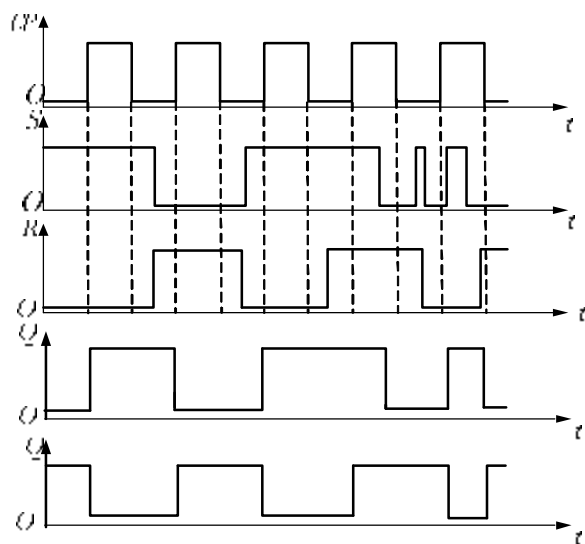
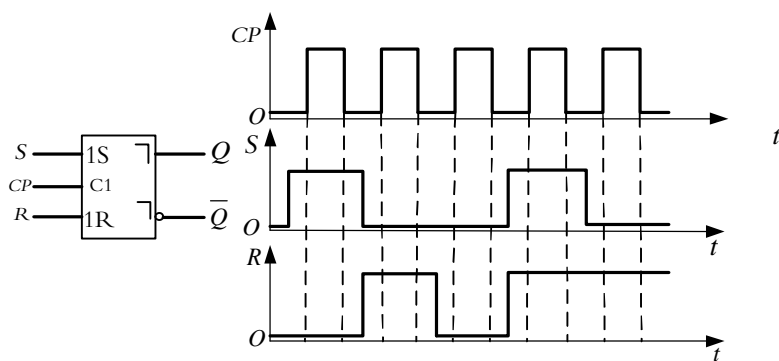


图 5-10 题 5-4 波形图

5-5 如果主从  $RS$  触发器各输入端的电压波形如题 5-5 图中所给出，试画出  $Q$ 、 $\bar{Q}$  端对应的电压波形。设触发器的初始状态为  $Q = 0$ 。



题 5-5 图

**解：**主从  $RS$  触发器输出状态的改变发生在  $CP$  上升沿， $Q$ 、 $\bar{Q}$  端对应的电压波形如图 5-11

所示。

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases}$$

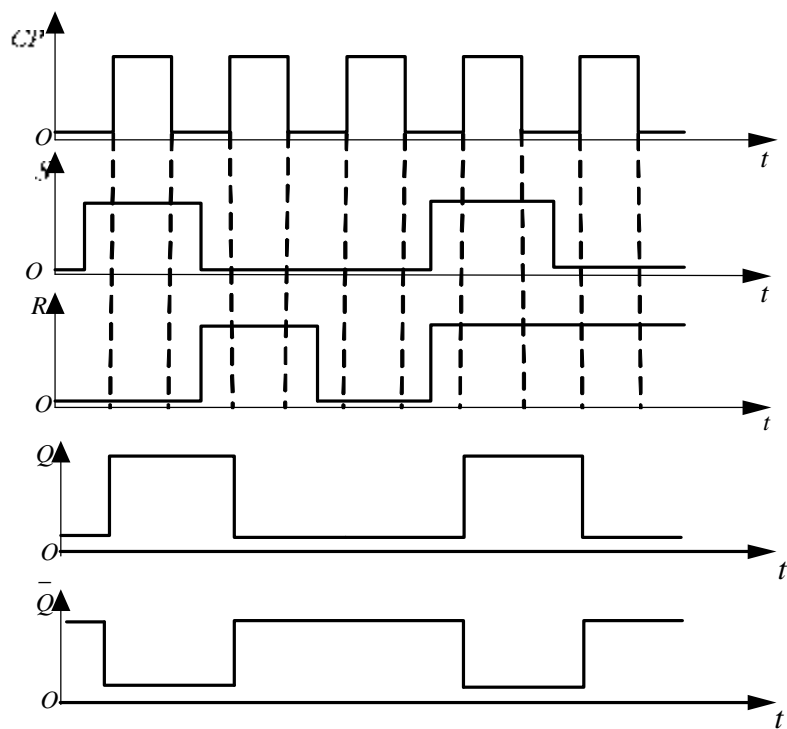
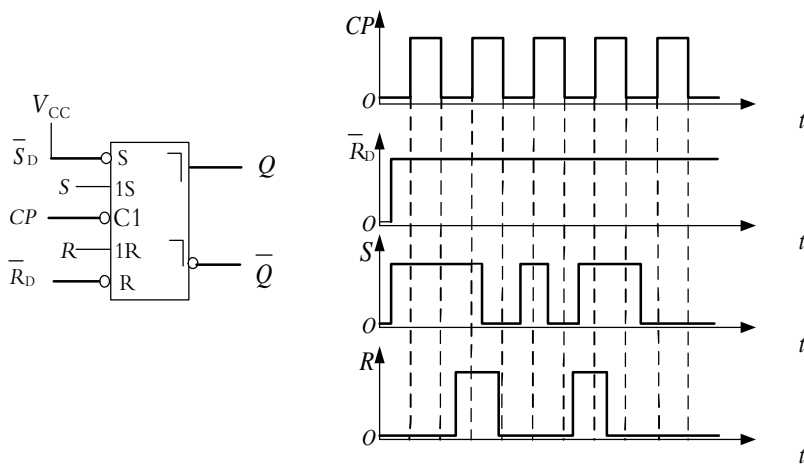


图 5-11 题 5-5 波形图

5-6 如果主从 RS 触发器的  $CP$ 、 $S$ 、 $R$ 、 $\bar{R}_D$  各输入端的电压波形如题 5-6 图所示, 其中  $\bar{S}_D=1$ , 试画出  $Q$ 、 $\bar{Q}$  端对应的电压波形。



题 5-6 图

解: CP 下降沿触发, 
$$\begin{cases} Q^{n+1} = Q^n = S + \bar{R}Q^n \\ RS = 0 \end{cases}$$
, 具有异步置 0 功能,  $Q$ 、 $\bar{Q}$  端对应的电压波形如图 5-12 所示。

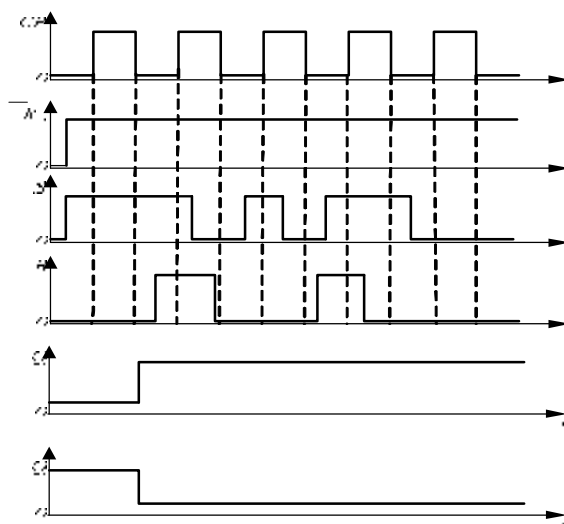
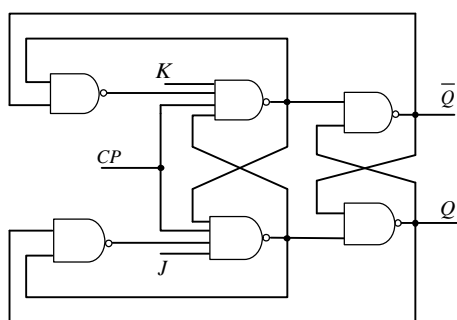


图 5-12 题 5-6 波形图

5-7 试证明题 5-7 图所示电路具有  $J-K$  触发器的逻辑功能。



题 5-7 图

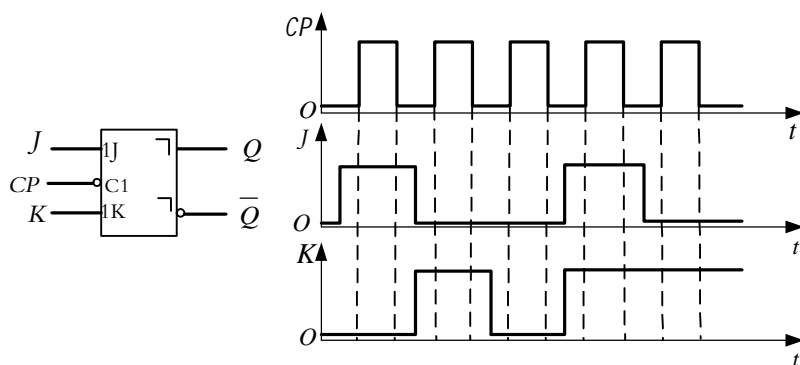
**解：**当  $CP = 0$  时，输入信号  $J$ 、 $K$  不会影响输出端的状态，故触发器保持原状态不变。

当  $CP$  由 0 变为 1 时， $Q$  和  $\bar{Q}$  的状态跟随输入状态的变化而变化，

$$\bar{R} = \overline{KQ^n}, \bar{S} = \overline{JQ^n}, Q^{n+1} = S_D + \bar{R}_D Q^n = J\bar{Q}^n + \bar{K}Q^n$$

与  $J-K$  触发器相同，所以题 5-7 图所示电路具有  $J-K$  触发器的逻辑功能。

5-8 已知主从  $JK$  触发器输入端  $J$ 、 $K$  和  $CP$  的电压波形如题 5-8 图所示，试画出  $Q$ 、 $\bar{Q}$  端对应的电压波形。设触发器的初始状态为  $Q = 0$ 。



题 5-8 图

解  $Q$ 、 $\bar{Q}$  端对应的电压波形如下：

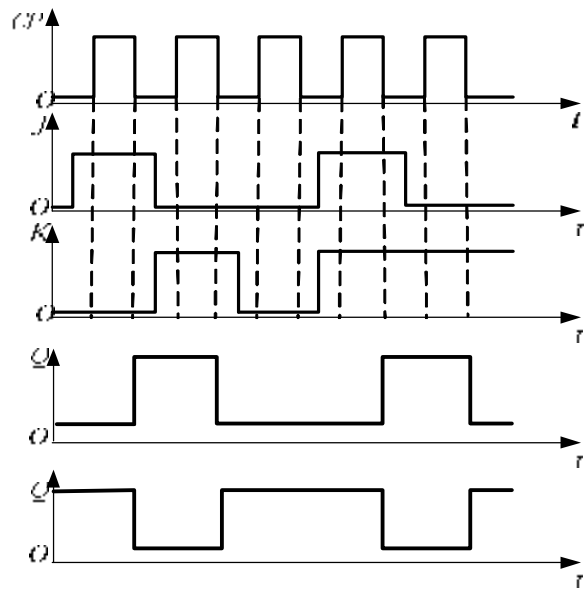
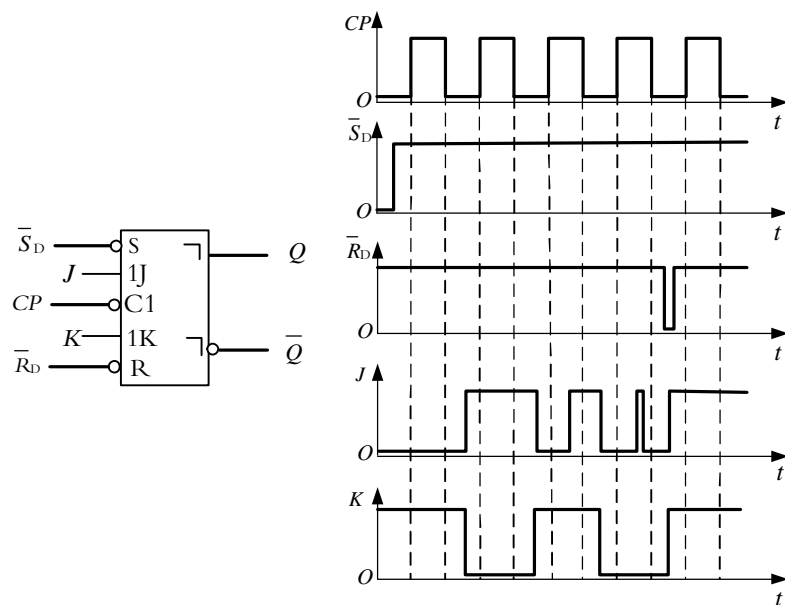


图 5-13 题 5-8 波形图

5-9 如果主从  $JK$  触发器  $CP$ 、 $\bar{R}_D$ 、 $\bar{S}_D$ 、 $J$ 、 $K$  端的电压波形如题 5-9 图所示，试画出  $Q$ 、 $\bar{Q}$  端对应的电压波形。



题 5-9 图

解  $Q$ 、 $\bar{Q}$  端对应的电压波形如下：

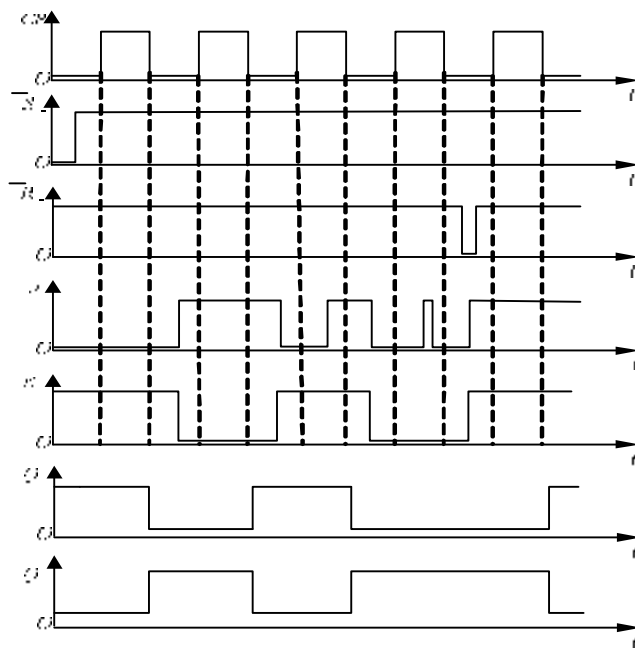
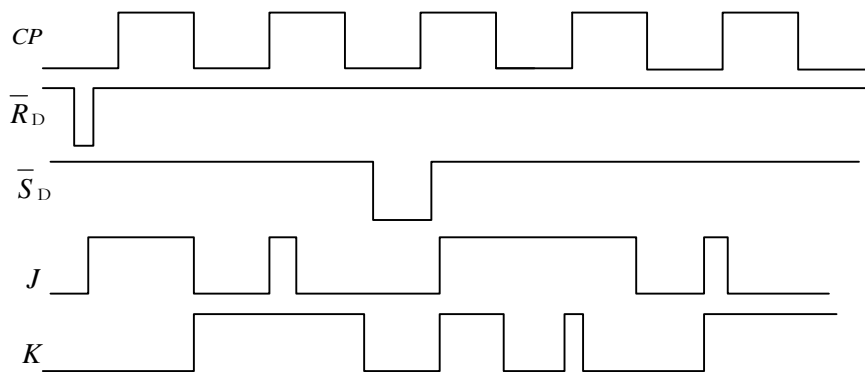


图 5-14 题 5-9 波形图

5-10 边沿（下降沿）触发的  $JK$  触发器输入端波形如题 5-10 图所示，试画出输出端  $Q$  的工作波形。



题 5-10 图

解：输出端  $Q$  的工作波形：

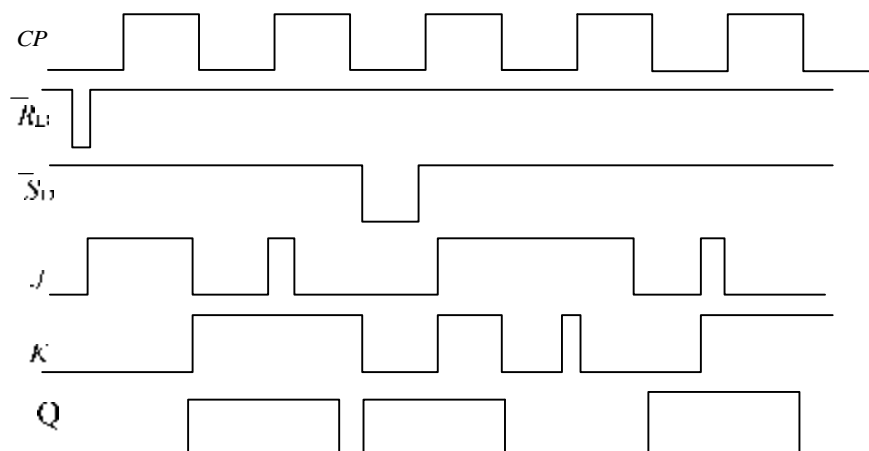
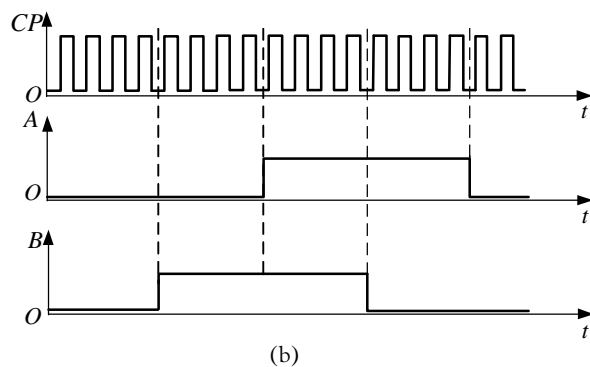
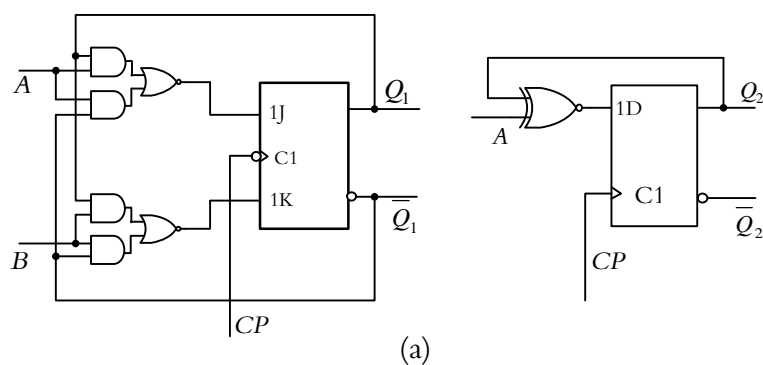


图 5-15 题 5-10 波形图

5-11 分别画出题 5-11 图(a)所示电路的工作波形。其输入波形如题 5-11 图 (b) 所示。



题 5-11 图

解:  $Q_1, Q_2$  对应  $JK$  触发器和  $D$  触发器的输出端,

$$J = \overline{A}Q_1^n + A\overline{Q_1^n} = \overline{A}, K = BQ_1^n + \overline{B}\overline{Q_1^n} = \overline{B}$$

$$Q_1^{n+1} = [J\overline{Q_1^n} + \overline{K}Q_1^n]CP \downarrow = [\overline{A}\overline{Q_1^n} + BQ_1^n]CP \downarrow$$

$$Q_2^{n+1} = [D]CP \uparrow = D = [A\overline{Q_2^n} + \overline{A}Q_2^n]CP \uparrow, \text{ 设初始值为 } 0$$

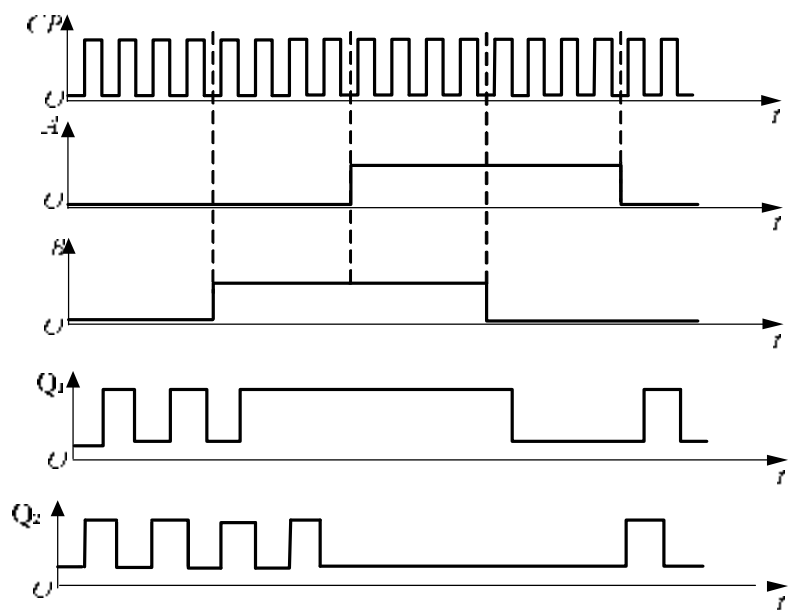
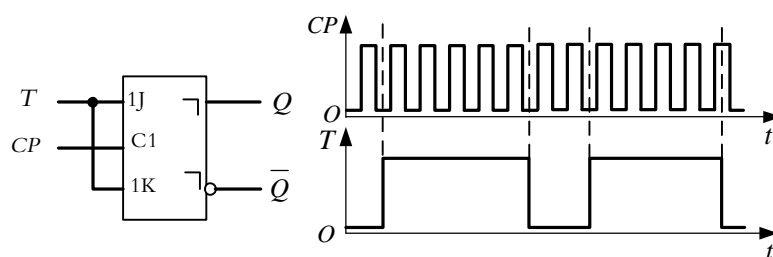


图 5-16 题 5-11 波形图

5-12 在题 5-12 图的主从  $JK$  触发器电路中, 已知  $CP$  和输入信号  $T$  的电压波形如图所示, 试画出触发器输出端  $Q$  和  $\bar{Q}$  的电压波形。设触发器的起始状态为  $Q = 0$ 。



题 5-12 图

解: 触发器的状态转移方程为:  $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n = T \oplus Q^n$

触发器输出端  $Q$  和  $\bar{Q}$  的电压波形

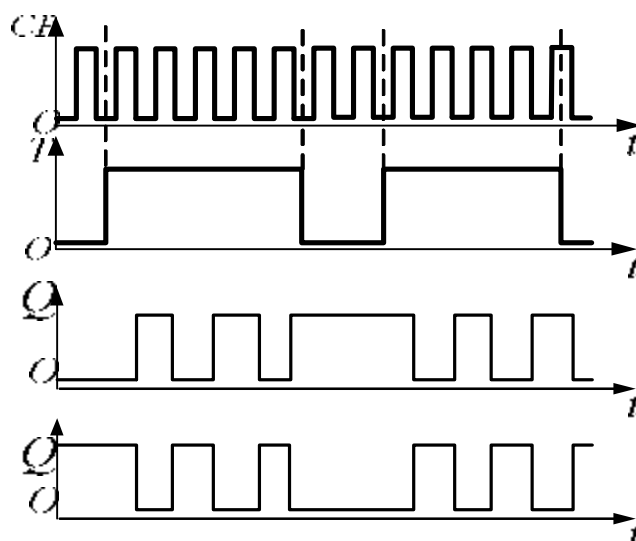
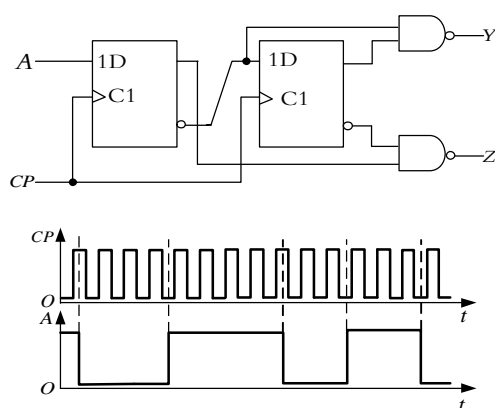


图 5-17 题 5-12 波形图

5-13 试画出题 5-13 图电路输出端  $Y$ 、 $Z$  的电压波形。输入信号  $A$  和  $CP$  的电压波形如图中所示。设触发器的初始状态均为  $Q = 0$ 。



题 5-13 图



解：CP 上升沿有效， $D1=A$ ， $D2=\overline{Q_1^n} = \overline{A} \cdot CP \uparrow$ ， $Y=\overline{Q_1^n Q_2^n} = Q_1^n + \overline{Q_2^n}$ ， $Z=\overline{Q_2^n Q_1^n} = \overline{Q_1^n} + Q_2^n$ ，输出端 Y、Z 的电压波形如图 5-18 所示。

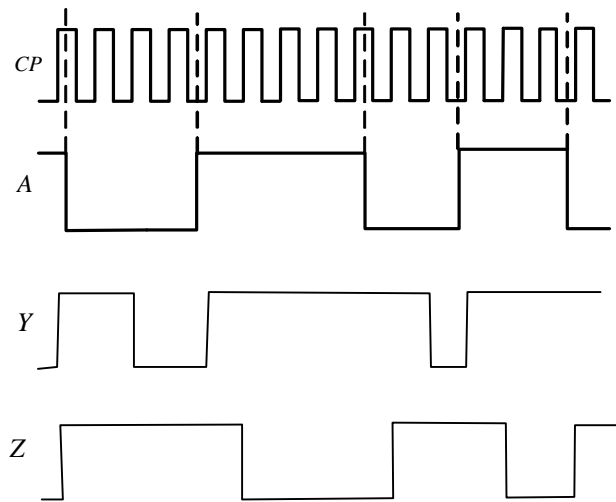
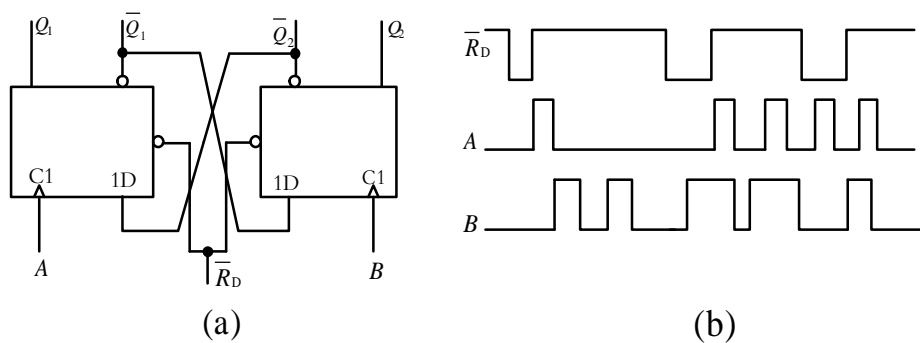


图 5-18 题 5-13 波形图

5-14 试画出题 5-14 图所示电路中  $Q_1$  和  $Q_2$  的输出波形。



题 5-14 图

解：所示电路由两个 D 触发器组成， $CP1=A, CP2=B$ ， $\overline{R_D}=0$  时置 0， $Q_1^{n+1} = \left[ \overline{Q_2^n} \right] A \uparrow$ ， $Q_2^{n+1} = \left[ \overline{Q_1^n} \right] \cdot B \uparrow$

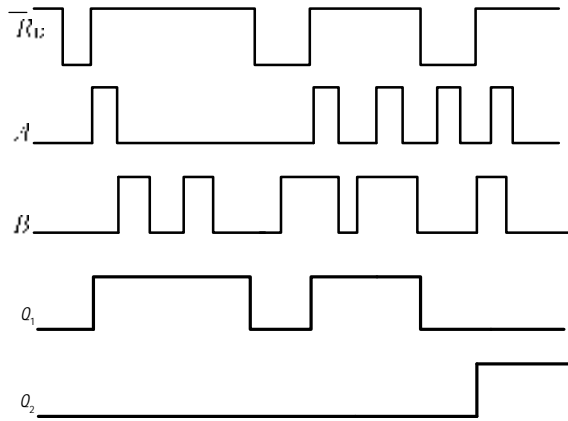
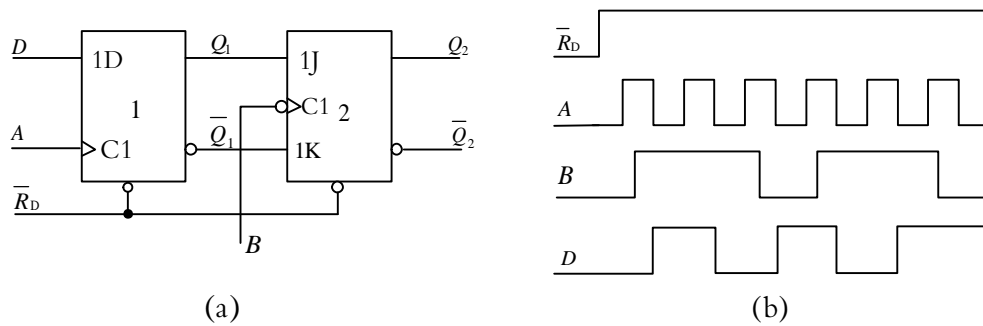


图 5-19 题 5-14 波形图

5-15 试画出题 5-15 图所示电路中  $Q_2$  的输出波形。



题 5-15 图

解:  $Q_1^{n+1} = [D] \cdot A \uparrow$ ,  $Q_2^{n+1} = [D] \cdot A \uparrow \cdot B \downarrow$

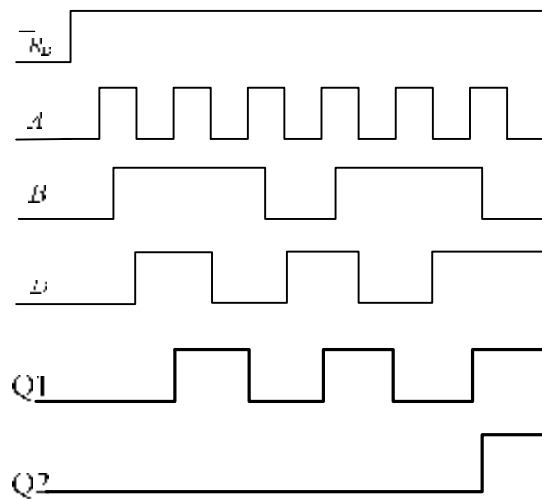
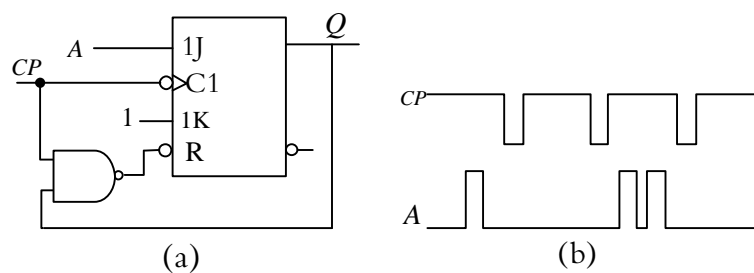


图 5-20 题 5-15 波形图

5-16 在题 5-16 图 (a) 所示主从 JK 触发器电路中,  $CP$  和  $A$  波形如图 (b) 所示, 试画出  $Q$  端对应的输出波形, 设初始状态为 0。



题 5-16 图

解:  $Q^{n+1} = [AQ^n] \cdot CP \downarrow$ ,  $\overline{R_D} = \overline{CP \cdot Q^n}$ 。Q 端对应的输出波形如下:

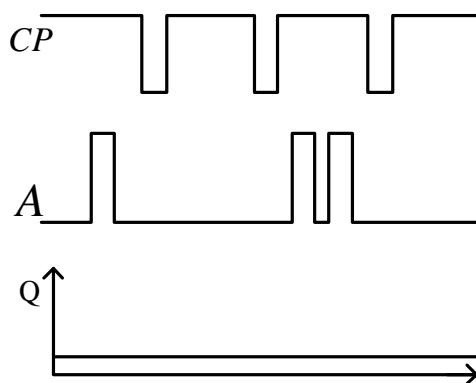
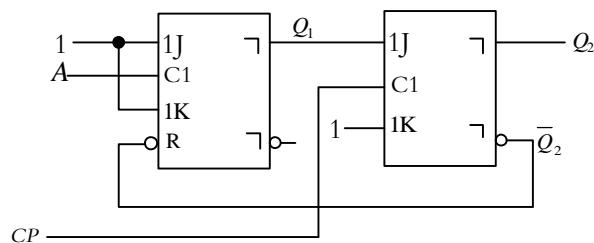


图 5-21 题 5-16 波形图

5-17 试画出题 5-17 图电路输出端  $Q_2$  的电压波形。输入信号  $A$  和  $CP$  的电压波形如题 5-13 图所示。假定触发器为主从结构, 初始状态均为  $Q = 0$ 。



题 5-17 图

解:  $Q_1^{n+1} = [\overline{Q_1^n}] \cdot A \uparrow$ ,  $Q_2^{n+1} = [Q_1 \overline{Q_2^n}] \cdot CP \uparrow$ , 电路输出端  $Q_2$  的电压波形如下:

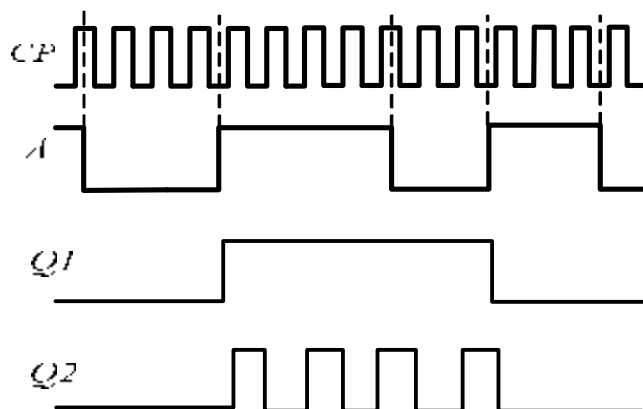
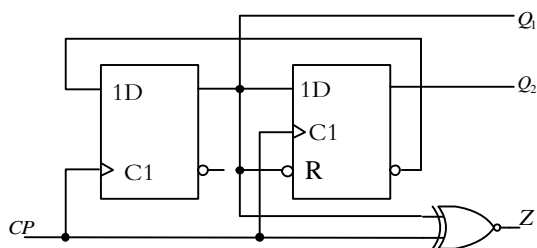


图 5-22 题 5-17 波形图

5-18 题 5-18 图所示是用 CMOS 边沿触发器和异或门组成的脉冲分频电路，试画出在一系列 CP 脉冲作用下  $Q_1$ 、 $Q_2$  和 Z 端的输出波形。设触发器的初始状态均为 0。



题 5-18 图

解：  $Q_1^{n+1} = [\overline{Q_2^n}] \cdot CP \uparrow$ ，  $Q_2^{n+1} = [Q_1^n] \cdot CP \uparrow$ ，  $Z = Q_1^n \cdot CP + \overline{Q_1^n} \cdot \overline{CP}$ ， 设触发器初始状态均为零。

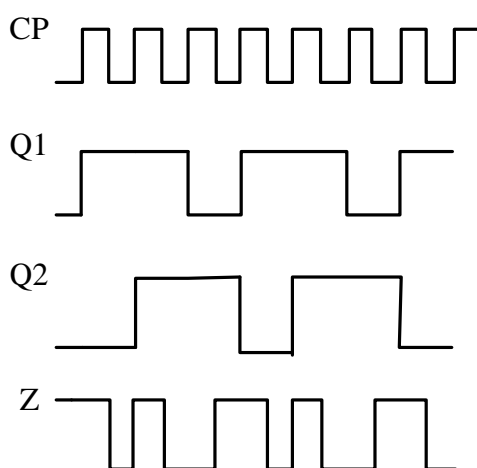


图 5-23 题 5-18 波形图

# 第六章 时序逻辑电路

## 一、 知识点解析

### 1. 时序逻辑电路的特点

时序逻辑电路是指任一时刻的输出信号不但取决于当时的输入信号,而且还取决于电路原来所处的状态。时序逻辑电路由组合逻辑电路和存储电路两部分组成。存储电路必不可少,一般是触发器,用来实现“记忆”功能。存储电路的输出状态必须反馈到输入端,与输入信号一起共同决定组合电路的输出。

按照存储单元状态变化的特点可以分为同步时序电路和异步时序电路两大类。同步时序电路是指存储电路状态的变化都是在同一时钟脉冲作用下更新的。每来一个时钟脉冲,电路的状态只能改变一次。异步时序电路是指各存储器件的时钟脉冲不尽相同,存储器件状态的变化有先有后,是异步进行的。

根据输出信号的特点,时序逻辑电路可以分为米里(Mealy)型和摩尔(Moore)型。输出信号不仅取决于存储电路的状态,而且还取决于输入变量,这种时序逻辑电路称为米里型。输出信号仅取决于存储电路的状态,则称为摩尔型。

时序电路逻辑功能的描述方法有逻辑方程(包括存储器的驱动方程、状态转移方程及输出方程等)、状态转移表、状态转移图、时序图等。

### 2. 时序逻辑电路分析方法

时序逻辑电路分析目的是找出给定时序电路的逻辑功能,即找出电路的状态变量、输出变量随输入变量、时钟信号变化而变化的规律。分析方法是给定的时序电路列出时钟方程、输出方程,再计算并画出状态转移表或状态转移图,从而判断电路的逻辑功能。时序逻辑电路分析的一般步骤为:

(a)列出激励(驱动或控制)方程和输出方程,若是异步时序电路,则还要写出触发器的时钟方程。

(b)写出电路状态转移(次态)方程,若是异步时序电路,一般应将次态方程和相应的时钟方程相与,表明只有在时钟作用时才会发生状态变化。

(c)列出状态转移真值表或状态转移表,画状态转移图。

(d)说明电路的功能。

说明电路是何种电路,如果是计数器,说明能否自启动。依据题意要求,上述步骤的某些过程可以省略。

### 3. 时序逻辑电路设计方法

时序逻辑电路设计是分析的逆过程,设计的关键是进行逻辑抽象,建立正确的原始状态表。基于 SSI 设计同步时序逻辑电路时,一般按以下步骤进行:

(1)进行逻辑抽象,得到原始状态图或状态表。

(2)状态化简,列出最小化状态表。

(3)状态分配(状态编码)。依据最小化状态表中状态数目  $m$ , 确定触发器的个数并为每个状态分配一组二进制代码, 触发器数目  $n$  应满足公式  $2^n \geq m > 2^{n-1}$ 。

(4)触发器选型, 选定某种类型的触发器, 确定激励函数和输出函数。

(5) 检查设计的逻辑电路是否具有自启动能力, 若不能自启动应采取措施解决。

(6) 画逻辑图。

上述步骤中, 难点是确定正确的原始状态图及状态化简。

### 4. 常用时序逻辑电路

#### (1) 计数器

计数器是数字系统中应用最广泛的一种时序逻辑器件, 其基本功能是对输入脉冲(时钟脉冲)进行累加或累减计数。利用这一功能, 计数器可用于数字测量、数字控制(如定时控制)、数字运算、定时、分频、产生节拍脉冲和脉冲序列信号等。

##### ① 计数器的分类。

计数器种类很多。按照时序电路分类可分为同步和异步计数器。按照进位计数制分类可分为二进制、十进制和任意进制计数器。按照计数器状态变化规律分类可分为加法、减法和可逆计数器。

同步计数器设计要点: SSI 同步计数器可以用时序逻辑电路设计的六步设计法设计。但由于计数器的特定条件(如状态图很容易确定, 指定了状态分配等), 设计过程可以简化。可逆计数器应设置控制信号来实现加法或减法计数功能。同步计数器设计完成后, 需要进行状态检查以便确定是否具有自启动功能。若存在偏离状态, 则应修改设计使偏离状态进入有效循环, 使电路具有自启动能力。

##### ②MSI 计数器的预置电路。

(a)同步置数电路。为了扩展 MSI 同步计数器的功能, 可设置有输入数据(状态)的置数

电路。同步置数电路当  $\overline{LD}$  有效时, 在随后 CP 脉冲作用下, 输入数据置入 Q 端。其特点是输入数据的置入同 CP 脉冲同步, 故称为同步置数方式。例如, 4 位二进制加法计数器 74161、十进制加法计数器 74160 均采用这种预置方式。

(b) 异步置数电路。异步置数利用触发器的异步置 0(1) 端  $\overline{R_D}(\overline{S_D})$ , 当  $\overline{LD}$  有效时, 数据便置入 Q 端。其特点是数据的置入同 CP 脉冲无关, 故称异步预置方式。4 位二进制可逆计数器 74LS193、异步十进制计数器 74LS290 均采用这种预置方式, 它们都设置了两个异步清零端  $\overline{R_{D1}}$  和  $\overline{R_{D2}}$ , 并且是与关系, 即  $\overline{R_D} = \overline{R_{D1}} \cdot \overline{R_{D2}}$ 。

### ③ MSI 计数器的清 0 电路。

(a) 同步清 0 电路。当清 0 信号有效时, 在随后到来的 CP 脉冲作用下, 完成清 0 功能。其特点是清 0 与 CP 脉冲同步, 故称为同步清 0。

(b) 异步清 0 电路。大多数 MSI 计数器采用异步清 0 电路, 即当清 0 信号 CR 有效时, 触发器被清 0。其特点是清 0 同 CP 脉冲无关, 故称异步清 0。CR 是高电平有效。当 CR 有效时, 触发器被异步清 0。例如, 74161、74LS193 均采用异步清 0 电路。

### ④ 任意进制计数器设计。

任意进制计数器可以利用门电路和触发器进行设计。但在实际应用中大多采用 MSI 计数器模块进行设计。用 MSI 计数器设计任意进制计数器一般有两种方法: 反馈清 0 法和反馈置数法。反馈清 0 法适用于设置有清 0 端的 MSI 计数器。反馈置数法适用于有置数功能的 MSI 计数器。采用反馈清 0 法设计任意进制加法计数器的模数 M 与状态反馈信号  $S_R$  的关系

为

$$\begin{aligned} M &= S_R \text{ (异步清零端)} \\ M &= S_R + 1 \text{ (同步清零端)} \end{aligned}$$

采用反馈置数法设计任意进制加法计数器的模数 M 与状态反馈信号  $S_R$ 、预置数据  $S_S$  的关系为

$$\begin{aligned} \text{当 } S_R \geq S_S \text{ 时 } & \begin{cases} M = S_R - S_S & \text{(异步置数端)} \\ M = S_R - S_S + 1 & \text{(同步置数端)} \end{cases} \\ \text{当 } S_R < S_S \text{ 时 } & \begin{cases} M = N + S_R - S_S & \text{(异步置数端)} \\ M = N + S_R - S_S + 1 & \text{(同步置数端)} \end{cases} \end{aligned}$$

$S_R$  为状态反馈信号的二进制代码 (MSI 二进制计数器) 或 BCD 代码 (MSI 十进制计数器)

所对应的十进制数。 $S_S$  为预置数据的二进制代码（MSI 为二进制计数器）或 BCD 代码（MSI 为十进制计数器）所对应的十进制数。改变  $S_R$  或  $S_S$  即可改变计数器的模值。上述方法也适用于多片 MSI 计数器构成模数更大的计数器设计。

(2) 寄存器和移位寄存器

在数字系统中，暂时存放二进制数据或信息的电路称为寄存器。因为触发器可以存储一位二进制代码，所以有多少位代码要存储，寄存器就必须有多少个触发器。

移位寄存器是具有移位逻辑功能的寄存器，存储的数据在移位脉冲(时钟脉冲)控制下依次左移或右移一位。因此，移位寄存器不仅可以用来寄存代码，还可以实现数据的串行-并行之间的转换、数据运算和数据处理等。

①MSI 单向移位寄存器(74LS195)。

具有异步清 0、同步置数和右移功能。输入 / 输出工作模式可实现串入-串出、串入-并出、并入-串出、并入-并出 4 种工作模式。

②MSI 双向移位寄存器(74LS194)。

具有清 0、同步置数、保持、左移和右移功能。输入 / 输出工作模式可实现串入-串出、串入-并出、并入-串出、并入-并出 4 种工作模式。为了实现保持、右移、左移、置数 4 种功能，组件增设两个工作模式控制信号  $S_{IL}$ 、 $S_{IR}$ 。

③移位寄存器的应用。

移位寄存器可构成移存型计数器、序列信号发生器、码组识别电路、序列信号检测电路、串-并转换电路和并-串转换电路等。

移存型计数器的框图如图 6-1 所示。反馈电路的输出 F 连接到移位寄存器的串行输入端。反馈电路形式不同，计数器的形式和特点也不同。最常用的移存型计数器是环形计数器和扭环形计数器。

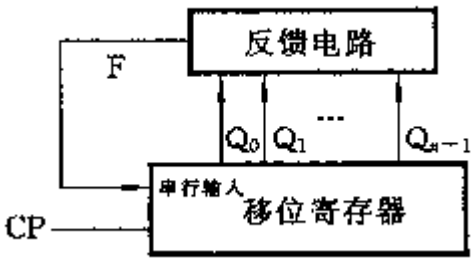


图 6-1 移存型计数器框图



环形计数器是移存型计数器中最简单的一种，其反馈逻辑  $F = Q_{n-1}$ 。扭环形计数器的串行输入端的信号不是来自  $Q_{n-1}$  而是取自  $\overline{Q}_{n-1}$ ，即反馈逻辑  $F = \overline{Q}_{n-1}$ 。

### (3) 序列信号发生器

序列信号是一组串行周期性的二进制数字信号，能够产生这种序列信号的电路称为序列信号发生器。序列信号发生器构成方法有多种，通常用移位寄存器和计数器构成，称为移存型序列信号发生器和计数型序列信号发生器。移存型序列信号发生器由带反馈电路的移位寄存器构成。计数型序列信号发生器则由计数器和组合电路(或数据选择器)构成。

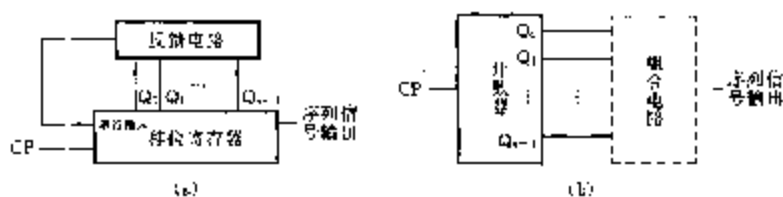


图 6-2 序列信号发生器框图

## 二、重点及难点

### 重点

1. 时序逻辑电路的驱动方程、状态转移方程、输出函数表达式、状态转移表、波形关系图、无效状态的识别与消除。
2. 掌握寄存器、移位寄存器的结构、工作原理、波形图。
3. 掌握二进制、二-十进制计数器(同步、异步)的结构、工作原理、状态转移真值表、波形关系图。
4. 掌握集成移位寄存器、集成计数器的功能表的阅读方法、逻辑符号、使用及扩展方法、波形关系图。
5. 掌握中、小规模集成器件设计计数器的方法。

### 难点

1. 异步时序电路的分析及设计。
2. 同步时序逻辑电路的一般设计方法(用小规模集成电路设计)。
3. 状态化简
4. 检测电路设计

5. 序列信号发生器的设计。

### 三、典型题解

例 6-1 分析如图 6-3 所示同步时序逻辑电路，要求如下。

- (1) 写出驱动方程(控制函数)，画出状态转换图，说明电路功能。
- (2) 某学生按照逻辑图接线后，试验得到如下的状态循环：

$Q_2, Q_1, Q_0$   
 $001 \rightarrow 010 \rightarrow 011 \rightarrow 100$   
 $\uparrow$

经检查，触发器的工作正常，试分析接线故障处。

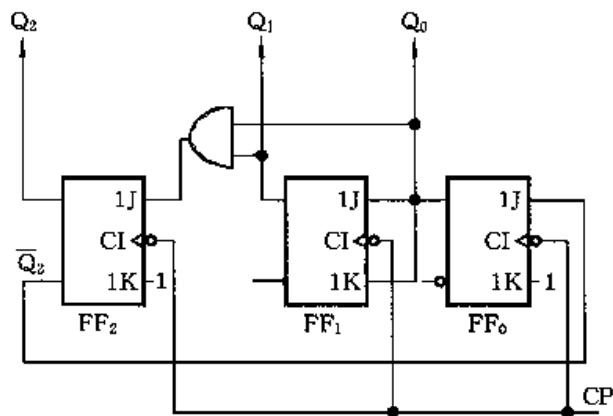


图 6-3 例 6-1 逻辑电路图

解 (1) 写出驱动方程和状态转移方程。

$$\begin{aligned}
 J_0 &= \overline{Q_2^n} & J_1 &= Q_0^n & J_2 &= Q_1^n Q_0^n \\
 K_0 &= 1 & K_1 &= Q_0^n & K_2 &= 1
 \end{aligned}$$

将驱动方程代入 JK 触发器的特征方程中，即得状态转移方程

$$\begin{aligned}
 Q_0^{n+1} &= \overline{Q_2^n} Q_0^n \\
 Q_1^{n+1} &= \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n} \\
 Q_2^{n+1} &= Q_1^n Q_0^n \overline{Q_2^n}
 \end{aligned}$$

根据状态方程可画出电路的状态转换真值表，如表 6-1 所示。

表 6-1 例 6-1 状态转移真值

$Q_2$	$Q_1$	$Q_0$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	0	0	0

(2)画状态图和描述电路功能。

由状态转移真值表画出状态图，如图 6-4 所示。由图可见：该电路是具有自启动功能的模 5 计数器。

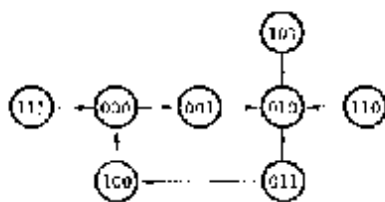
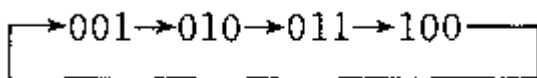


图 6-4 例 6-1 状态转移图

(2)由于接线故障，电路实际的状态因为



依题意，触发器工作正常，这表明供电和接地良好，CP 脉冲源也正常。因此，初步可以判定错误发生在各触发器的输入端的数据上。分析电路出现的错误状态图和正确状态图，可以发现  $Q_2^n Q_1^n Q_0^n$  应从 100 转换至 000，但实际上是从 100 转换至 001。显然是第 0 级发生错误了。若是  $K_0$  端虚焊或接触不良，则  $K_0$  呈悬空状态，不会对电路有影响(因为 TTL 电路，悬空等效于 1)；若是  $J_0$  与  $\overline{Q_2^n}$  之间连接发生差错， $J_0$  或  $\overline{Q_2^n}$  发生虚焊或接触不良，则  $J_0$  端悬空。因此， $J_0=1$ ， $K_0=1$ ， $Q_0^{n+1} = \overline{Q_0^n}$ 。这样就导致 100 转换至 001。所以， $\overline{Q_2^n}$  与  $J_0$  连接发生问题使  $J_0$  处于悬空状态，将产生题目中所示故障。

**例 6-2** 用 D 或 JK 触发器设计同步时序电路。已知  $X=0$  时，电路以六进制方式计数，当  $X=1$  时，电路以七进制方式计数，并在计到 101( $X=0$ )或 110( $X=1$ )时，有进位输出  $Z=1$ 。

**解** (a)列状态转移真值表，如表 6-2 所示。

表 6-2 例 6-2 状态转移真值

X	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	Q <sub>2</sub> <sup>n+1</sup>	Q <sub>1</sub> <sup>n+1</sup>	Q <sub>0</sub> <sup>n+1</sup>	Z	X	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	Q <sub>2</sub> <sup>n+1</sup>	Q <sub>1</sub> <sup>n+1</sup>	Q <sub>0</sub> <sup>n+1</sup>	Z
0	0	0	0	0	0	1	0	1	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	1	0	0	1	0	1	0	0
0	0	1	0	0	1	1	0	1	0	1	0	0	0	1	0
0	0	1	1	0	0	0	0	1	0	1	1	1	0	0	0
0	1	0	0	1	0	1	0	1	0	0	0	1	0	1	0
0	1	0	1	0	0	0	1	1	0	1	1	1	0	0	0
0	1	1	0	0	1	0	0	1	1	1	1	0	0	0	0
0	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0

(b)列激励方程和输出方程。选用 D 触发器，由状态转移真值表可以画出化简

$Q_2^{n+1}$ 、 $Q_1^{n+1}$ 、 $Q_0^{n+1}$  及 Z 的卡诺图，如图 6-5 所示。

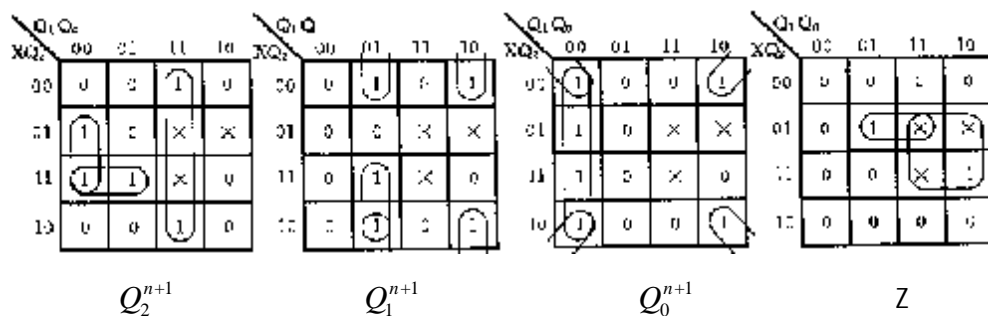


图 6-5 例 6-2 化简卡诺图

由卡诺图可以得出

$$\begin{aligned}
 Q_0^{n+1} &= D_0 = \overline{Q_1^n} \overline{Q_0^n} + \overline{Q_2^n} Q_0^n \\
 Q_1^{n+1} &= D_1 = \overline{X} Q_1^n Q_0^n + \overline{Q_2^n} Q_1^n Q_0^n + \overline{Q_2^n} Q_1^n \overline{Q_0^n} \\
 Q_2^{n+1} &= D_2 = Q_1^n Q_0^n + \overline{Q_2^n} Q_1^n \overline{Q_0^n} + X Q_2^n \overline{Q_1^n} \\
 Z &= Q_2^n Q_1^n + \overline{X} Q_2^n Q_0^n
 \end{aligned}$$

(3)将偏离状态代入，电路可以自启动。

(4)画出逻辑图（略）

例 6-3 分析如图 6-6 所示时序逻辑电路，说明电路的功能。

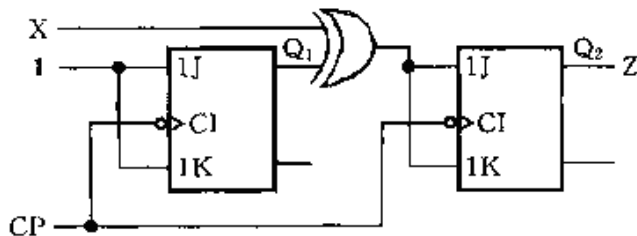


图 6-6 例 6-3 逻辑电路图

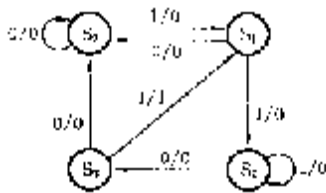
解：设初始状态为  $Q_2^n Q_1^n = 00$ ，电路在 CP 脉冲的作用下，当  $X=0$  时，状态按照  $00 \rightarrow 01 \rightarrow 10 \rightarrow 11 \rightarrow 00 \cdots$  循环，输出为  $00110011 \cdots$ ；当  $X=1$  时，状态按照  $00 \rightarrow 11 \rightarrow 10 \rightarrow 01 \rightarrow 00 \cdots$  循环，输出为  $11001100 \cdots$ 。因此，图 6-6 电路是一个可控的方

波发生器或可控序列信号发生器。

**例 6-4** 用 D 触发器和门电路，设计一个同步时序电路，若输入连续四个值为 1101 时，输出为 1，否则输出为 0。

**解** (1)题意要求设计 1101 序列检测器，而且待测码组可以重叠。依题意作出状态转换图，如图 6-7 所示。

表 6-3 例 6-4 状态转移表



Y	$Y^{n+1}/Z$	
	X	
	0	1
$S_0$	$S_0/0$	$S_1/0$
$S_1$	$S_0/0$	$S_2/0$
$S_2$	$S_1/0$	$S_3/0$
$S_3$	$S_2/0$	$S_3/1$

图 6-7 例 6-4 状态转移图

(2)由状态转换图可列出状态转换表，如表 6-3 所示。该表没有等价状态，已是最小化状态表。

(3)对状态进行分配， $S_0=00$ 、 $S_1=01$ 、 $S_2=11$ 、 $S_3=10$ 。列出状态转换真值表，如表 6-4 所示。

表 6-4 例 6-4 状态转移真值表

X	$Q_1$	$Q_0$	$Q_1^{n+1}$	$Q_0^{n+1}$	Z	X	$Q_1$	$Q_0$	$Q_1^{n+1}$	$Q_0^{n+1}$	Z
0	0	0	0	0	0	1	0	0	0	1	0
0	0	1	0	0	0	1	0	1	1	1	0
0	1	0	0	0	0	1	1	0	0	1	1
0	1	1	1	0	0	1	1	1	1	1	0

(4)选 D 触发器，由状态转移真值表可得卡诺图。

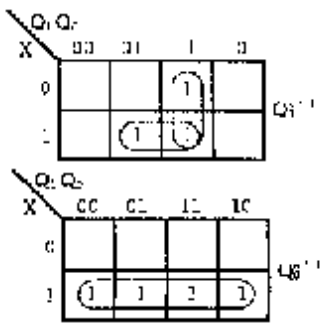


图 6-8 例 6-4 卡诺图化简

由卡诺图化简可得状态转移方程及输出方程

$$Q_1^{n+1} = Q_1^n Q_0^n + X Q_0^n \quad Q_0^{n+1} = X \quad Z = X Q_1^n Q_0^n$$

(5) 由状态转移方程及输出方程可以画出逻辑电路图。

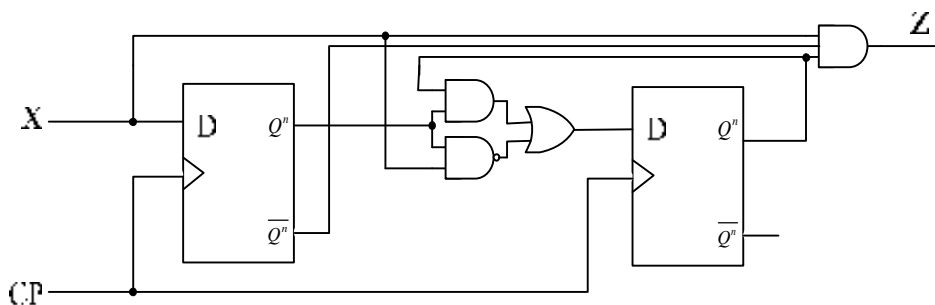


表 6-9 例 6-4 逻辑电路图

**例 6-5** 设计一个序列信号产生电路，其功能是在一系列 CP 信号作用下，周期性地输出 1010110111 的序列信号，要求用触发器和门电路实现设计。

解 因序列循环长度为 10 位，故可设计一个十进制计数器，按照序列次序在每个计数状态时，输出序列中的一位。本例设计可参照模 10 计数器设计。首先，(a) 列出状态转换真值表，如下表所示。

表 6-5 例 6-5 状态转移真值表

$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	Z	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	Z
0	0	0	0	0	0	0	1	1	0	1	0	1	0	1	1	0	1
0	0	0	1	0	0	1	0	0	0	1	1	0	0	1	1	1	0
0	0	1	0	0	0	1	1	1	0	1	1	1	1	0	0	0	1
0	0	1	1	0	1	0	0	0	1	0	0	0	1	0	0	1	1
0	1	0	0	0	1	0	1	1	1	0	0	1	0	0	0	0	1

(b) 由状态转移真值表可以画出化简  $Q_3^{n+1}$ ,  $Q_2^{n+1}$ ,  $Q_1^{n+1}$ ,  $Q_0^{n+1}$  及输出 Z 的卡诺图。

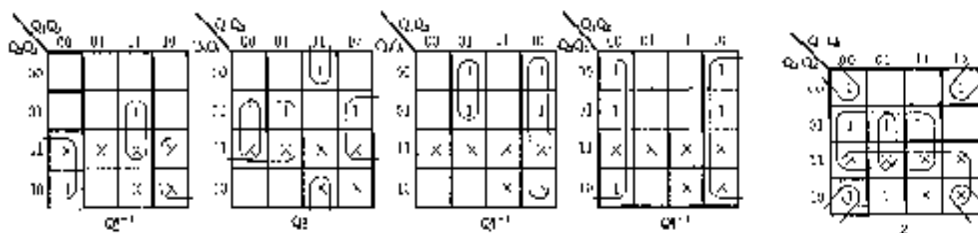


图 6-10 例 6-5 化简卡诺图

$$Q_3^{n+1} = Q_3^n \overline{Q_0^n} + Q_2^n Q_1^n Q_0^n$$

$$Q_2^{n+1} = Q_2^n \overline{Q_1^n} + Q_2^n \overline{Q_0^n} + \overline{Q_2^n} Q_1^n Q_0^n$$

$$Q_1^{n+1} = Q_1^n \overline{Q_0^n} + \overline{Q_3^n} \overline{Q_1^n} Q_0^n$$

$$Q_0^{n+1} = \overline{Q_0^n}$$

由卡诺图化简可得输出为

$$Z = Q_3^n + Q_2^n \overline{Q_1^n} + Q_2^n Q_0^n + \overline{Q_2^n} \overline{Q_0^n}$$

若用 D 触发器实现，可以画出电路图（略）。

用 MSI 集成电路 74161 或 74160 也可以实现本题电路，逻辑电路图（略）。

**例 6-6** 用 8 选 1 数据选择器 74151 和 4 位二进制计数器 74161 设计一个方波信号发生器，要求方波信号的周期为 CP 脉冲周期的 4 倍。

**解** 利用 74161 构成模 8 计数器，其计数器的 8 个工作状态提供数据选择器的地址信号，选择相应输入数据进行输出。因此，只需选择各输入通道的数据便可满足方波信号的周期要求。本例设计方案较多，这里给出两种简单的方案。

[方法 1] 74161 为 4 位二进制计数器，模为 16。但状态输出的低 3 位可构成模 8 加法计数器，其工作状态为 000-111。因此，分别将  $Q_2$ 、 $Q_1$ 、 $Q_0$  与  $A_2$ 、 $A_1$ 、 $A_0$  连接， $A_2A_1A_0$  便从 000 至 111 循环转换。为了满足方波输出要求，可令  $D_0=D_1=D_4=D_5=0$ ， $D_2=D_3=D_6=D_7=1$ 。电路如图 6-11 所示。

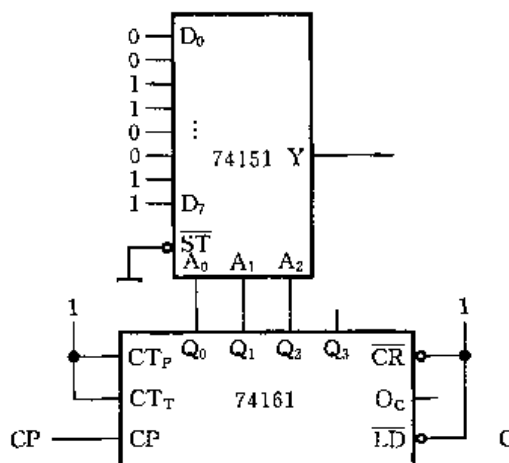


图 6-11 例 6-6 逻辑电路图

[解法 2] 4 位二进制计数器的低 2 位可构成模 4 加法计数器，其工作状态为 00-11。将  $Q_1$ 、 $Q_0$  分别与  $A_1$ 、 $A_0$  连接，并将  $A_2$  接 0，则地址  $A_2A_1A_0$  将从 000 至 011 转换。因此，令  $D_0=D_1=0$ ， $D_2=D_3=1$ ， $D_4=D_5=D_6=D_7=\times$ 。电路如图 6-12 所示。

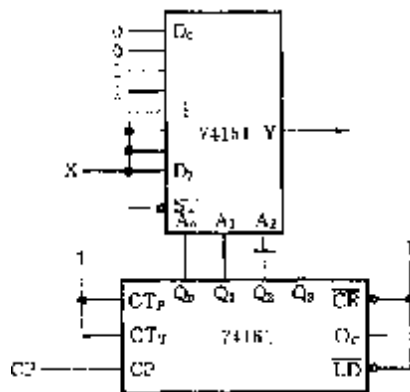


图 6-12 例 6-6 逻辑电路图

本例常见的错误是  $D_0 - D_7$  的数据分配不合适，不能满足方波周期要求。例如，在[方法 1]中，令  $D_0 - D_7$  的数据为 01010101 或者为 00001111，其产生的方波周期就都不满足题意要求。此外，利用 74161 的预置数据  $D_3Q_2Q_1D_0 = 1000$  将其改接为模 8 计数器，其工作状态为 1000-1111。利用低 3 位作地址，实际获得的地址转换仍然是从 000 至 111。因此，这种改接方法是多余的，且还需增加 1 个非门。

**例 6-7** (1)用 2 片 4 位同步二进制加法计数器 74161 组成的同步计数器如图 6-13 所示，试分析其分频比(即 Y 与 CP 的频率比)，当 CP 的频率为 20kHz 时，Y 的频率为多少?(74161 功能表如表 6-6 所示。

(2)如用 2 片 74161 组成模 91 计数器，要求 2 片间用异步串级法，要求电路工作稳定可靠。

表 6-6 74161 功能表

$R_D$	$\overline{LD}$	$S_1$	$S_2$	CP	$D_0$	$D_1$	$D_2$	$D_3$	输出			
									$Q_0$	$Q_1$	$Q_2$	$Q_3$
0	x	x	x	x	x	x	x	x	0	0	0	0
1	0	x	x	*	$d_0$	$d_1$	$d_2$	$d_3$	$d_0$	$d_1$	$d_2$	$d_3$
1	1	1	1	*	x	x	x	x	计数			
1	1	0	x	x	x	x	x	x	保持			
1	1	x	0	x	x	x	x	x	保持			

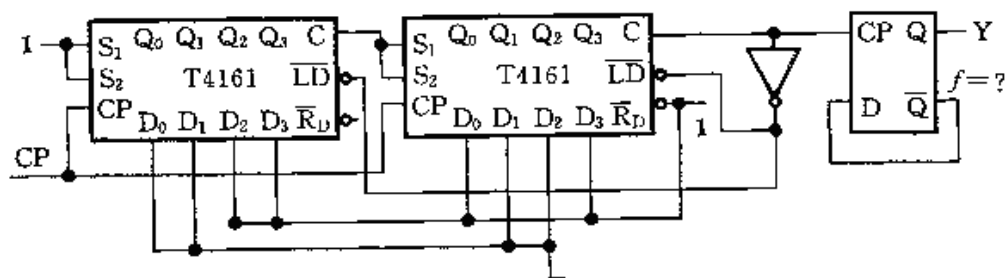


图 6-13 例 6-7 逻辑电路图



解 (1)图中两片 74161 构成全并型进位结构的 8 位二进制加法计数器。当 8 位二进制计数器为全 1 状态时,  $\overline{LD}$  为低电平。因此, 在下一个 CP 脉冲作用下, 计数器回到预置状态  $10011100 = (156)_{10}$ 。计数器的工作状态为 156—255, 共有 100 个工作状态, 故计数器进位输出 (右片) 与 CP 之频率比为 100。由于 D 触发器接成翻转触发器, 它完成二分频的任务。所以, Y 与 CP 之频率比为 200。

若  $f_{CP} = 20\text{kHz}$  时, 则有

$$f = \frac{1}{200} \times f_{CP} = \frac{1}{200} \times 20 \times 10^3 = 100\text{Hz}$$

(2)因为模为 91, 可以分解为  $7 \times 13$ 。所以, 用一片构成模 7 计数器, 另一片构成模 13 计数器。两片之间采用串行进位结构 (异步串联法), 即前一级的进位脉冲反相后为后一级提供 CP 脉冲。电路如图 6-14 所示。

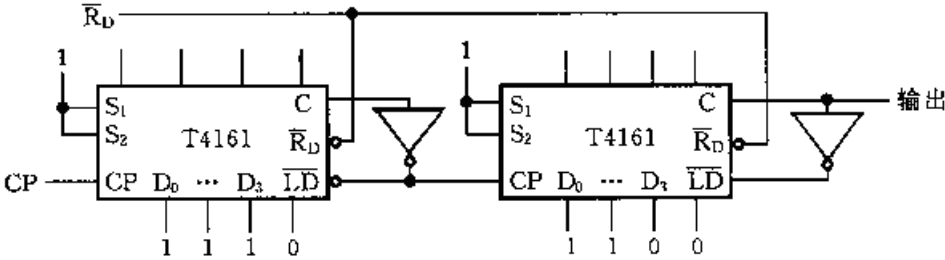


图 6-14 模 91 计数器电路图

例 6-8 4 位二进制同步计数器 74161 及双 4 选 1 多路数据选择器 74153 的功能表及逻辑符号如图 6-15 所示, 试用其设计一个能同时产生 1110010 及 1010100 两组序列的序列信号发生器 (可附加少量门电路)。

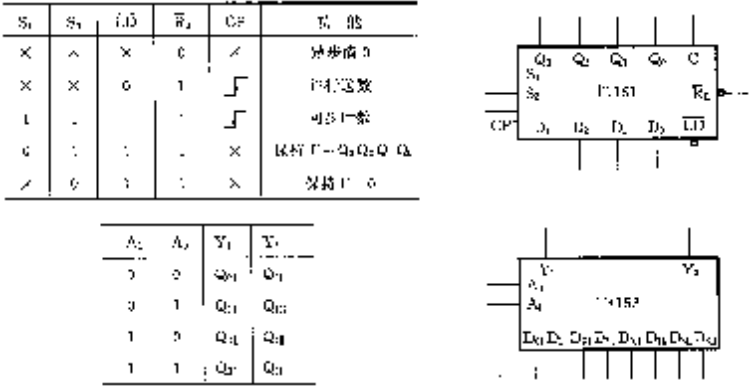


图 6-15 例 6-8 功能表及逻辑符号

解 本例要求产生两组循环长度为 7 位的序列发生器, 故应采用计数器型序列发生器结构。由 74161 构成模 7 计数器, 而由 74153 实现组合电路。

(a) 因为序列信号长度为 7，用 74161 构成模 7 计数器。为此，令预置数据  $D_3D_2D_1D_0 = 1001$ ，进位输出 C 经非门反相接至  $\overline{LD}$  端。其工作状态为 1001-1111。

(b) 设计组合电路。列出状态转换表并填入相应序列。由表画出化简  $Y_1$ 、 $Y_2$  的卡诺图，由卡诺图可得

$$Y_1 = \overline{Q_2^n} + Q_1^n \overline{Q_0^n}$$

$$Y_2 = \overline{Q_1^n} Q_0^n + \overline{Q_2^n} Q_0^n$$

图 6-7 例 6-8 输出及状态转换表

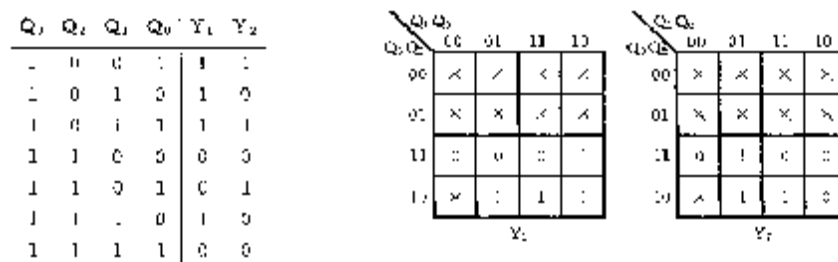


图 6-16 例 6-8 化简卡诺图

c) 求双 4 选 1 多路数据选择器的输入信号。

$$Y_1 = \overline{A_1} \overline{A_0} D_{10} + \overline{A_1} A_0 D_{11} + A_1 \overline{A_0} D_{12} + A_1 A_0 D_{13}$$

$$Y_2 = \overline{A_1} \overline{A_0} D_{20} + \overline{A_1} A_0 D_{21} + A_1 \overline{A_0} D_{22} + A_1 A_0 D_{23}$$

用  $Q_1^n Q_0^n$  作地址，于是可得

$$\overline{Q_1^n} \overline{Q_0^n} D_{10} + \overline{Q_1^n} Q_0^n D_{11} + Q_1^n \overline{Q_0^n} D_{12} + Q_1^n Q_0^n D_{13} = \overline{Q_2^n} + Q_1^n \overline{Q_0^n}$$

$$\overline{Q_1^n} \overline{Q_0^n} D_{20} + \overline{Q_1^n} Q_0^n D_{21} + Q_1^n \overline{Q_0^n} D_{22} + Q_1^n Q_0^n D_{23} = \overline{Q_1^n} Q_0^n + \overline{Q_2^n} Q_0^n$$

由此得出

$$D_{10} = D_{11} = D_{13} = \overline{Q_2^n}, D_{12} = 1$$

$$D_{20} = D_{22} = 0, D_{21} = 1, D_{23} = \overline{Q_2^n}$$

(d) 画出逻辑图，如图 6-17 所示。

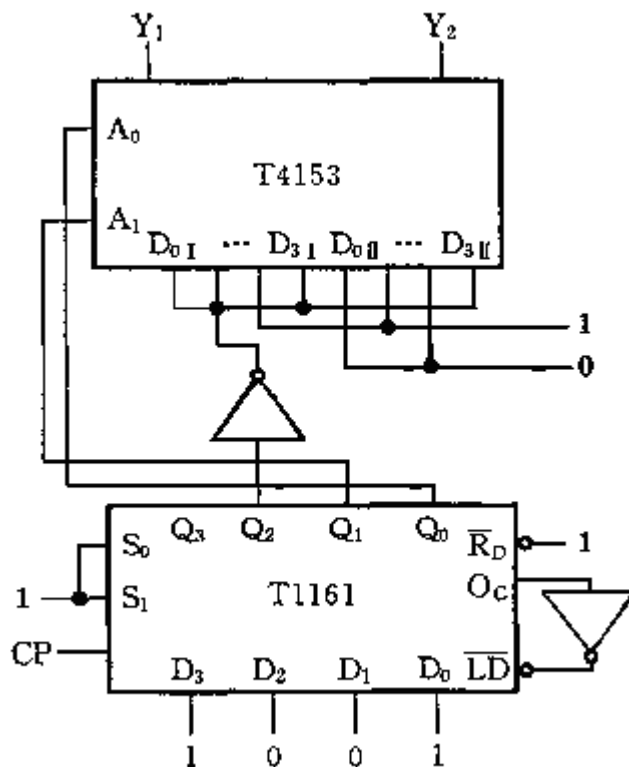


图 6-17 例 6-8 逻辑电路图

## 四、习题解答

6-1 时序逻辑电路与组合逻辑电路相比较，有什么相同点和不同点？

**解** 时序逻辑电路：输出不仅与当前的输入有关，还与和电路原来的状态有关。它包括组合逻辑电路和存储电路两部分。记忆特性是时序逻辑电路的特征，通过存储电路来实现的。

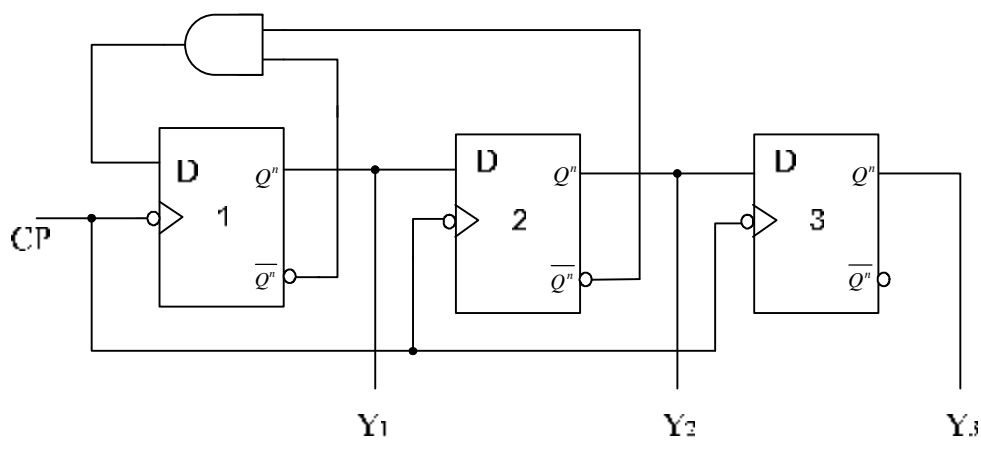
组合逻辑电路：任何时刻电路的输出仅与该时刻电路的输入有关。组合逻辑电路不含有反馈电路、不含有记忆单元，通过将若干门电路按照不同的方式连接实现所需的逻辑功能。

时序逻辑电路与组合逻辑电路的主要区别在于：时序逻辑电路包含存储电路，具有记忆功能，而组合逻辑电路不具有记忆功能。

6-2 分析时序电路的基本步骤是什么？

- 解**
- (1) 根据电路写出逻辑电路的时钟方程、各级触发器的驱动方程。
  - (2) 将驱动方程代入各相应触发器的特征方程，得到触发器的状态转移方程。
  - (3) 列出电路的输出方程。
  - (4) 由状态转移方程和输出方程，列出列状态转移表，画状态转移图和波形图。
  - (5) 给出电路的逻辑功能。如果是计数器，说明能否自启动。

6-3 分析题 6-1 图所示的时序电路。



题 6-3 图

解： 如题 6-3 图所示电路由 3 个下降沿触发的 D 触发器构成，前级触发器的输出作为后级触发器的输入，触发器受同一时钟 CP 控制，是同步时序电路。其中  $Y_1Y_2Y_3$  为输出。各级触发器的驱动方程为：

$$D_1 = \overline{Q_1^n} \overline{Q_2^n}$$

$$D_2 = Q_1^n$$

$$D_3 = Q_2^n$$

状态转移方程和输出方程为

$$Q_1^{n+1} = \overline{Q_1^n} \overline{Q_2^n} \bullet CP \downarrow \qquad Y_1 = Q_1^n$$

$$Q_2^{n+1} = Q_1^n \bullet CP \downarrow \qquad Y_2 = Q_2^n$$

$$Q_3^{n+1} = Q_2^n \bullet CP \downarrow \qquad Y_3 = Q_3^n$$

由状态转移方程，可得该电路的状态转移表如表 6-8 所示、状态转移图如图 6-18 所示。

表 6-8 习题 6-3 状态转移表

脉冲数	$Q_3^n Q_2^n Q_1^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$	$Y_3 Y_2 Y_1$
1	0 0 1	0 1 0	0 0 1

2	0 1 0	1 0 0	0 1 0
3	1 0 0	0 0 1	1 0 0
偏移态	0 0 0	0 0 1	0 0 0
	0 1 1	1 1 0	0 1 1
	1 1 0	1 0 0	1 1 0
	1 0 1	0 1 0	1 0 1
	1 1 1	1 1 0	1 1 1

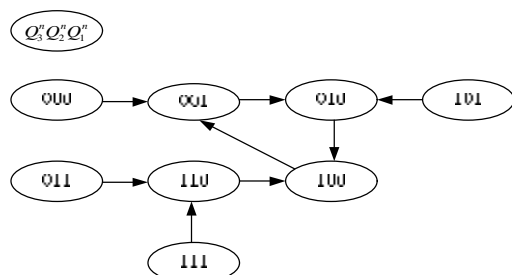
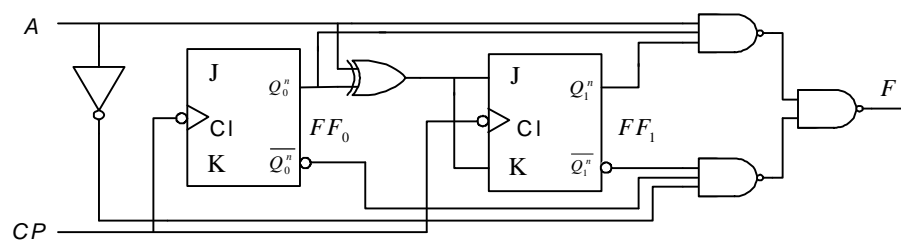


图 6-18 习题 6-3 状态转移图

由状态转移图可知，该电路具有自启动特性的模 3 计数器。

6-4 分析题 6-4 图所示时序电路，写出驱动方程、状态转移方程和输出方程，画出状态转移图。



题 6-4 图

解： 如题 6-4 图所示电路由 2 个下降沿的 J-K 触发器构成，并受同一 CP 控制，是同步时序电路。其中 A 为输入，F 为输出。其驱动方程为

$$J_0=K_0=1$$

$$J_1=K_1=A\oplus Q_0^n$$

状态转移方程和输出方程为

$$Q_0^{n+1}=\overline{Q_0}^n\bullet CP\downarrow$$

$$Q_1^{n+1}=A\oplus Q_0^n\oplus Q_1^n\bullet CP\downarrow$$

$$F=AQ_0^nQ_1^n+\overline{A}\overline{Q_0}^n\overline{Q_1}^n$$

由状态转移方程，可得该电路的状态转移表如表 6-9 所示、状态转移图如图 6-10 所示。

表 6-9 习题 6-4 状态转移表

A	$Q_2^nQ_1^n$		$Q_2^{n+1}Q_1^{n+1}$		F
0	0	0	0	1	1
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	0
1	0	0	1	1	0
1	1	1	1	0	1
1	1	0	0	1	0
1	0	1	0	0	0

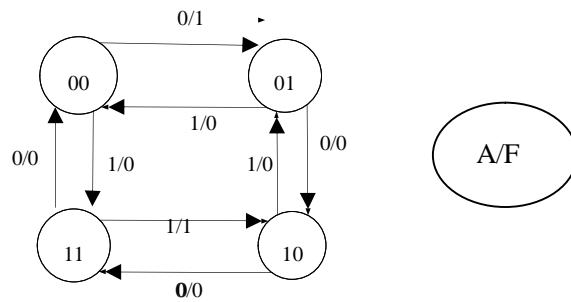
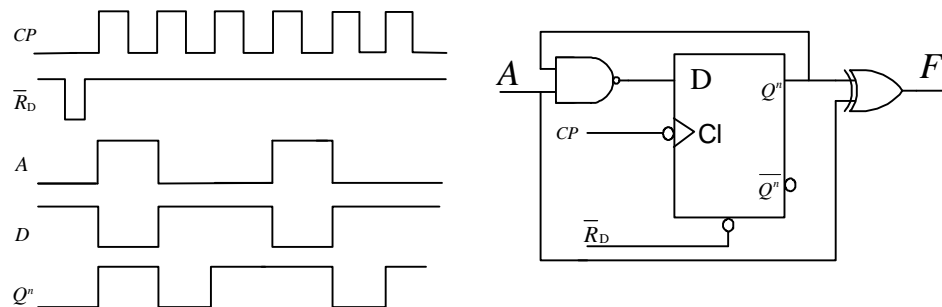


图 6-19 习题 6-4 状态转移图

电路是一个由信号 A 控制的模 4 加法/减法计数器。

6-5 电路和输入波形如题 6-3 图所示，画出输出端 F 的波形。



题 6-5 图

解：如题 6-3 图所示电路由 1 个下降沿触发的 D 触发器、一个与非门及一个异或门构成。

其中 A 为输入，F 为输出。D 触发器的动方程为

$$D = \bar{A} + \bar{Q}^n$$

状态转移方程和输出方程为

$$Q^{n+1} = (\bar{A} + \bar{Q}^n) \bullet CP \downarrow$$

$$F = A \oplus Q^n$$

输出端 F 的波形

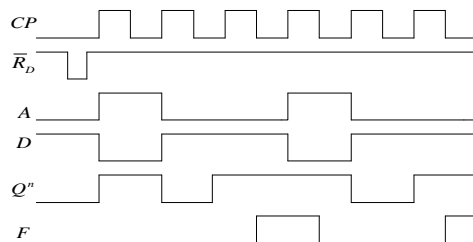
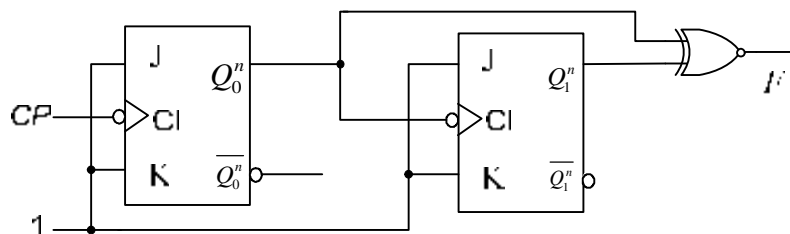


图 6-20 习题 6-5 波形图

6-6 画出题 6-6 图电路在  $CP$  脉冲作用下,  $Q_0$ 、 $Q_1$ 、 $F$  的波形。



题 6-6 图

解: 如题 6-6 图所示电路由 2 个下降沿触发的 J-K 触发器及一个同或门构成, 两个触发器受不同 CP 控制。因此, 电路是异步时序电路,  $F$  为输出。

其驱动方程为

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = 1$$

状态转移方程和输出方程为

$$Q_0^{n+1} = \overline{Q_0^n} \bullet CP \downarrow$$

$$Q_1^{n+1} = \overline{Q_1^n} \bullet Q_0^n \downarrow$$

$$F = Q_0^n \bullet Q_1^n = Q_0^n \oplus \overline{Q_1^n}$$

$Q_0, Q_1, F$  的波形

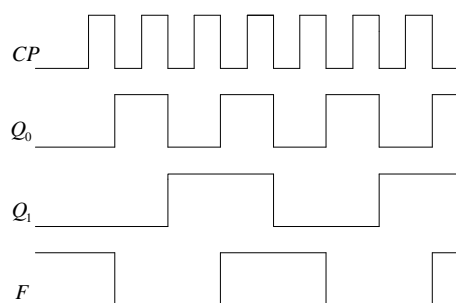


图 6-21 习题 6-6 波形图

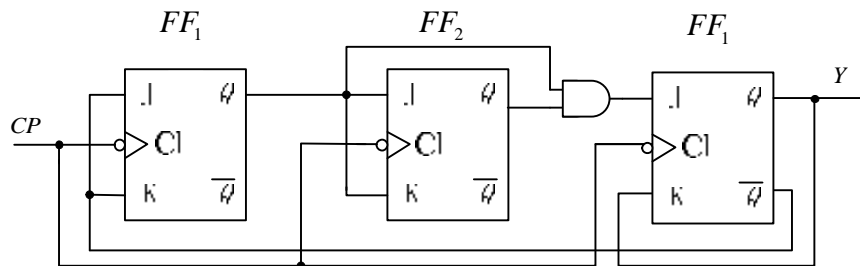
6-7 分析题 6-7 图所示时序电路, 画出状态转移图, 并说明电路的逻辑功能。





电路输出 000101111 序列信号。

6-8 分析题 6-8 图时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转移图，说明电路能否自启动。



题 6-8 图

解：如题 6-8 图所示电路由 3 个下降沿的 J-K 触发器和一个与门构成，触发器受同一 CP 控制，是同步时序电路。其中 Y 为输出。

其驱动方程为

$$J_1 = K_1 = \bar{Q}_3^n$$

$$J_2 = K_2 = Q_1^n$$

$$J_3 = Q_1^n Q_2^n \quad K_3 = Q_3^n$$

状态转移方程和输出方程为

$$Q_1^{n+1} = Q_1^n \oplus Q_3^n$$

$$Q_2^{n+1} = Q_1^n \oplus Q_2^n$$

$$Q_3^{n+1} = Q_1^n Q_2^n \bar{Q}_3^n + \bar{Q}_3^n Q_3^n = Q_1^n Q_2^n \bar{Q}_3^n$$

状态转移图如图 6-23 所示。

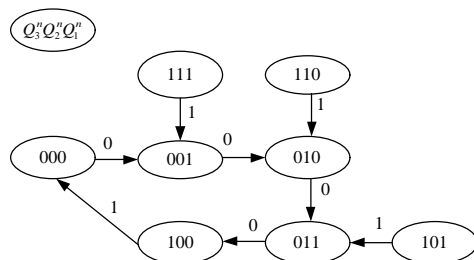
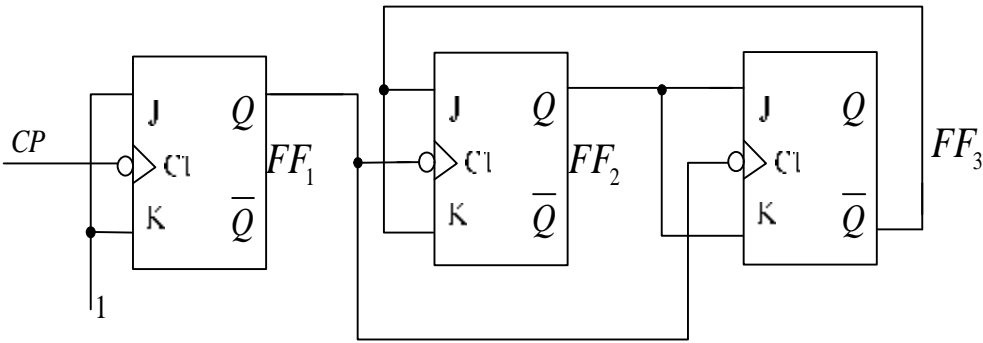


图 6-23 习题 6-8 状态转移图

电路可自启动。

6-9 分析题 6-9 图所示时序电路，画出电路状态转换表和状态转移图，说明电路的逻辑功能。



题 6-9 图

解： 如题 6-9 图所示电路由 3 个 J-K 触发器构成的异步时序电路。

驱动方程为

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = \overline{Q}_3^n$$

$$J_3 = K_3 = Q_2^n$$

状态转移方程和输出方程为

$$Q_1^{n+1} = \overline{Q}_1^n \cdot CP \downarrow$$

$$Q_2^{n+1} = Q_2^n \oplus Q_3^n \cdot Q_1^n \downarrow$$

$$Q_3^{n+1} = Q_2^n \oplus Q_3^n \cdot Q_1^n \downarrow$$

由状态转移方程，可得该电路的状态转移表如表 6-10 所示、状态转移图如图 6-24 所示。

表 6-10 习题 6-9 状态转移表

$Q_3^n Q_2^n Q_1^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$	$CP$	$Q_1^n$
0 0 0	0 0 1	↓	↑
0 0 1	0 1 0	↓	↓
0 1 0	0 1 1	↓	↑
0 1 1	1 0 0	↓	↓
1 0 0	1 0 1	↓	↑
1 0 1	1 0 0	↓	↓

1 1 0	1 1 1	↓	↑
1 1 1	0 1 0	↓	↓

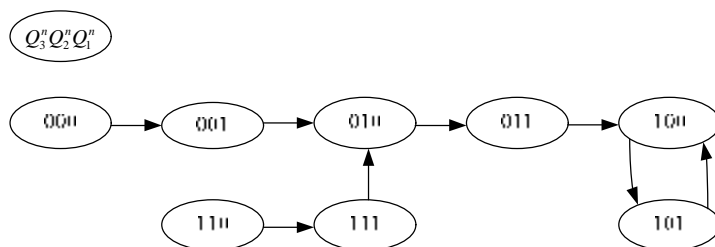
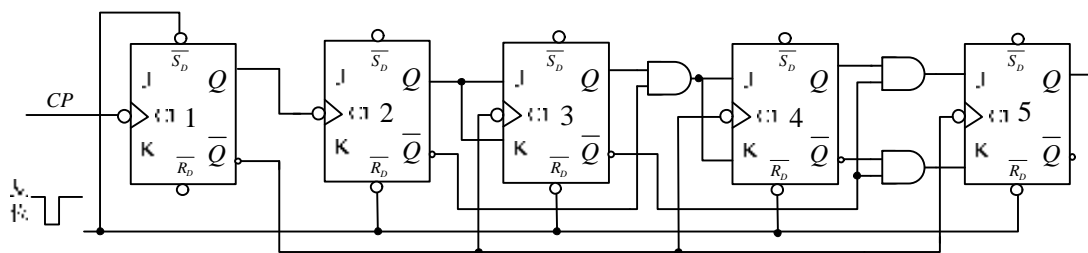


图 6-24 习题 6-9 状态转移图

电路可自启动，从 $Q_1^n$ 输出完成 2 分频。

6-10 试分析如题 6-10 图所示逻辑电路的逻辑功能。



题 6-10 图

解：如图题 6-10 图所示电路由 5 个 J-K 触发器和三个与门构成的异步时序电路。

其驱动方程为

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = 1$$

$$J_3 = K_3 = Q_2^n$$

$$J_4 = K_4 = \overline{Q_2^n} Q_3^n$$

$$J_5 = \overline{Q_3^n} Q_4^n, K_5 = \overline{Q_3^n} \overline{Q_4^n}$$

$$CP_1 = CP \downarrow$$

$$CP_2 = Q_1^n \downarrow$$

$$CP_3 = Q_1^n \uparrow$$

$$CP_4 = Q_1^n \uparrow$$

$$CP_5 = Q_1^n \uparrow$$

状态转移方程和输出方程为

$$Q_1^{n+1} = \overline{Q_1^n} \cdot CP \downarrow$$

$$Q_2^{n+1} = \overline{Q_2^n} \cdot Q_1^n \downarrow$$

$$Q_3^{n+1} = Q_2^n \overline{Q_3^n} + \overline{Q_2^n} Q_3^n = Q_2^n \oplus Q_3^n \cdot Q_1^n \uparrow$$

$$Q_4^{n+1} = \overline{Q_2^n} Q_3^n \overline{Q_4^n} + \overline{\overline{Q_2^n} Q_3^n} Q_4^n = (\overline{Q_2^n} Q_3^n) \oplus Q_4^n \cdot Q_1^n \uparrow$$

$$Q_5^{n+1} = \overline{Q_3^n} Q_4^n \overline{Q_5^n} + \overline{\overline{Q_3^n} Q_4^n} Q_5^n = (\overline{Q_3^n} Q_4^n \overline{Q_5^n} + Q_3^n Q_5^n + Q_4^n Q_5^n) \cdot Q_1^n \uparrow$$

由状态转移方程，可得该电路的状态转移表如表 6-11 所示、状态转移图如图 6-25 所示。

表 6-11 习题 6-10 状态转移表

$Q_5^n Q_4^n Q_3^n Q_2^n Q_1^n$	$Q_5^{n+1} Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$	$F = Q_5^n$	$CP$	$Q_1^n$
0 0 0 0 1	0 0 0 1 0	0	↓	↓
0 0 0 1 0	0 0 1 1 1	0	↓	↑
0 0 1 1 1	0 0 1 0 0	0	↓	↓
0 0 1 0 0	0 1 1 0 1	0	↓	↑
0 1 1 0 1	0 1 1 1 0	0	↓	↓
0 1 1 1 0	0 1 0 1 1	0	↓	↑
0 1 0 1 1	0 1 0 0 0	0	↓	↓
0 1 0 0 0	1 1 0 0 1	0	↓	↑
1 1 0 0 1	1 1 0 1 0	1	↓	↓
1 1 0 1 0	1 1 1 1 1	1	↓	↑
1 1 1 1 1	1 1 1 0 0	1	↓	↓
1 1 1 0 0	1 0 1 0 1	1	↓	↑
1 0 1 0 1	1 0 1 1 0	1	↓	↓
1 0 1 1 0	1 0 0 1 1	1	↓	↑
1 0 0 1 1	1 0 0 0 0	1	↓	↓
1 0 0 0 0	0 0 0 0 1	1	↓	↑

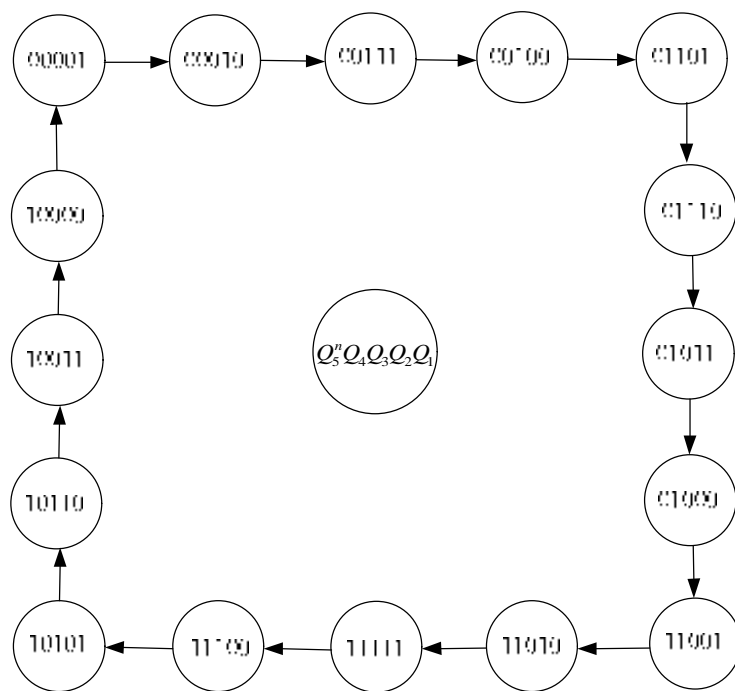
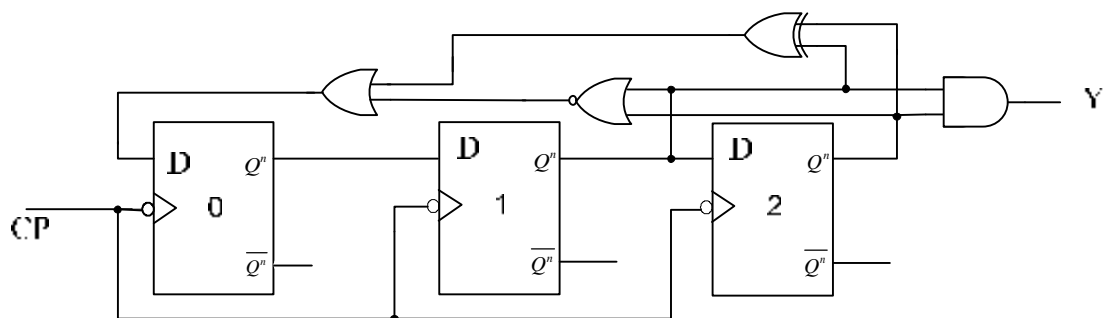


图 6-25 习题 6-10 状态转移图

6 - 11 分析如题 6-11 图所示移存型计数器，画出状态转移图。



题 6-11 图

解：

(1) 各触发器的驱动方程为：

$$D_0 = Q_1^n \oplus Q_2^n + \overline{Q_1^n} + \overline{Q_2^n} = \overline{Q_1^n} Q_2^n$$

$$D_1 = Q_0^n$$

$$D_2 = Q_1^n$$

输出方程： $Y = Q_1^n Q_2^n$

(2) 将驱动方程代入状态方程，可以得到电路的状态转移方程为

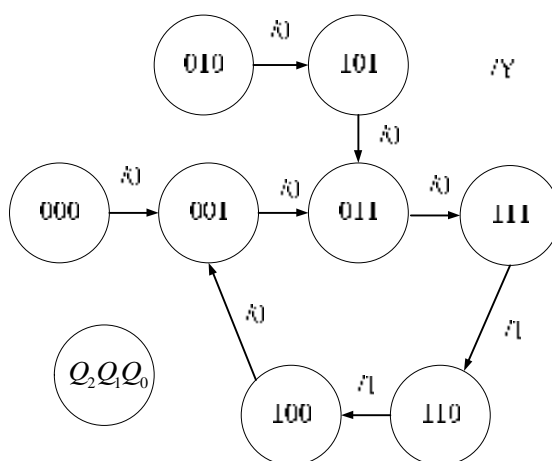
$$Q_0^{n+1} = D_0, Q_1^{n+1} = D_1, Q_2^{n+1} = D_2$$

(3) 由状态转移方程和输出方程，可以得到电路的状态转移表如表 6-12 所示。

表 6-12 习题 6-11 状态转移表

$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	Y
0	0	0	0	0	1	0
0	0	1	0	1	1	0
0	1	1	1	1	1	0
1	1	1	1	1	0	1
1	1	0	1	0	0	1
1	0	0	0	0	1	0
1	0	1	0	1	1	0
0	1	0	1	0	1	0

(4) 由状态转移表画出状态转移图



6-12 如何利用 J-K 触发器 图 6-26 习题 6-11 状态转移图

解：由 J-K 触发器的状态转移方程  $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$ , 当  $J = X$ ,  $K = \bar{X}$  时, 得  $Q^{n+1} = X$ , 即可构成单向移位寄存器, 如图 6-27 所示:

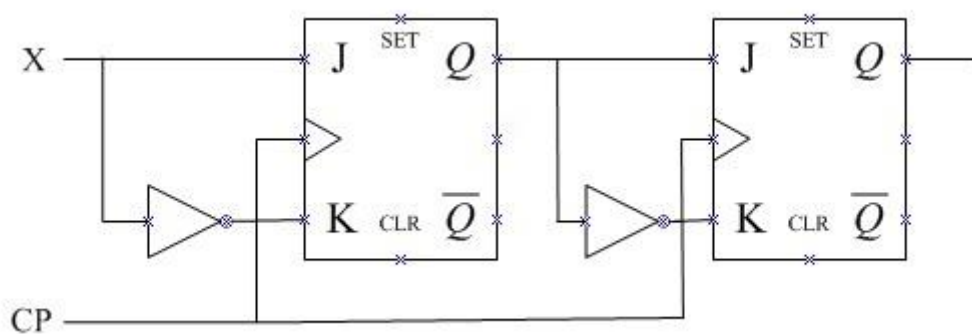


图 6-27 习题 6-12 逻辑图

6-13 采用 74LS193 移位寄存器分别构成模 13 加法计数器和模 9 减法计数器。

解：74LS193 为四位二进制可加减计数器。

### (1) 构成模 13 加法计数器

采用状态 0011 至 1111 这 13 个状态，并用异步置位法实现，电路如图 6-28 所示。

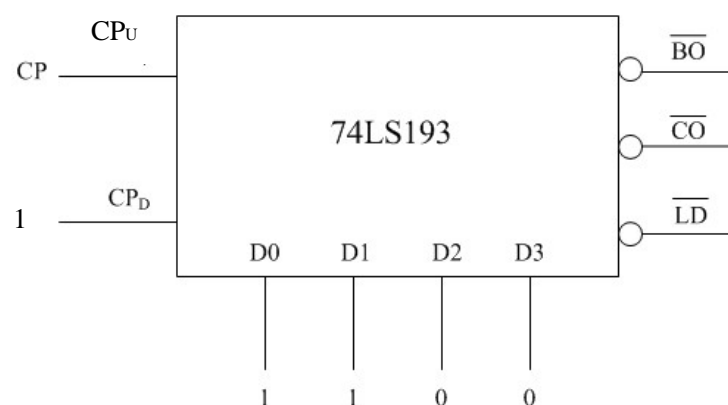


图 6-28 模 13 加法计数器逻辑电路

### (2) 模 9 减法计数器

采用状态 1000 至 0000 这 9 个状态，并用异步置位法，如下：

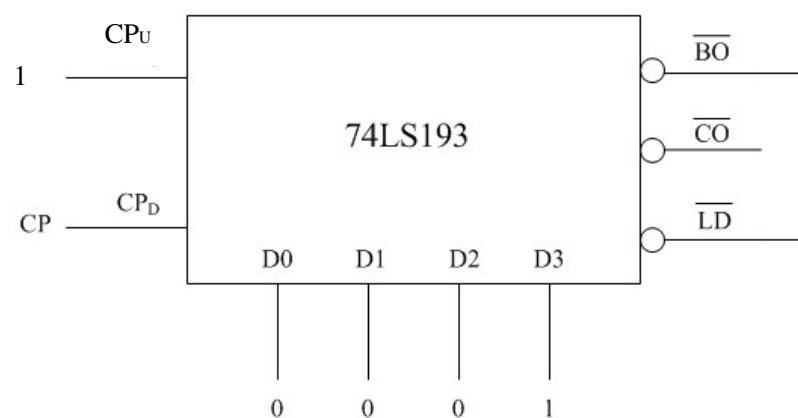


图 6-29 模 9 减法计数器逻辑电路

6-14 用 JK 触发器设计一个模 7 同步计数器。

解：(1) 设计模为 7 的计数器，需要用的触发器的个数  $n$  与模值之间的关系为

$2^{n-1} < 7 \leq 2^n$ ，因此需要采用三个 JK 触发器， $n=3$ 。

### (2) 列出状态转移图及状态转移表

若采用自然二进制编码，则七个状态分别为： $S_0=000$ 、 $S_1=001$ 、 $S_2=010$ 、 $S_3=011$ 、



$S_4=100$   $S_5=101$ 、 $S_6=110$ 。由编码后的状态得到状态状态表。

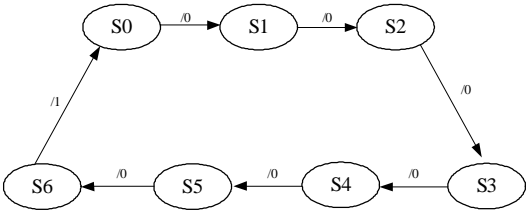


图 6-30 习题 6-14 状态转移图

表 6-13 习题 6-14 状态转移表

现态			次态			输出
$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	C
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1

采用卡诺图进行化简，得到状态转移方程及输出方程为：

$$Q_3^{n+1}=Q_2^nQ_1^n+Q_3^n\overline{Q_2}^n \quad , \quad Q_2^{n+1}=\overline{Q_2}^nQ_1^n+\overline{Q_3}^nQ_2^n\overline{Q_1}^n \quad , \quad Q_1^{n+1}=\overline{Q_2}\overline{Q_1}+\overline{Q_3}\overline{Q_1}$$

输出方程为：  $C=Q_3^nQ_2^n$

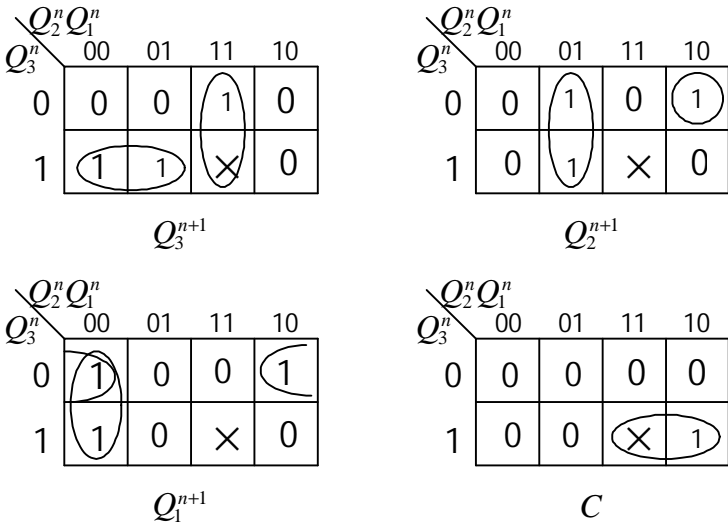


图 6-31 习题 6-14 化简卡诺图

(5) 求驱动方程

$$Q_3^{n+1} = Q_3^n \bar{Q}_2^n + Q_2^n Q_1^n = Q_1^n Q_2^n \bar{Q}_3^n + (Q_2^n Q_1^n + \bar{Q}_2^n) \cdot Q_3^n = Q_1^n Q_2^n \bar{Q}_3^n + \bar{Q}_2^n \bar{Q}_1^n Q_3^n$$

$$Q_2^{n+1} = \bar{Q}_2^n Q_1^n + \bar{Q}_3^n Q_2^n \bar{Q}_1^n = Q_1^n \bar{Q}_2^n + \bar{Q}_3^n + Q_1^n \cdot Q_2^n$$

$$Q_1^{n+1} = \bar{Q}_2^n \bar{Q}_1^n + \bar{Q}_3^n \bar{Q}_1^n = \bar{Q}_3^n \bar{Q}_2^n \cdot \bar{Q}_1^n + 0 \cdot Q_1^n$$

得

$$J_1 = \bar{Q}_2^n \bar{Q}_3^n, K_1 = 1$$

$$J_2 = Q_1^n, K_2 = Q_3^n + Q_1^n$$

$$J_3 = Q_2^n Q_1^n, K_3 = Q_2^n \bar{Q}_1^n$$

(6) 画出逻辑图

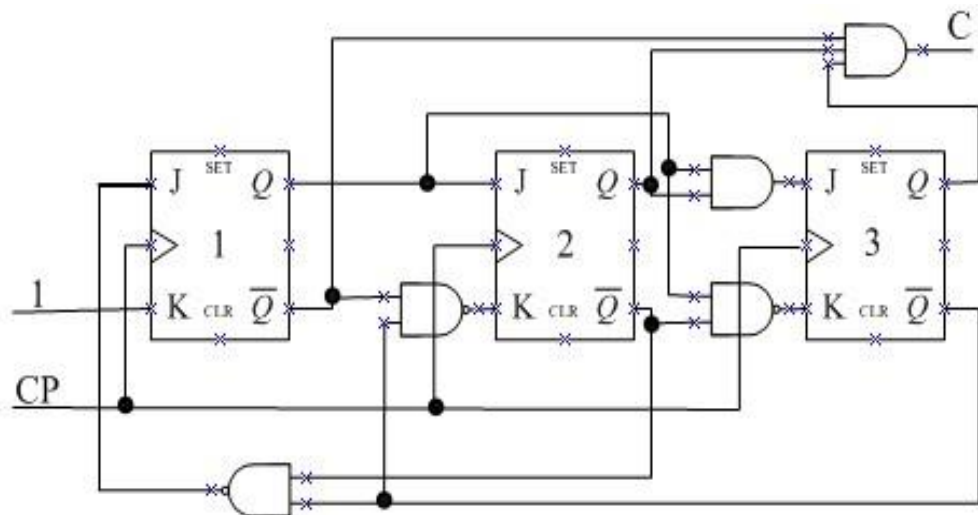


图 6-32 习题 6-14 逻辑电路图

6-15 已知触发器的特征方程为  $Q^{n+1} = M \oplus N \oplus Q^n$ ，要求：

- (1) 用 J-K 触发器实现该触发器。
- (2) 用该触发器构成模 4 同步计数器。

解：(1) JK 触发器的状态转移方程  $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$

已知触发器的特征方程  $Q^{n+1} = M \oplus N \oplus Q^n = (M \oplus N) \cdot \bar{Q}^n + (\overline{M \oplus N}) \cdot Q^n$ ，比较两方程得  $J = K = M \oplus N$  即可实现。

(2) 实现模 4 同步计数器，需采用 2 个这种类型的触发器。列出状态转移表，如表 6-14 所示。

表 6-14 习题 6-15 状态转移表

现态		次态		输出
$Q_2^n$	$Q_1^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	C
0	0	0	1	0
0	1	1	0	0
1	0	1	1	0
1	1	0	0	1

(3) 求驱动方程, 化简得:

$Q_2^{n+1} = \overline{Q_1^n} Q_2^n + Q_1^n \overline{Q_2^n}$ , 得  $M \oplus N = Q_1^n, M = Q_1^n, N = 0$

$Q_1^{n+1} = \overline{Q_1^n}$ , 得  $M \oplus N = 1, M = 0, N = 1$

(4) 画出逻辑电路图

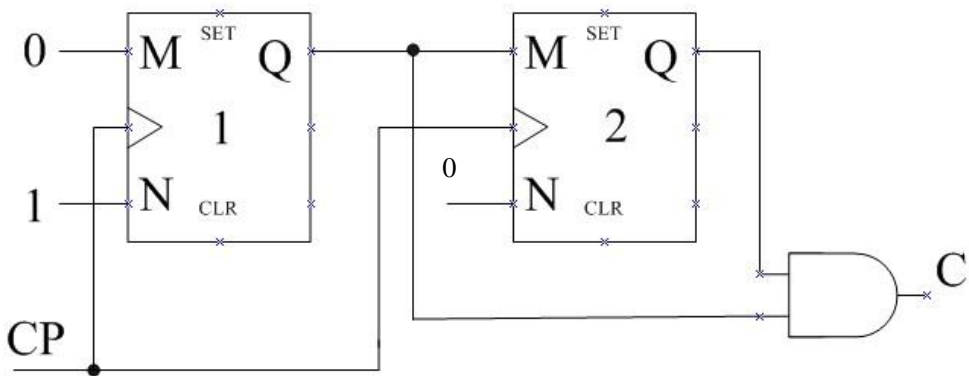


图 6-33 习题 6-15 逻辑电路图

6-16 用 D 触发器和门电路设计一个十一进制计数器, 并检查设计的电路能否自启动。

解 (1) 由于模为 11, 由  $2^3 < 11 < 2^4$ , 因此需要 4 个 D 触发器。

(2) 时钟采用同步时钟 CP。

(3) 列出状态转移图和状态转移表

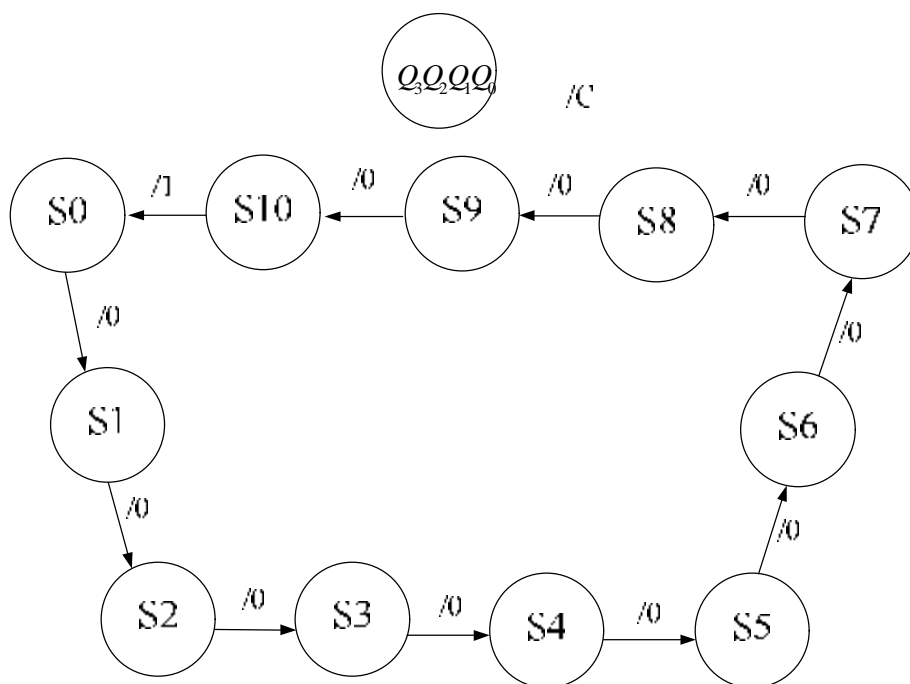


图 6-34 状态转移图

状态分配，S0=0000，S1=0001，S2=0010，S3=0011，S4=0100，S5=0101，S6=0110，  
S7=0111，S8=1000，S9=1001，S10=1010

表 6-15 习题 6-16 状态转移表

现态				次态				输出
$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	C
0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	1	0	0
0	0	1	0	0	0	1	1	0
0	0	1	1	0	1	0	0	0
0	1	0	0	0	1	0	1	0
0	1	0	1	0	1	1	0	0
0	1	1	0	0	1	1	1	0
0	1	1	1	1	0	0	0	0
1	0	0	0	1	0	0	1	0
1	0	0	1	1	0	1	0	0
1	0	1	0	0	0	0	0	1

化简卡诺图如图 6-35 所示。经化简得：

$$\begin{aligned}
 Q_3^{n+1} &= Q_3^n \bar{Q}_1^n + Q_2^n Q_1^n Q_0^n = D_3 \\
 Q_2^{n+1} &= Q_2^n \bar{Q}_1^n + \bar{Q}_2^n Q_1^n Q_0^n + Q_2^n \bar{Q}_0^n = D_2 \\
 Q_1^{n+1} &= \bar{Q}_1^n \bar{Q}_0^n + \bar{Q}_3^n Q_1^n \bar{Q}_0^n = D_1 \\
 Q_0^{n+1} &= \bar{Q}_1^n \bar{Q}_0^n + \bar{Q}_3^n \bar{Q}_0^n = D_0 \\
 C &= Q_1^n Q_3^n
 \end{aligned}$$

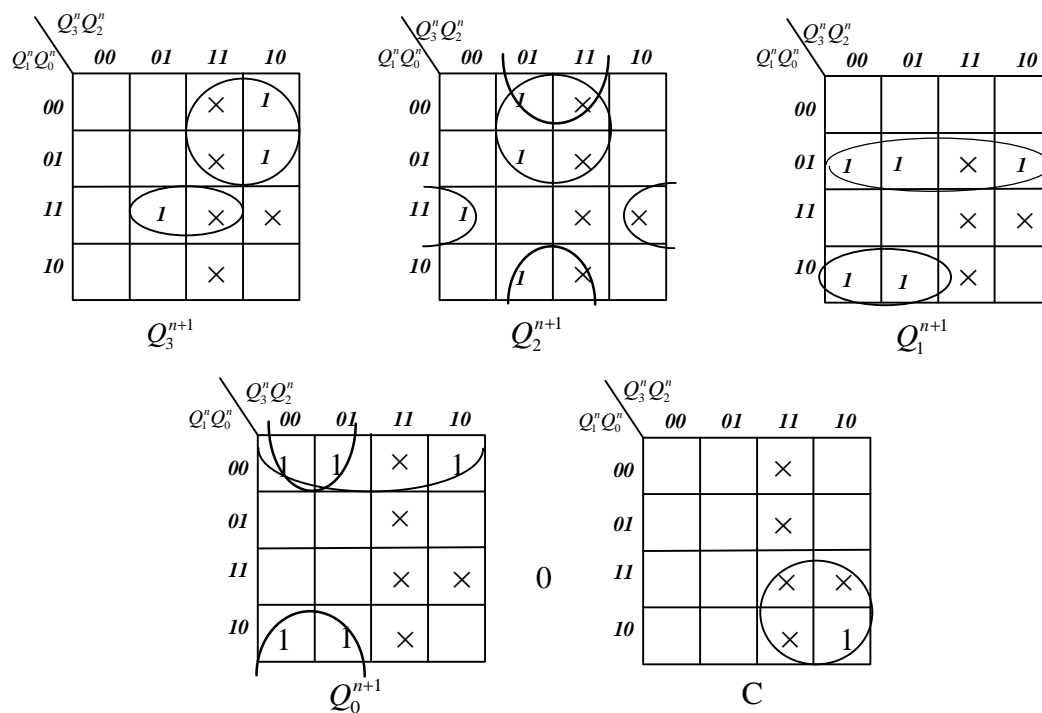


图 6-35 习题 6-16 化简卡诺图

电路能自启动。

(5) 画电路逻辑图

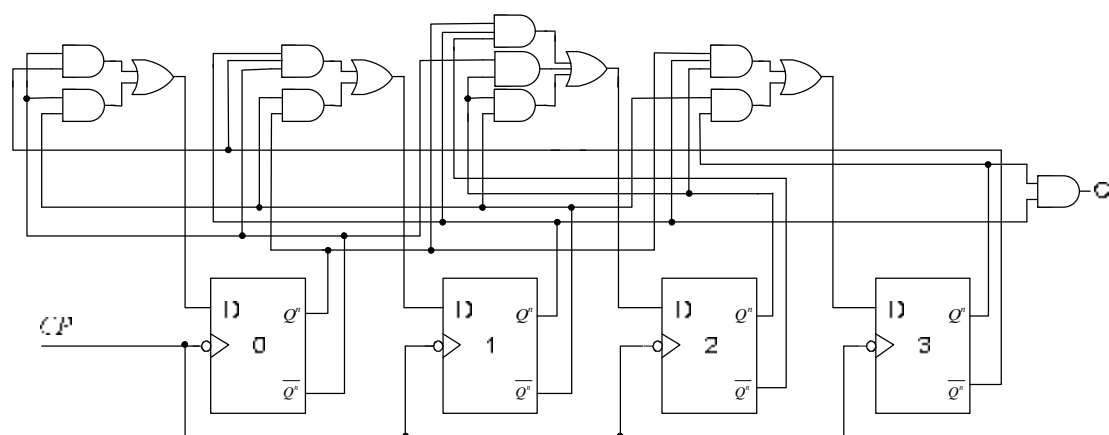


图 6-36 习题 6-16 逻辑电路图

6-17 试用 74LS195 或 74LS194 构成 12 位右移计数器。

解：用 3 个 74LS194 构成 12 位右移计数器，如图 6-37 所示。

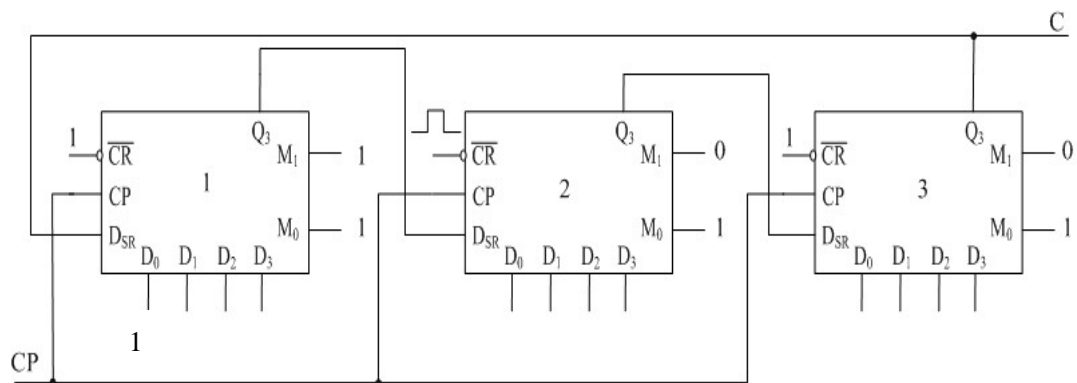


图 6-37 习题 6-17 逻辑电路图

首先三个移位寄存器同时清 0，然后给第一个芯片的 M1 端加一个触发高电平，使其并行输入数据  $D_3D_2D_1D_0=0001$ ，接着在 CP 脉冲的作用下进行右移，经过 12 个脉冲，输出一个高电平，完成 12 进制计数。

6-18 设计一个可控同步计数器， $M_1, M_2$  为控制信号，要求：当  $M_1M_2=00$  时，维持原状态。当  $M_1M_2=01$  时，实现模 2 计数。当  $M_1M_2=10$  时，实现模 4 计数。当  $M_1M_2=11$  时，实现模 8 计数。

解 设计一个模 8 计数器，用  $M_1$  和  $M_2$  进行进位信号的控制， $M_1M_2=00$  时，暂停时钟，使其保持，用 01、10、11 分别控制进位信号。

(1) 状态转移表如表 6-16 所示。

表 6-16 习题 6-18 状态转移表

现态			次态		
$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

(2) 次态卡诺图

$$Q_3^{n+1} = Q_3^n \overline{Q_2^n} + Q_3^n \overline{Q_1^n} + \overline{Q_3^n} Q_2^n Q_1^n$$

$$Q_2^{n+1} = \overline{Q_2^n} Q_1^n + Q_2^n \overline{Q_1^n}$$

$$Q_1^{n+1} = \overline{Q_1^n}$$

$Q_3^n Q_2^n$					
$Q_1^n$		00	01	11	10
0		0	0	1	1
1		0	1	0	1

$Q_3^{n+1}$

$Q_3^n Q_2^n$					
$Q_1^n$		00	01	11	10
0		0	1	1	0
1		1	0	0	1

$Q_2^{n+1}$

$Q_3^n Q_2^n$					
$Q_1^n$		00	01	11	10
0		1	1	1	1
1		0	0	0	0

$Q_1^{n+1}$

图 6-38 习题 6-18 化简卡诺图

(3) 求驱动方程

$$Q_3^{n+1} = (\bar{Q}_1^n + \bar{Q}_2^n)Q_3^n + \bar{Q}_3^n Q_2^n Q_1^n = \bar{Q}_1^n \bar{Q}_2^n Q_3^n + Q_1^n Q_2^n \bar{Q}_3^n$$

$$Q_2^{n+1} = \bar{Q}_1^n Q_2^n + Q_1^n \bar{Q}_2^n$$

$$Q_1^{n+1} = 0 \cdot Q_1^n + 1 \cdot \bar{Q}_1^n, \text{得}$$

$$J_3 = K_3 = Q_1 Q_2$$

$$J_2 = K_2 = \bar{Q}_1$$

$$J_1 = K_1 = 1$$

(4)逻辑图

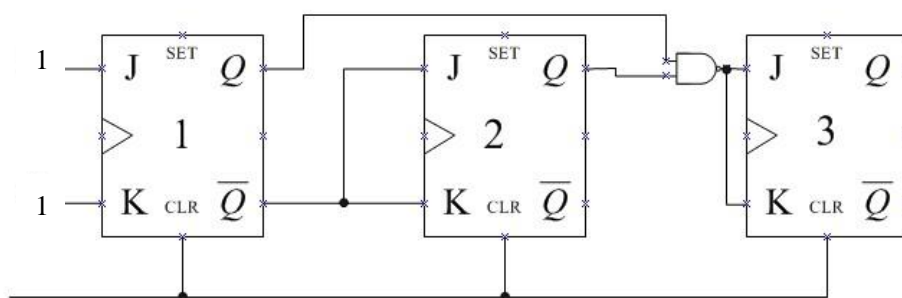


图 6-39 习题 6-18 未加控制信号逻辑电路图

(5)加入控制信号

$Q_3^n Q_2^n Q_1^n = 001$ 、 $011$ 、 $111$  时输出，让  $M_1 M_2 = 01$ 、 $10$ 、 $11$  时，分别实现模 2、模 4 和模 8 计数。

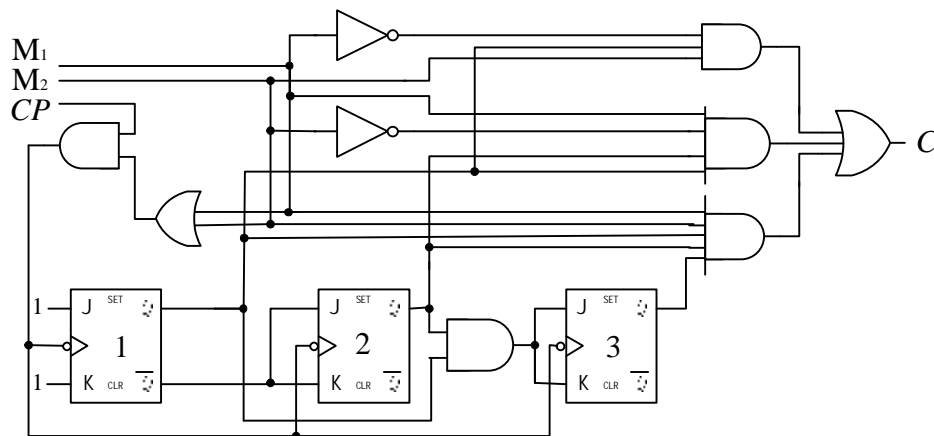


图 6-40 习题 6-18 逻辑电路图

6-19 已知同步时序电路状态表如题 6-19 表所列，用 J-K 触发器实现这个电路。

表 6-17 习题 6-19 状态表



次态/输出 现态		X	
		0	1
$S_0$		$S_1/0$	$S_3/0$
$S_1$		$S_2/0$	$S_0/0$
$S_2$		$S_3/0$	$S_1/0$
$S_3$		$S_0/1$	$S_2/1$

解 此电路有 4 个状态，一个控制，可以用可逆计数器实现，设计一个加法器和一个加法器，再合并即可，分配  $S_0(00)$ ， $S_1(01)$ ， $S_2(10)$ ， $S_3(11)$ 。

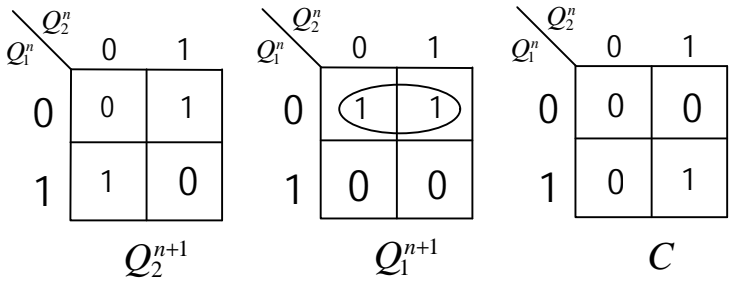
(1)加法器

状态转移表如表 6-18 所列。

表 6-18 习题 6-19 加法器状态转移表

现态		次态		输出
$Q_2^n$	$Q_1^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	C
0	0	0	1	0
0	1	1	0	0
1	0	1	1	0
1	1	0	0	1

化简卡诺图为：



$$Q_2^{n+1} = \bar{Q}_1^n Q_2^n + Q_1^n \bar{Q}_2^n$$

$$Q_1^{n+1} = \bar{Q}_1^n$$

$$C = Q_2^n Q_1^n$$

(2)求驱动方程

$$\text{由 } Q_2^{n+1} = \bar{Q}_1^n Q_2^n + Q_1^n \bar{Q}_2^n, \text{得 } J_2 = K_2 = Q_1^n$$

$$Q_1^{n+1} = \bar{Q}_1^n, \text{得 } J_1 = K_1 = 1$$

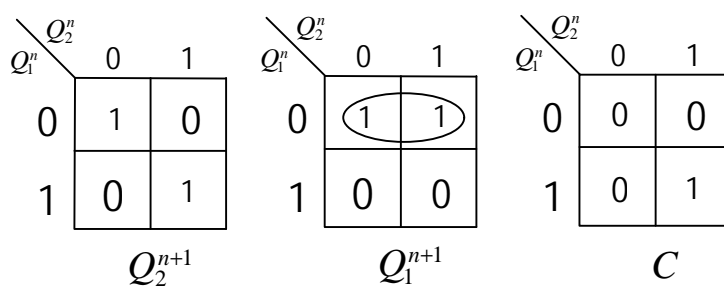
(3)减法器

状态转移表如表 6-19 所列

表 6-19 习题 6-19 减法器状态转移表

现态		次态		输出
$Q_2^n$	$Q_1^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	C
0	0	1	1	0
0	1	0	0	0
1	0	0	1	0
1	1	1	0	1

卡诺图:



(4)求驱动方程

$$Q_2^{n+1} = \bar{Q}_1^n \bar{Q}_2^n + Q_1^n Q_2^n, \text{得 } J_1 = K_1 = 1, J_2 = K_2 = \bar{Q}_1^n$$

$$Q_1^{n+1} = \bar{Q}_1^n$$

(5)发现 C 仅与现态有关, 加法与减法器仅 J2、K2 不同。采用异或门控制电路,

$$X=0 \text{ 时, } X \oplus Q^n = Q^n; X=1 \text{ 时, } X \oplus Q^n = \bar{Q}^n。$$

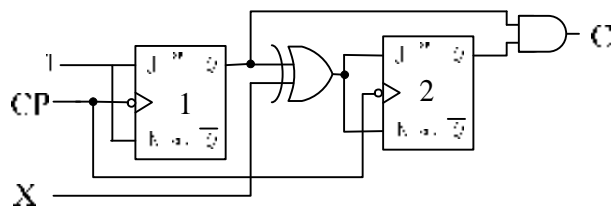


图 6-41 习题 6-19 逻辑电路

6-20 对题 6-20 表状态进行简化，并设计其时序电路。

题 6-20 表

S(t)	N(t)		Z(t)	
	X = 0	X = 1	X = 0	X = 1
A	B	H	0	0
B	F	E	0	1
E	D	F	0	0
D	G	A	0	1
H	A	H	0	0
F	F	B	1	1
G	E	F	0	0
H	G	D	1	1

**解** 由题 6-20 表可知，由于状态 A 的输出在 X=0 和 X=1 时均为 0，因此，状态 A 与状态 B、D、F、H 不等价。从而 A-B、A-D、A-F、A-H 格中打 X。同样可以看出状态 B 与状态 A、C、E、F、G、H 不等价。从而 B-C、B-E、B-F、B-G、B-H 格中打 X。若两个状态输出相同，下一状态也相同。如果输出相同，转移效果相同，那么这两个状态也等价。则在隐含表相应的格中填入  $\checkmark$ 。两个状态的转移效果相同包括 1：对应下一状态相同。2：下一状态就是两个状态本身。3：下一状态将被证明是彼此等价的。4：次态交错等价，如 B, D 两个状态，B 的次态是 D，D 的

次态是 B。5: 次态循环也算次态等价，例如，原状态对 (A,B) 的输出相同，对应的次态为 (C,D)。在相同输出条件下，(C,D) 的次态为 (A,B)。称为次态循环，即原状态 (A,B) 是等价的。若两个状态输出相同，次态不相同，则将这些次态对填入相应的方格中。例如，F-H 方格中填入相应的两对次态对  $\begin{bmatrix} EG \\ BD \end{bmatrix}$ ，表示 E、G 和 B、D 两对状态是状态 F 和 H 等价的隐含条件。用同样的方法比较，可以得出表 6-20 (a)。由表 6-20 (a) 再进行关联比较，得到表 6-20 (b)

B	X						
C	$\frac{BD}{HF}$	X					
D	X	$\frac{EG}{CA}$	X				
E	$\frac{BA}{HH}$	X	$\frac{DA}{FH}$	X			
F	X	X	X	X	X		
G	$\frac{BC}{HF}$	X	$\frac{DC}{FF}$	X	$\frac{AC}{HF}$	X	
H	X	X	X	X	X	$\frac{EG}{BD}$	X
	A	B	C	D	E	F	G

表 6-20 习题 6-20 隐含表 (a)

B	X						
C	$\frac{BD}{HF}$	X					
D	X	$\frac{EG}{CA}$	X				
E	X	X	X	X			
F	X	X	X	X	X		
G	X	X	X	X	$\frac{AC}{HF}$	X	
H	X	X	X	X	X	$\frac{EG}{BD}$	X
	A	B	C	D	E	F	G

表 6-20 习题 6-20 隐含表 (b)

由表 6-20 可知，(AC)、(BD)、(EG)、(HF) 为等价状态对，令 (AC) 为 a，(BD) 为 b，(EG) 为 c，(HF) 为 d，可得简化状态表，如表 6-21 所示。

表 6-21 习题 6-20 简化状态表

S(t)	N(t)		Z(t)	
	x=0	x=1	x=0	x=1
a	b	d	0	0
b	c	a	0	1
c	a	d	0	0
d	c	b	1	1

状态分配，四个状态需要 2 个触发器，令 a=00，b=01，c=10，d=11，得状态转移表如表 6-22 所列。

S(t)		N(t)		Z(t)	
$Q_2^n$	$Q_1^n$	$Q_2^n$ x=0	$Q_1^n$ x=1	x=0	x=1
0	0	0	0	0	0
0	1	1	0	0	1
1	0	0	0	0	0
1	1	1	0	1	1

表 6-22 习题 6-20 编码后状态转移表

化简可得状态方程和输出方程为

$$Q_2^{n+1} = Q_1^n \bar{x} + \overline{Q_1^n} x = \overline{x Q_1^n} \cdot \overline{x Q_1^n}$$

$$Q_1^{n+1} = Q_2^n x + \overline{Q_2^n} \bar{x} = x \cdot \overline{Q_2^n} + \overline{Q_2^n} \bar{x}$$

$$Z = Q_2^n Q_1^n + Q_1^n x = \overline{Q_1^n Q_2^n} \bar{x}$$

采用 D 触发器实现电路功能，可得驱动方程为：

$$D_2 = \overline{\overline{xQ_1^n} \cdot \overline{xQ_1^n}}$$

$$D_1 = \overline{x \cdot Q_1^n Q_2^n}$$

所得逻辑电路图，如图 6-42 所示

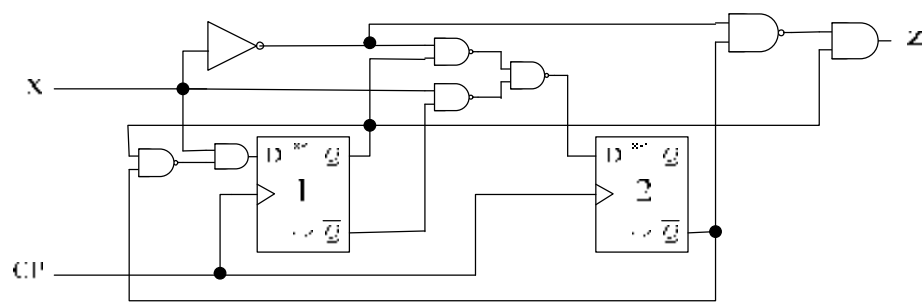


图 6-42 习题 6-20 逻辑电路

6-21 设计一个可变模计数器，当控制信号 M=1 时实现模 12 计数，当 M=0 时实现模 7 计数。

**解** 当 M=1 时的状态转移表如表 6-23 所示。

表 6-23 习题 6-21 M=1 时状态转移表

序号	S(t)				N(t)			
	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_0^n$
0	0	1	0	0	0	1	0	1
1	0	1	0	1	0	1	1	0
2	0	1	1	0	0	1	1	1
3	0	1	1	1	1	0	0	0
4	1	0	0	0	1	0	0	1
5	1	0	0	1	1	0	1	0
6	1	0	1	0	1	0	1	1
7	1	0	1	1	1	1	0	0
8	1	1	0	0	1	1	0	1
9	1	1	0	1	1	1	1	0
10	1	1	1	0	1	1	1	1

11	1	1	1	1	0	1	0	0
----	---	---	---	---	---	---	---	---

当 M=0 时的状态转移表如表 6-24 所示。

表 6-24 习题 6-21 M=0 时状态转移表

序号	S(t)				N(t)			
	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_0^n$
0	1	0	0	1	1	0	1	0
1	1	0	1	0	1	0	1	1
2	1	0	1	1	1	1	0	0
3	1	1	0	0	1	1	0	1
4	1	1	0	1	1	1	1	0
5	1	1	1	0	1	1	1	1
6	1	1	1	1	1	0	0	1

由表 6-23 及表 6-24 可知：Q1 的置入值相同，而 Q3、Q2、Q0 的置入值相反，则可变模值计数器如下：

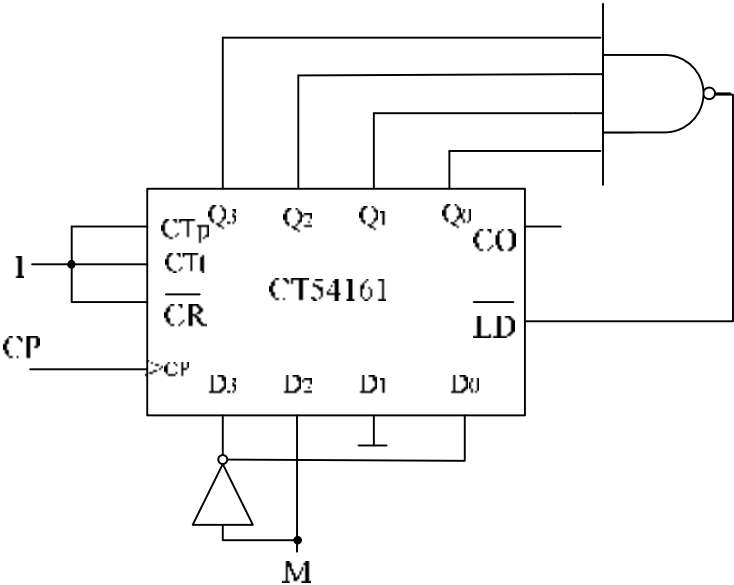
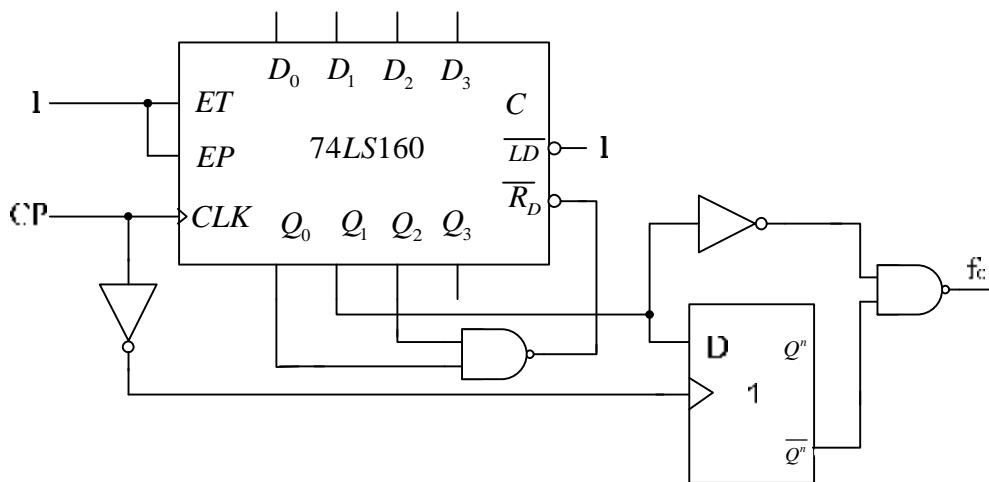


图 6-43 习题 6-21 逻辑电路

6-22 分析题 6-11 图所示电路，请画出在 CP 作用下  $f_0$  的输出波形，并说明  $f_0$  与时钟 CP 之间的关系。



题 6-22 图

**解** 该电路中的 74LS160 的  $ET=EP=\overline{LD}=1$ ，因此电路处于计数状态，电路利用  $\overline{RD}$  控制计数模值，电路初态为  $Q_3Q_2Q_1Q_0=0000$ ，其有效序列状态为  $0000 \rightarrow 0001 \rightarrow 0010 \rightarrow 0011 \rightarrow 0100$  为模 5 计数器，其中 0101 为过渡状态，且  $f_0 = \overline{Q_1} \overline{Q_0}$

可画出  $f_0$  与 CP 间的波形图如 6-42 所示。

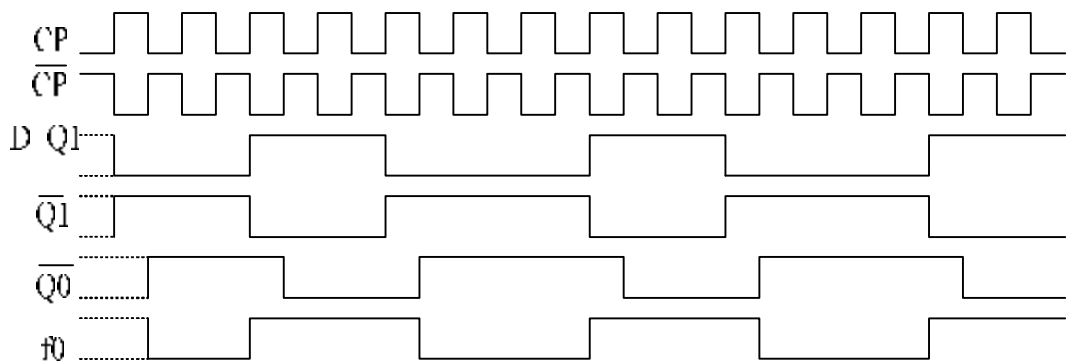
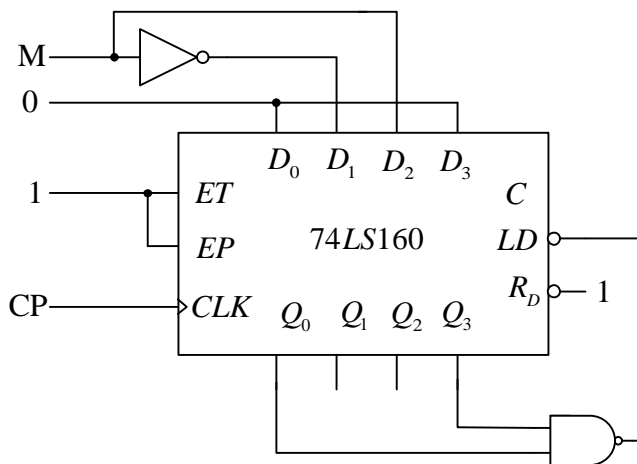


图 6-44 习题 6-22 波形图

6-23 分析题 6-23 图所示计数电路，说明计数器的功能，列出状态转移表。





题 6-23 图

解 由题 6-23 图可知：D3=D0=0，D1= $\overline{M}$ ，D2=M， $\overline{LD} = \overline{Q_3 Q_0}$ ， $\overline{R_D} = 1$

当 M=1 时的状态转移表如表 6-25 所示。

表 6-25 习题 6-22 M=1 时状态转移表

序号	S(t)				N(t)			
	03	02	01	00	03	02	01	00
0	0	1	0	0	0	1	0	1
1	0	1	0	1	0	1	1	0
2	0	1	1	0	0	1	1	1
3	0	1	1	1	1	0	0	0
4	1	0	0	0	1	0	0	1
5	1	0	0	1	0	1	0	0

实现模 6 计数

当 M=0 时的状态转移表如表 6-26 所示。

表 6-26 习题 6-22 M=0 时状态转移表

序号	S(t)				N(t)			
	Q3	Q2	Q1	Q0	Q3	Q2	Q1	Q0
0	0	0	1	0	0	0	1	1
1	0	0	1	1	0	1	0	0
2	0	1	0	0	0	1	0	1
3	0	1	0	1	0	1	1	0
4	0	1	1	0	0	1	1	1
5	0	1	1	1	1	0	0	0
6	1	0	0	0	1	0	0	1
7	1	0	0	1	0	0	1	0

实现模 8 计数

6-24 试用中规模集成 16 进制同步计数器 CT54161，接成一个模 13 的计数器，可附加必要的门电路。

**解** 用同步清 0 设置，从状态 0000—>1101 即可，电路图如图 6-45 所示。

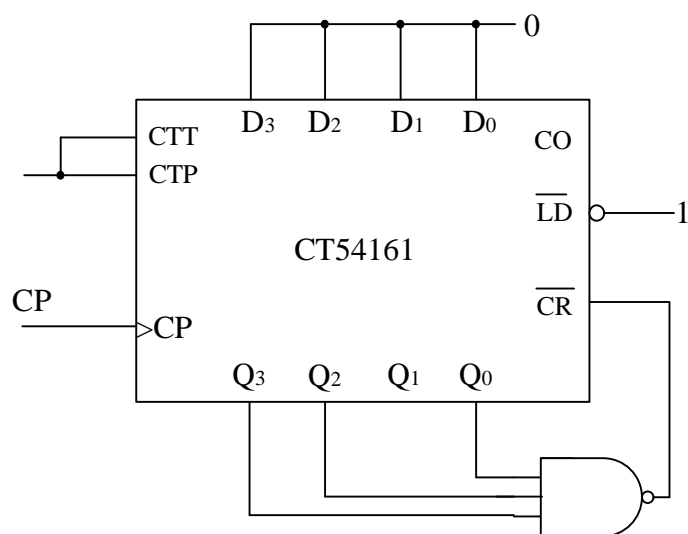


图 6-45 习题 6-24 逻辑电路图

6-25 设计一个字长为 5 位（包括奇偶校验位）的串行奇偶校验电路，要求每当收到 5 位码是奇数个 1 时，就在最后一个校验位时刻输出 1。

**解** 要实现 5 位串行奇偶校验，可以采用一个模 5 计数器和一个二进制计数器（或一个触发器），即令初态  $Q=0$ ，在 CP 作用下二进制计数器每来一个“1”状态翻

转一次，而来“0”保持不变。若在 5 个 CP 时钟后 Z=0，则 5 位码是偶数个 1，反之 Z=1，则说明 5 位码是奇数个 1。

选择异步 2-5-10 进制计数器 CT54290 实现该电路，CT54290 的逻辑图及功能表如图 6-46（a）及 6-46（b），逻辑电路如图 6-46（c）所示。

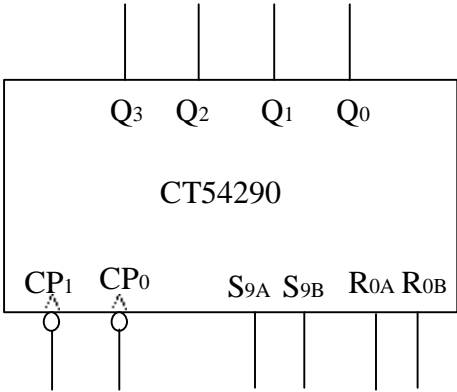


图 6-46(a)习题 6-25 逻辑图

输入				输出				功能
$R_{C/A}$ $R_{GE}$	$S_{C/A}$ $S_{GE}$	CP		序号	$Q_3$ $Q_2$ $Q_1$	$Q_0$		
		$CP_C$	$CP_1$					
1	0	×	×		0 0 0	0		异步清零
×	1	×	×		1 0 0	1		异步置 1
0	0			0	0 0 0	0		2-5进制计数
				1	0 0 1	1		
				2	0 1 0	0		
				3	0 1 1			
				4	1 0 0			
				5	0 0 0			

图 6-46(b)习题 6-25 功能表

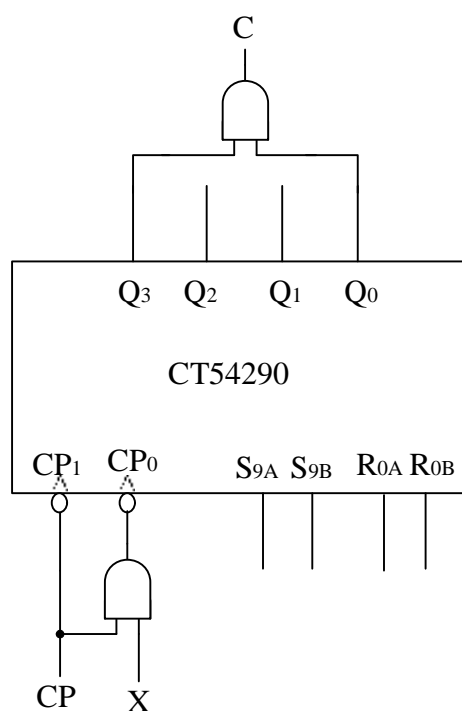


图 6-46 习题 6-25 逻辑电路图

6-26 设计一个串行数据检测电路，当连续出现 4 个或 4 个以上的 1 时，检测输出信号为 1，其它情况输出信号为 0。

**解** 设 S0 为初态，S1 为收到 1 个“1”后的状态，S2 为收到 2 个“1”后的状态，S3 为收到 3 个“1”后的状态，S4 为收到 4 个“1”后的状态，原始状态图如图 6-47 所示。

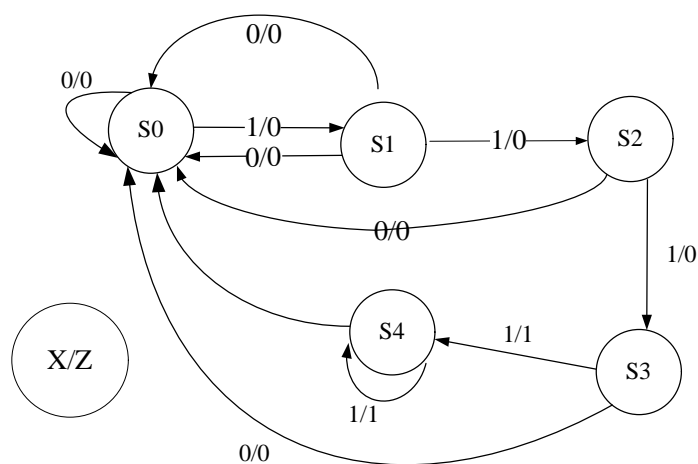


图 6-47 习题 6-25 原始状态转移图

原始状态表如表 6-27 所示。

表 6-27 习题 6-25 状态转移表

S (t)	N (t)		Z (t)	
	X=0	X=1	X=0	X=1
S0	S0	S1	0	0
S1	S0	S2	0	0
S2	S0	S3	0	0
S3	S0	S4	0	1
S4	S0	S4	0	1

从表 6-27 可以看出 S3,S4 为等价状态,消去 S4 并且合并为 S3,令 S0=00, S0=01, S2=10, S3=11,化简后的状态转移表如表 6-27 所列。

表 6-27 习题 6-26 简化后状态转移表

$Q_2^n$	$Q_1^n$	X	$Q_2^{n+1}$	$Q_1^{n+1}$	Z
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	0
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	1	1	0
1	1	0	0	0	0
1	1	1	1	1	1

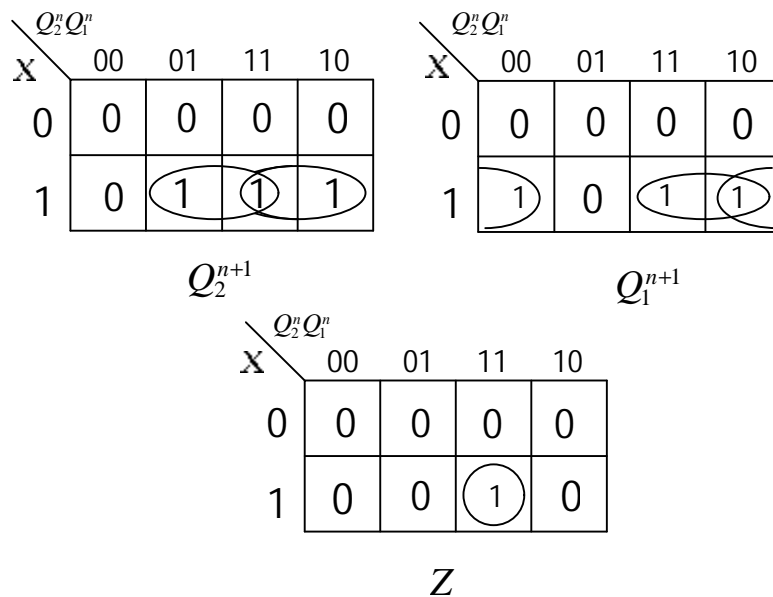


图 6-48 习题 6-26 化简卡诺图

利用卡诺图化简得：

$$Q_2^{n+1} = Q_1^n X + Q_2^n X = X Q_1^n \overline{Q_2^n} + X Q_2^n$$

$$Q_1^{n+1} = \overline{Q_1^n} X + Q_2^n X = X \overline{Q_1^n} + X Q_2^n Q_1^n$$

$$Z = Q_2^n Q_1^n X$$

$$J_1 = X, K_1 = \overline{X Q_2^n}, J_2 = X Q_1^n, K_2 = \overline{X}$$

逻辑电路如图 8-49 所示。

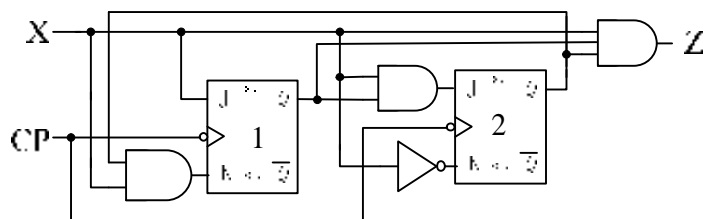


图 6-49 习题 6-26 逻辑电路图

6-27 试设计一同步计数器，列出其状态转移表并画出状态转移图和电路逻辑图。

计数器具有如下功能：

- (1) 计数具有两个控制端  $X_1$  和  $X_2$ ， $X_1$  用于控制计数器的模值， $X_2$  用于控制计数器的增减。
- (2) 若  $X_1 = 0$ ，则计数器进行七进制计数。 $X_1 = 1$  时，则进行八进制计数。

(3) 若  $X_2=0$ ，则进行递增计数；若  $X_2=1$ ，则进行递减计数。

(4) 设置一个进位(借位)输出端。

**解** 递增 8 位计数器的状态转移表如表 6-28 所列。

表 6-28 习题 6-27 状态转移表

CP	Q3	Q2	Q1
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

用卡诺图化简

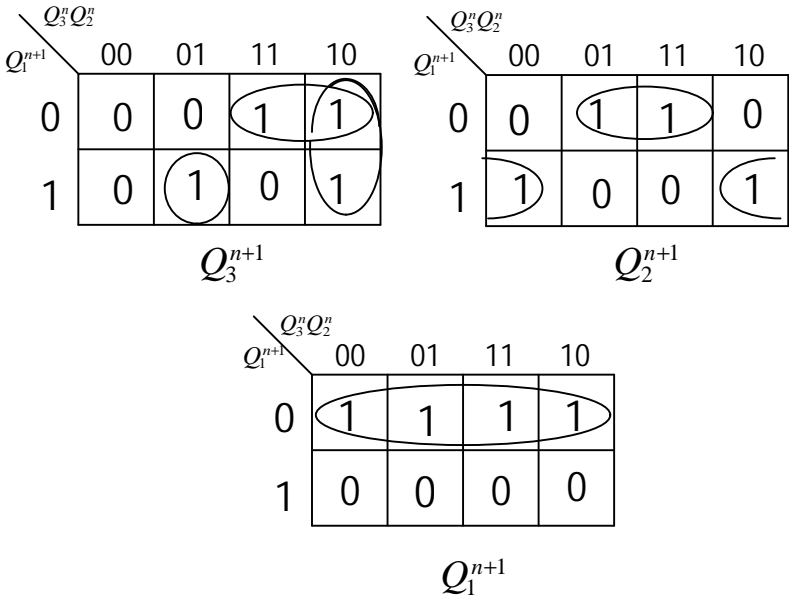


图 6-50 习题 6-27 化简卡诺图

$$Q_3^{n+1} = \overline{Q_3^n} Q_2^n Q_1^n + Q_3^n \overline{Q_2^n} + Q_3^n \overline{Q_1^n}$$

$$Q_2^{n+1} = \overline{Q_2^n} Q_1^n + Q_0^n \overline{Q_1^n}$$

$$Q_1^{n+1} = \overline{Q_1^n}$$

用 JK 触发器设计则：J1=K1=1

$$J2=K2=Q_1^n$$

$$J3=K3=Q_1^n Q_2^n$$

$$\text{输出 } Y = Q_3^n Q_2^n Q_1^n$$

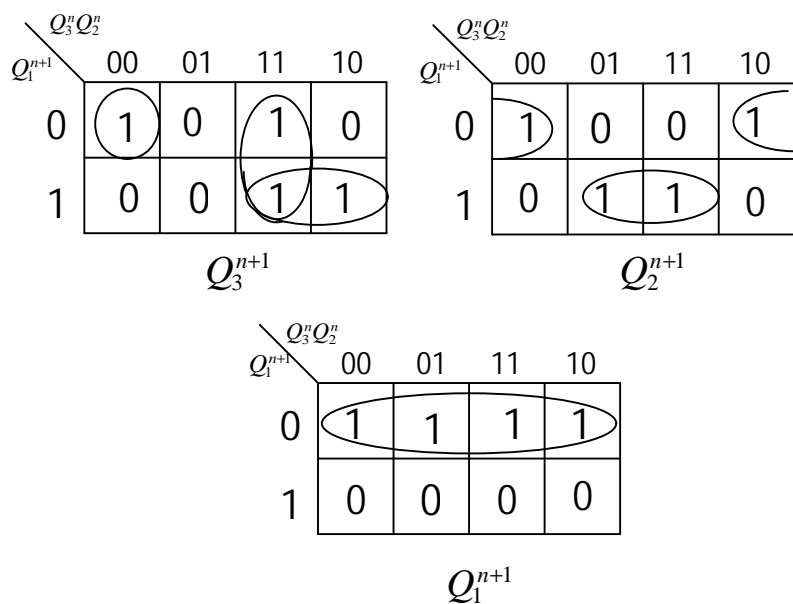
递减 8 位计数器的状态转移表如表 6-29 所列。

表 6-29 习题 6-28 状态转移表

CP	Q3	Q2	Q1
0	1	1	1
1	1	1	0
2	1	0	1
3	1	0	0
4	0	1	1
5	0	1	0
6	0	0	1
7	0	0	0

用卡诺图化简：





$$Q_3^{n+1} = \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} + Q_3^n (Q_2^n + Q_1^n)$$

$$Q_2^{n+1} = \overline{Q_2^n} \overline{Q_1^n} + Q_2^n Q_1^n$$

$$Q_1^{n+1} = \overline{Q_1^n}$$

用 JK 触发器设计则：J1=K1=1

$$J2=K2=Q_1^n$$

$$J3=K3= \overline{Q_2^n} \overline{Q_1^n}$$

$$\text{输出 } Y = \overline{Q_3} \overline{Q_2} \overline{Q_1}$$

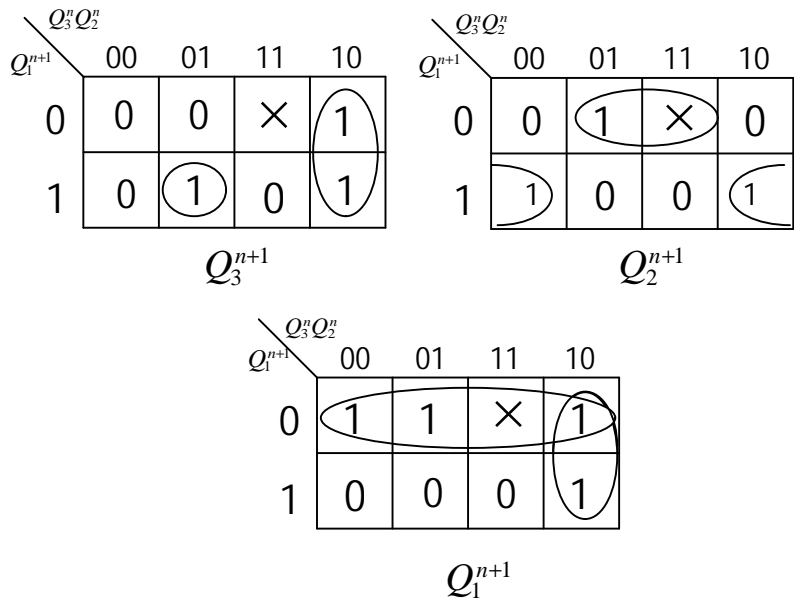
同理，递增 7 位计数器的状态转移表如表 6-30 所列：

表 6-30 递增 7 位计数器状态转移表

CP	Q3	Q2	Q1
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0

5	1	0	1
6	1	1	1

用卡诺图化简：



$$Q_3^{n+1} = Q_3^n \bar{Q}_2^n + \bar{Q}_3^n Q_2^n Q_1^n$$

$$Q_2^{n+1} = \bar{Q}_2^n Q_1^n + Q_2^n \bar{Q}_1^n$$

$$Q_1^{n+1} = \bar{Q}_1^n$$

用 JK 触发器设计则：J1=1，K1=  $\bar{Q}_3^n + Q_2^n$

$$J2=K2=Q_1^n$$

$$J3=K3=Q_1^n Q_2^n$$

输出  $Y=Q_1^n Q_2^n Q_3^n$

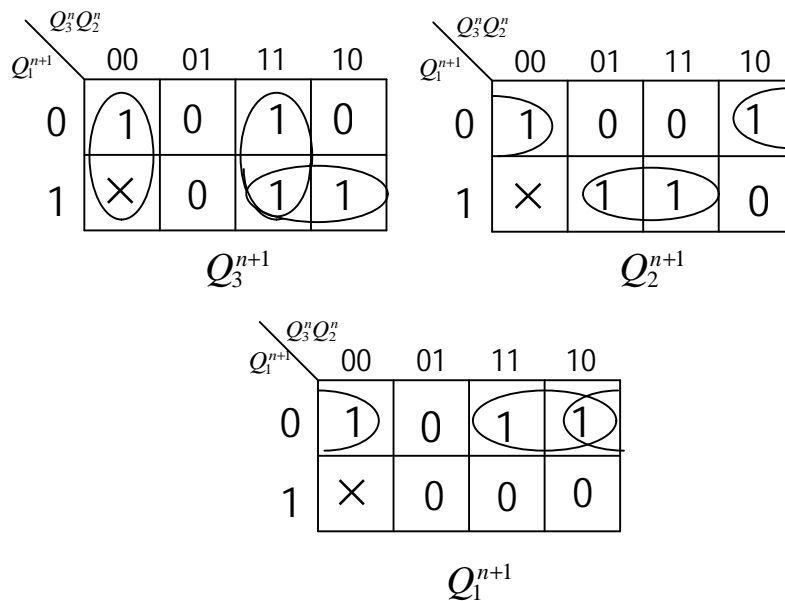
递减 7 位计数器的状态转移表如表 6-31 所列：

表 6-31 递减 7 位计数器状态转移表

CP	Q3	Q2	Q1
0	1	1	1

1	1	1	0
2	1	0	1
3	1	0	0
4	0	1	1
5	0	1	0
6	0	0	0

用卡诺图化简：



$$Q_3^{n+1} = \overline{Q_3^n} \overline{Q_2^n} + Q_3^n (Q_2^n + Q_1^n)$$

$$Q_2^{n+1} = \overline{Q_2^n} \overline{Q_1^n} + Q_2^n Q_1^n$$

$$Q_1^{n+1} = \overline{Q_2^n} \overline{Q_1^n} + Q_3^n \overline{Q_1^n}$$

用 JK 触发器设计则：J1=  $\overline{Q_2^n} + Q_3^n$ ，K1=1

$$J2=K2= \overline{Q_1^n}$$

$$J3=K3= \overline{Q_2^n} \overline{Q_1^n}$$

$$\text{输出 } Y = \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n}$$

总结上述四种可得：

X2	X1	J1	K1	J2	K2	J3	K3	C
0	0	1	$\overline{Q_3^n} + Q_2^n$	$Q_1^n$	$Q_1^n$	$Q_1^n Q_2^n$	$Q_1^n Q_2^n$	$Q_1^n Q_2^n Q_3^n$
0	1	1	1	$Q_1^n$	$Q_1^n$	$Q_1^n Q_2^n$	$Q_1^n Q_2^n$	$Q_1^n Q_2^n Q_3^n$
1	0	$\overline{Q_2^n} + Q_3^n$	1	$\overline{Q_1^n}$	$\overline{Q_1^n}$	$\overline{Q_1^n} \overline{Q_2^n}$	$\overline{Q_1^n} \overline{Q_2^n}$	$\overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n}$
1	1	1	1	$\overline{Q_1^n}$	$\overline{Q_1^n}$	$\overline{Q_1^n} \overline{Q_2^n}$	$\overline{Q_1^n} \overline{Q_2^n}$	$\overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n}$

于是得： $J_1 = \overline{X_2} X_1 + X_2 X_1 + \overline{X_2} \overline{X_1} + X_2 \overline{X_1} (\overline{Q_2^n} + Q_3^n) = \overline{\overline{X_1} X_2} + \overline{Q_2^n Q_3^n} = \overline{\overline{X_1} X_2} \cdot \overline{Q_2^n Q_3^n}$

$$K_1 = \overline{\overline{X_1} X_2} + \overline{Q_2^n Q_3^n} = \overline{\overline{X_1} X_2} \cdot \overline{Q_2^n Q_3^n}$$

$$J_2 = K_2 = X_2 \oplus Q_1^n$$

$$J_3 = K_3 = \overline{X_2} Q_1^n Q_2^n + X_2 \overline{Q_1^n} \overline{Q_2^n} = \overline{\overline{X_2} Q_1^n Q_2^n} \cdot \overline{X_2 \overline{Q_1^n} \overline{Q_2^n}}$$

$$C = Q_1^n Q_2^n Q_3^n \overline{X_2} + \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} X_2 = \overline{Q_1^n Q_2^n Q_3^n \overline{X_2}} \cdot \overline{\overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} X_2}$$

逻辑电路图如图 6-51 所示。

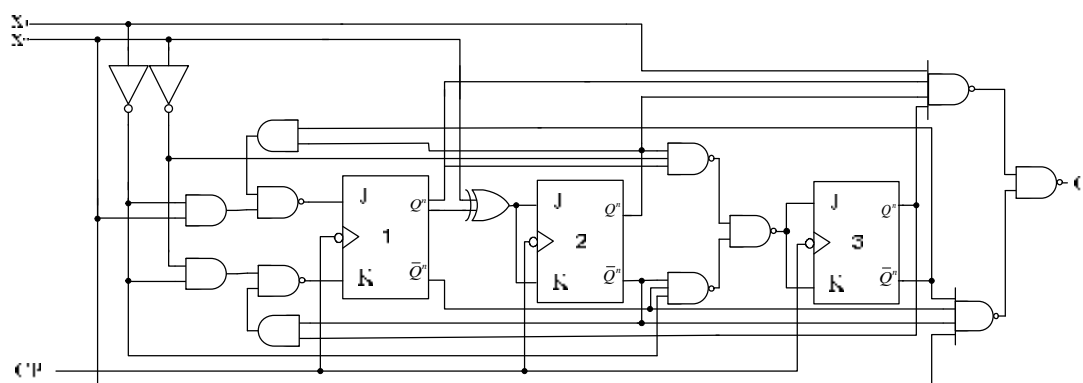


图 6-51 例 6-27 逻辑电路图

解 2 根据题意，可以列出状态转移表如表 6-32 所列。

表 6-31 7 位计数器状态转移表

X1=1								X1=0							
$x_2$	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	C	$x_2$	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	C
0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
0	0	0	1	0	1	0	0	0	0	0	1	0	1	0	0
0	0	1	0	0	1	1	0	0	0	0	1	0	1	1	0
0	0	1	1	1	0	0	0	0	0	0	1	1	0	0	0
0	1	0	0	1	0	1	0	0	0	1	0	0	1	0	0
0	1	0	1	1	1	0	0	0	0	1	0	1	1	0	0
0	1	1	0	1	1	1	0	0	0	1	1	0	0	0	1
0	1	1	1	0	0	0	1	0	0	1	1	1	X	X	X
1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	0
1	1	1	0	1	0	1	0	1	1	1	0	1	0	1	0
1	1	0	1	1	0	0	0	1	1	0	1	1	0	0	0
1	1	0	0	0	1	1	0	1	1	0	0	0	1	1	0
1	0	1	1	0	1	0	0	1	0	1	1	0	1	0	0
1	0	1	0	0	0	1	0	1	0	1	0	0	0	1	0
1	0	0	1	0	0	0	0	1	0	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	0	0	X	X	X	X

化简  $Q_3^{n+1}$ ,  $Q_2^{n+1}$ ,  $Q_1^{n+1}$  及输出 C 的卡诺图如图 6-52 所示。

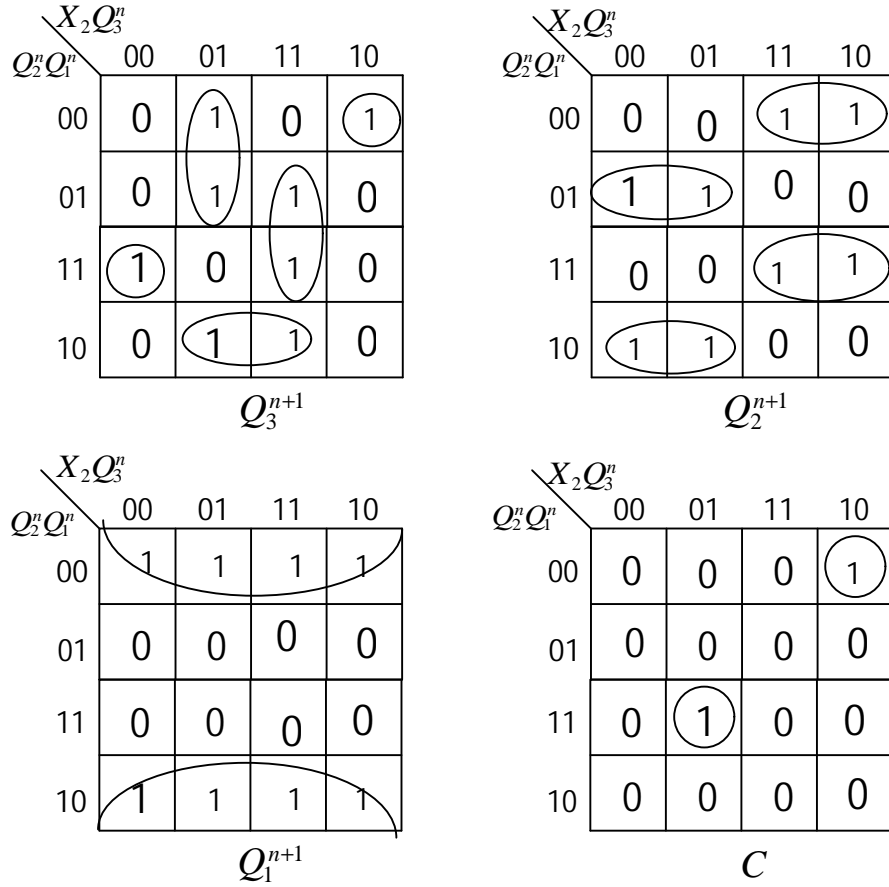


图 6-52  $X_1=1$  时化简卡诺图

$$Q_3^{n+1} = (\overline{X_2} \overline{Q_3^n} \overline{Q_2^n} + X_2 Q_3^n Q_1^n + Q_3^n Q_2^n \overline{Q_1^n} + X_2 \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} + \overline{X_2} \overline{Q_3^n} Q_2^n Q_1^n) X_1$$

$$Q_2^{n+1} = (\overline{X_2} \overline{Q_2^n} \overline{Q_1^n} + \overline{X_2} Q_2^n \overline{Q_1^n} + X_2 \overline{Q_2^n} \overline{Q_1^n} + X_2 Q_3^n Q_1^n) X_1$$

$$Q_1^{n+1} = \overline{Q_1^n} X_1$$

$$C = (\overline{X_2} Q_3^n Q_2^n Q_1^n + X_2 Q_3^n Q_2^n Q_1^n) X_1$$

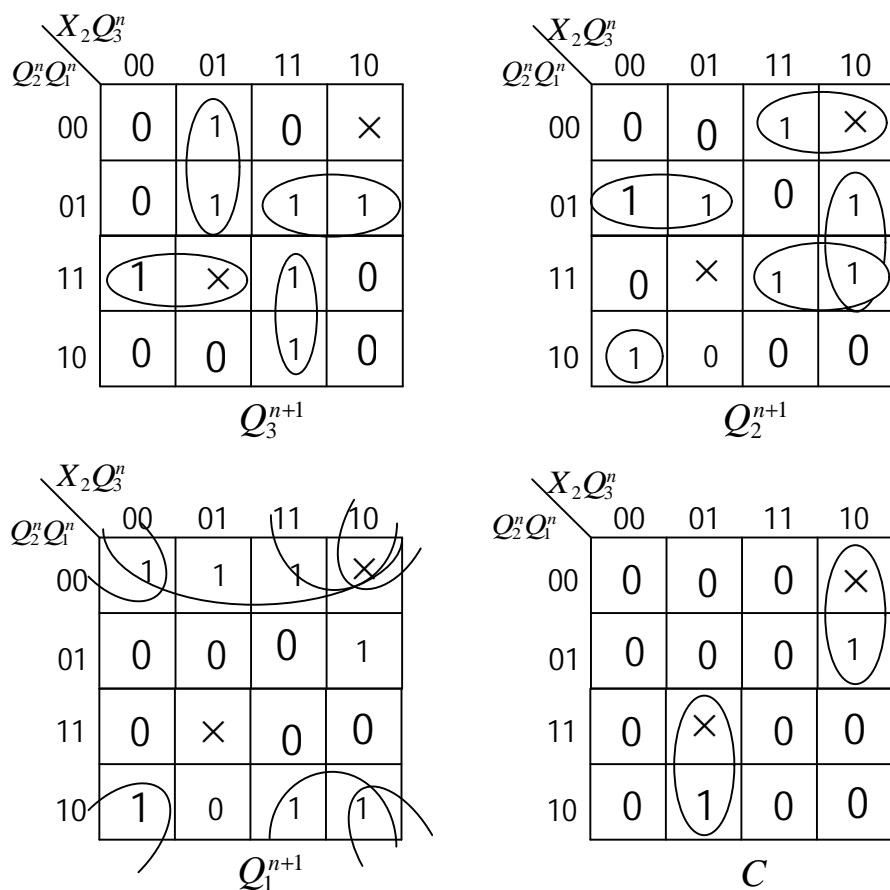


图 6-53  $X_1=0$  时化简卡诺图

$$Q_3^{n+1} = (\overline{X_2} \overline{Q_3^n} \overline{Q_2^n} + X_2 \overline{Q_1^n} \overline{Q_2^n} + X_2 Q_3^n Q_2^n + \overline{X_2} Q_2^n Q_1^n) \overline{X_1}$$

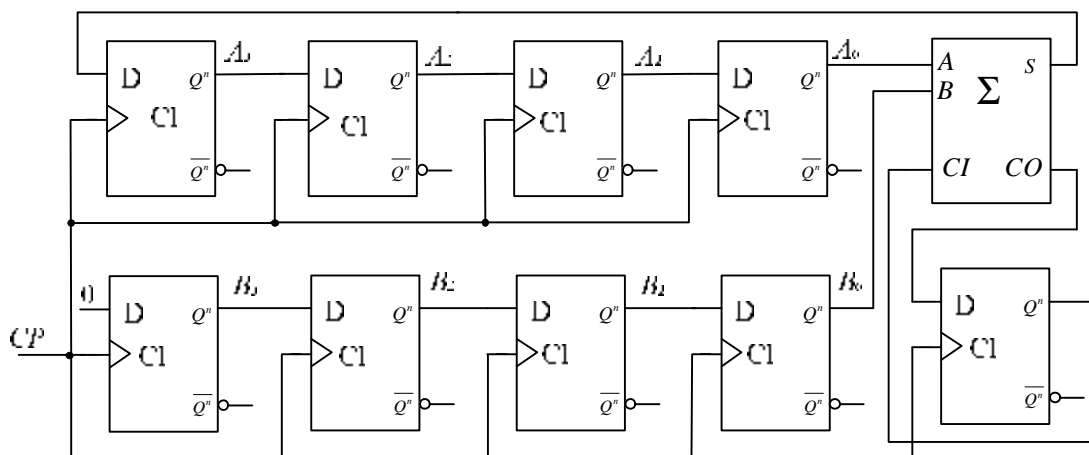
$$Q_2^{n+1} = (\overline{X_2} \overline{Q_2^n} \overline{Q_1^n} + \overline{X_2} \overline{Q_3^n} Q_2^n \overline{Q_1^n} + X_2 \overline{Q_2^n} \overline{Q_1^n} + X_2 Q_2^n Q_1^n + X_2 \overline{Q_3^n} Q_1^n) \overline{X_1}$$

$$Q_1^{n+1} = (\overline{Q_2^n} \overline{Q_1^n} + X_2 \overline{Q_1^n} + \overline{Q_3^n} \overline{Q_1^n}) \overline{X_1}$$

$$C = (\overline{X_2} Q_3^n Q_2^n + X_2 \overline{Q_3^n} \overline{Q_2^n}) \overline{X_1}$$

6-28 在题 6-28 图电路中, 若两个移位寄存器中的原始数据分别为  $A_3 A_2 A_1 A_0 = 1001$ ,

$B_3 B_2 B_1 B_0 = 0011$ , 试问经过 4 个  $CP$  信号作用后, 两个寄存器中的数据如何变化, 这个电路完成什么功能。



题 6-28 图

解： CP0 时：  $A=1, B=1, CI=0, S=0, CO=1$

CP1 时：  $B_3B_2B_1B_0=0001, A_3A_2A_1A_0=0100, CI=1, S=0, CO=1$

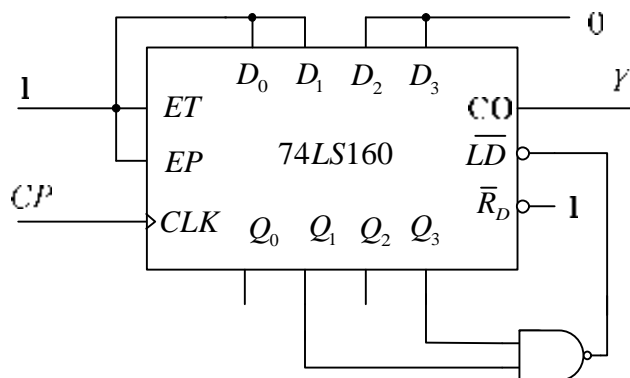
CP2 时：  $B_3B_2B_1B_0=0000, A_3A_2A_1A_0=0010, CI=1, S=1, CO=0$

CP3 时：  $B_3B_2B_1B_0=0000, A_3A_2A_1A_0=1001, CI=0, S=1, CO=0$

CP4 时：  $B_3B_2B_1B_0=0000, A_3A_2A_1A_0=1100, CI=0, S=0, CO=0$

易知经过 4 个 CP 信号作用后，两个寄存器中数据进行右移。

6-29 分析题 6-29 图的计数器电路，说明这是多少进制的计数器。



题 6-29 图

解 由于  $D_0=D_1=1, D_2=D_3=0, \overline{LD}=0$  置数， $\overline{LD}=\overline{Q_3Q_1}$ ，则计数器对应的状态转移表如表 6-32 所列：

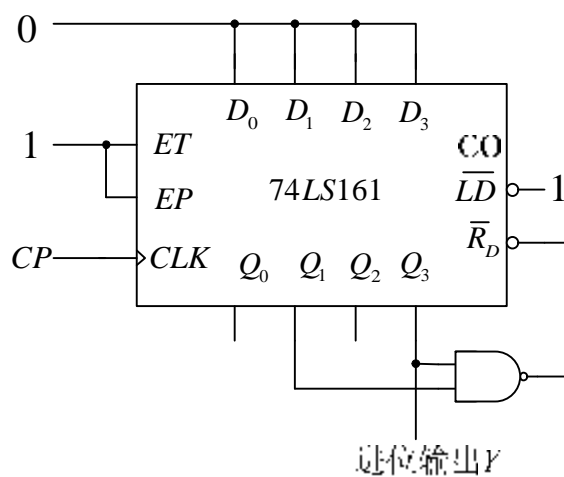
表 6-32 例 6-29 题状态转移表



序号	S(t)				N(t)			
	03	02	01	00	03	02	01	00
0	0	0	1	1	0	1	0	0
1	0	1	0	0	0	1	0	1
2	0	1	0	1	0	1	1	0
3	0	1	1	0	0	1	1	1
4	0	1	1	1	1	0	0	0
5	1	0	0	0	1	0	0	1
6	1	0	0	1	1	0	1	0
7	1	0	1	0	0	0	1	1

该计数器为 8 进制计数器。

6-30 分析题 6-15 图的计数器电路，画出电路的状态转移图，说明这是多少进制的计数器。



题 6-30 图

解 因为  $\overline{LD}=1$ ,  $\overline{RD}=\overline{Q_3Q_1}$ ,  $D_3D_2D_1D_0=0000$ ,  $\overline{RD}=0$  时  $Q_3Q_2Q_1Q_0=1010$ 。

状态转移图如图 6-52 所示：

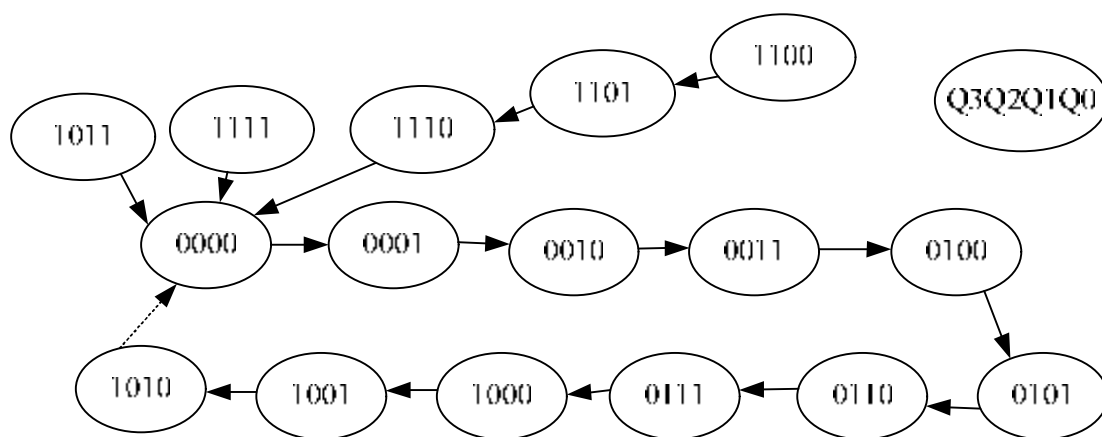
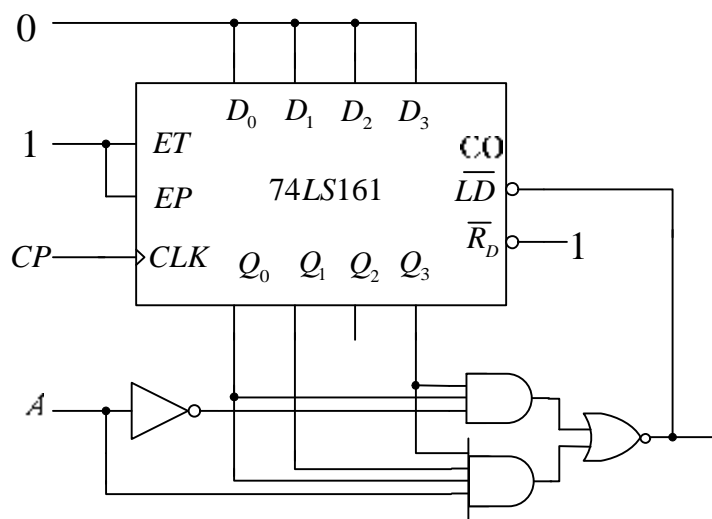


图 6-52 例 6-30 状态转移图

为具有自启动的模 10 计数器。

6-31 题 6-16 图电路是可变进制计数器。试分析当控制变量  $A$  为 1 和 0 时电路各为多少进制计数器。



题 6-31 图

**解** 74LS161 为异步清零，同步置数模 16 计数器

(1) 当  $A=0$  时，题 6-31 图三输入与门导通，四输入与门被封锁。此时  $\overline{LD} = \overline{Q_3 \cdot Q_0}$ ，

即  $Q_3, Q_0$  同时为 1 时，进行置数。即  $Q_3Q_2Q_1Q_0=1001$  时置数，则有 0000 至 1001 这 10 个状态。为 10 进制计数器

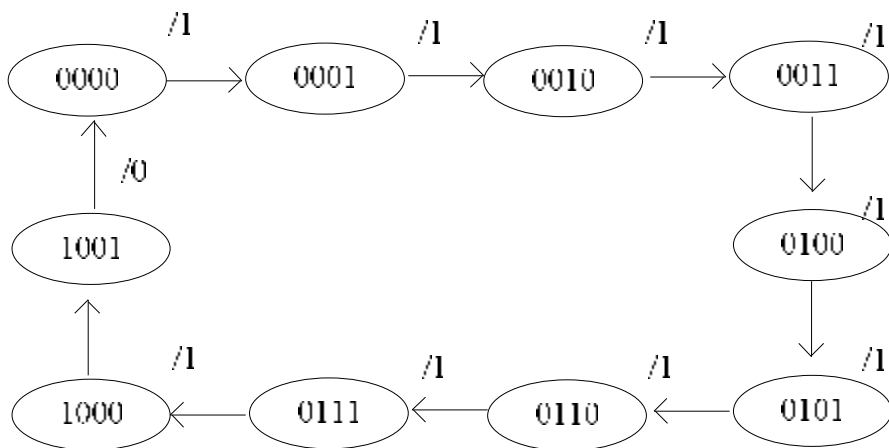


图 6-53 例 6-31 A=0 时状态转移图

当A=1时,题6-31图三输入与门被封锁,四输入与门导通。此时  $\overline{LD} = \overline{Q_3 \cdot Q_1 \cdot Q_0}$ , 即  $Q_3, Q_1, Q_0$  同时为1时,进行置数。即  $Q_3Q_2Q_1Q_0=1011$  时置数,则有0000至1011这12个状态,为12进制计数器

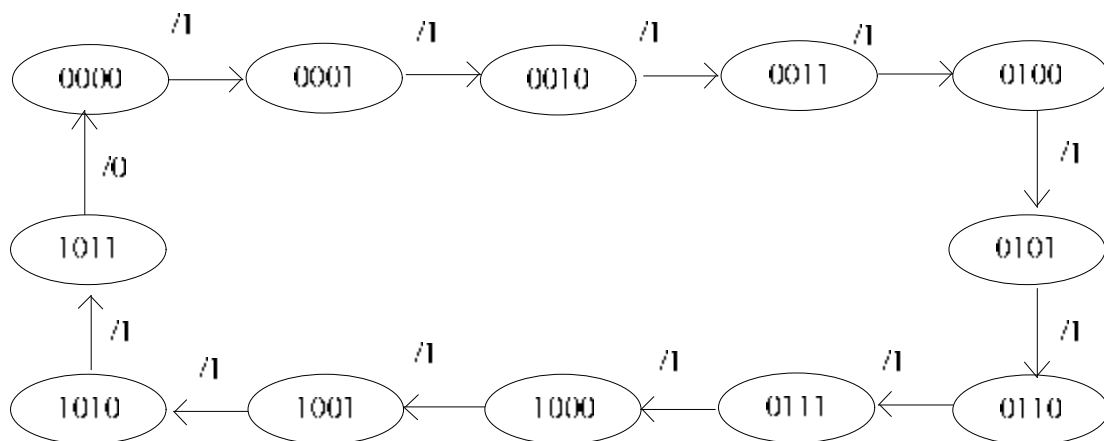
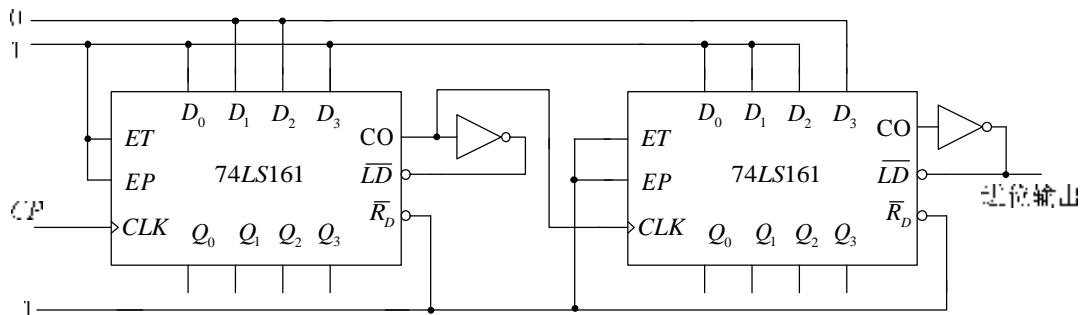


图 6-54 例 6-31 A=1 时状态转移图

6-32 分析题 6-17 图计数器电路的分频比 (即 Y 与 CP 的频率之比)。



题 6-17 图

解 (1) 分析第一个计数器，置数时置入  $D_3D_2D_1D_0=1001$ ，即出现 1001 至 1111 这 7 个状态。

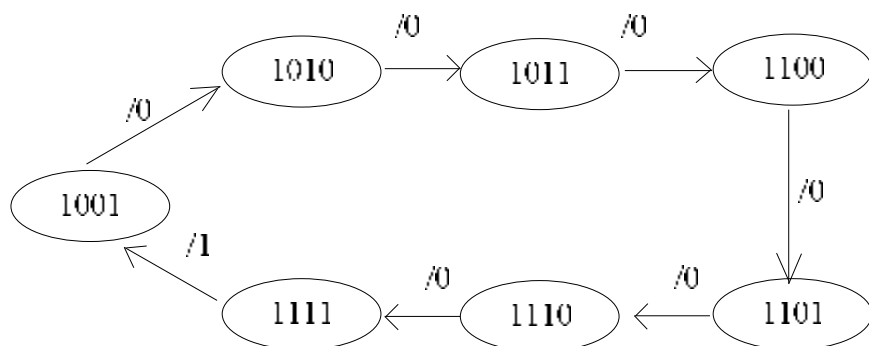


图 6-55 例 6-32 第一个计数器状态转移图

(2) 分析第二个计数器，置数时置入  $D_3D_2D_1D_0=0111$ ，即出现 0111 至 1111 这 9 个状态。

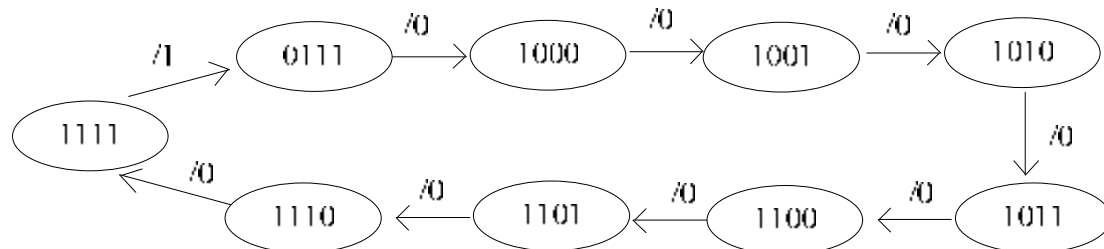


图 6-56 例 6-32 第二个计数器状态转移图

(2)分析前后连接，发现为乘法关系，则该电路分频比为 1: 63。

6-33 用同步十进制计数器 74LS160 设计一个 365 进制的计数器。要求各位间为十进制关系。允许附加必要的门电路。

解 采用 3 个 74LS160 组合，采用 0 到 364 计数状态，当为 365 计数状态时异步清零。

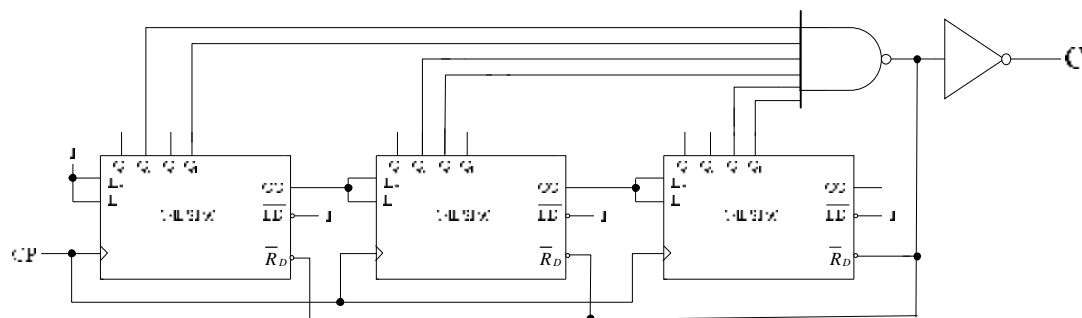


图 6-57 题 6-33 逻辑电路图

6-34 设计一个数字钟电路，要求能用七段数码管显示从 0 时 0 分 0 秒到 23 时 59 分 59 秒之间的任一时刻。

**解** 如图 6-58 是电子表计时的核心部分，显示部分不是本题的重点，有兴趣的可以参看 74ls147 等芯片，来实现二进制用 7 段数码管显示。

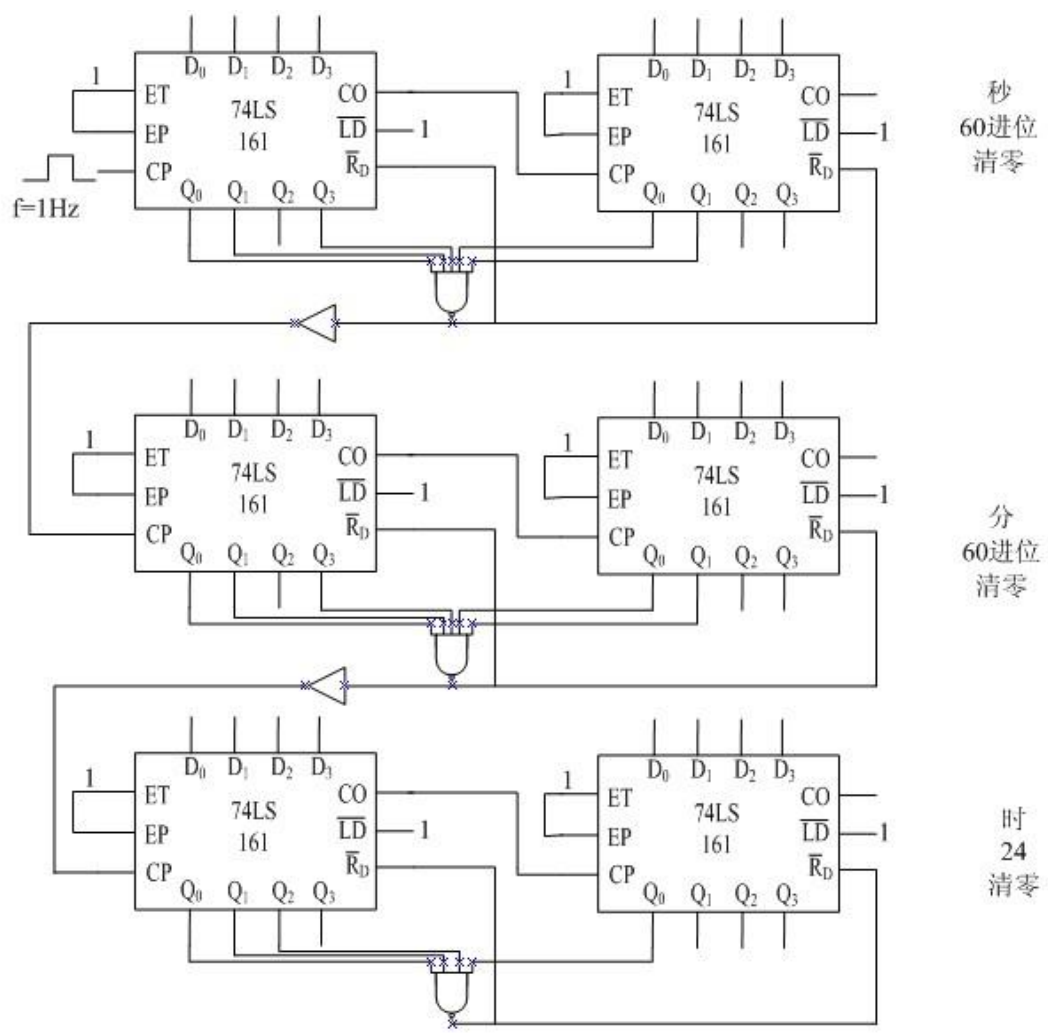


图 6-58 题 6-34 逻辑电路图

6-35 设计一个序列信号发生器电路，使之在一系列 CP 信号作用下能周期性地输出“0010110111”的序列信号。

**解** 产生 0010110111 序列信号，序列的模长 10，10 个状态需要 4 个触发器实现。输出及状态转移表如表 6-33 所列。

表 6-33 题 6-35 状态转移表

序号	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	输出
0	0	0	0	0	1	0	0	1	0
1	1	0	0	1	1	0	0	0	0
2	1	0	0	0	0	1	1	1	1
3	0	1	1	1	0	1	1	0	0
4	0	1	1	0	0	1	0	1	1
5	0	1	0	1	0	1	0	0	1
6	0	1	0	0	0	0	1	1	0
7	0	0	1	1	0	0	1	0	1
8	0	0	1	0	0	0	0	1	1
9	0	0	0	1	0	0	0	0	1

用卡诺图化简输出函数得。

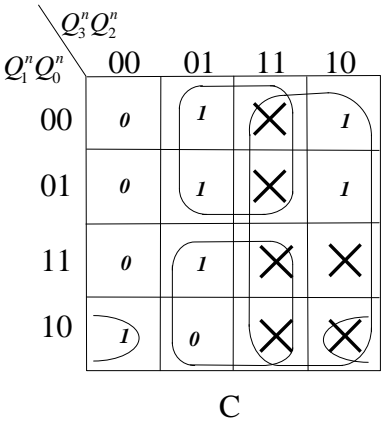


图 6-59 题 6-35 化简卡诺图

$$C=Q_3^n+Q_2^nQ_1+Q_2^nQ_0+\overline{Q_2^n}Q_0^n\overline{Q_0^n}$$

逻辑电路图如图 6-60 所示。

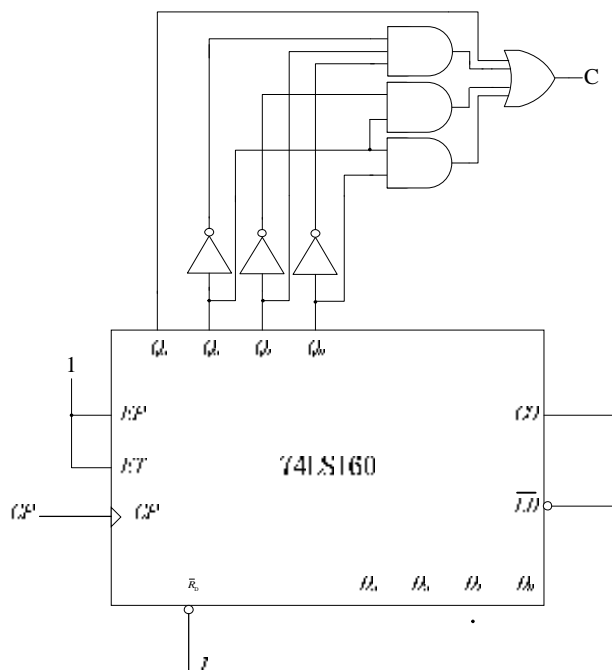


图 6-60 题 6-35 逻辑电路图

6-36 设计移存型序列信号发生器，要求产生的序列信号为“1111001000”。

**解** 产生 1111001000 序列信号，信号模长为 10，采用 4 个寄存器，序列分组为 1111→1110→1100→1001→0010→1000→0001→0011→0111→1111，输出采用去掉前 4 位去 M=10 位。状态转移表如表 6-34 所列。

(1) 状态表

$$Y = \overline{Q_5} \overline{Q_4} Q_3 Q_2 Q_1 + Q_5 \overline{Q_1}$$

表 6-34 题 6-36 状态转移表

$CP$	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_0^n$	$F$
0	1	1	1	1	0
1	1	1	1	0	0
2	1	1	0	0	1
3	1	0	0	1	0
4	0	0	1	0	0
5	0	1	0	0	0
6	1	0	0	0	1
7	0	0	0	1	1
8	0	0	1	1	1
9	0	1	1	1	1

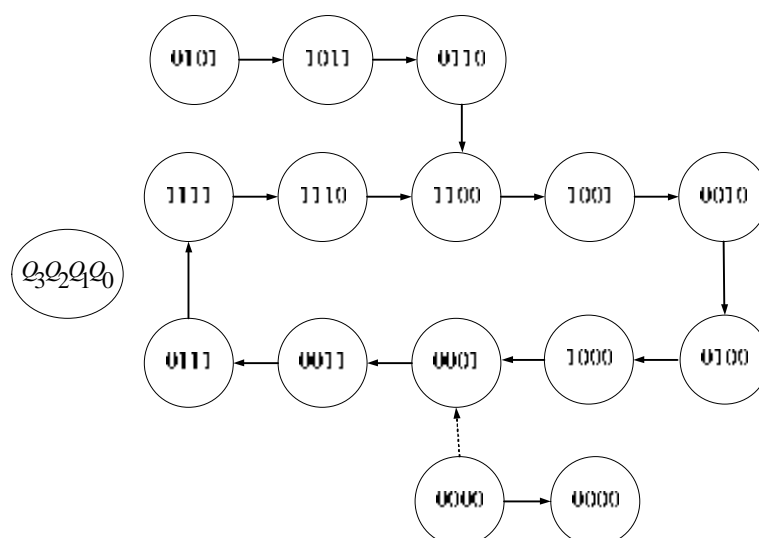
用卡诺图化简  $F$  得。

$$F = \overline{Q}_3 Q_0 + Q_3 \overline{Q}_1 \overline{Q}_0^n$$

$\begin{matrix} Q_1^n Q_2^n \\ Q_3^n Q_0^n \end{matrix}$	00	01	11	10
00	X	0	1	1
01	1	X	X	0
11	1	1	0	X
10	0	X	0	X

状态转移图为：

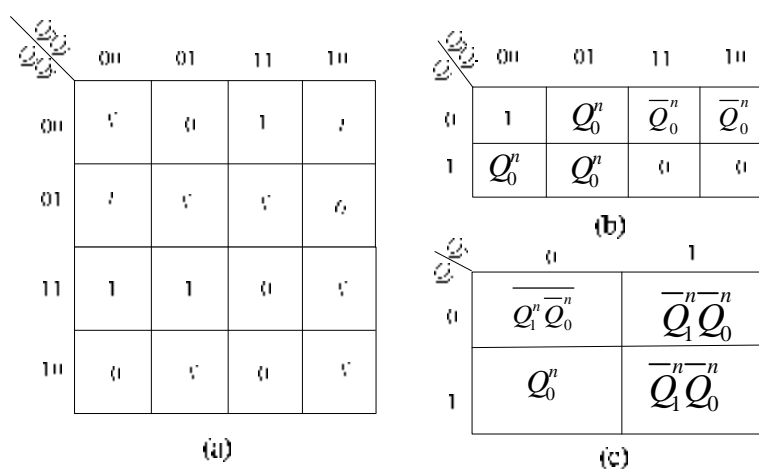




电路不能自启动，将 0000 状态转移到 0001 状态，这时就需要移入的数据是 1，因此卡诺图中 0000 方格中的任意项选为 1，这样，化简的输出函数 C 为：

$$F = \bar{Q}_3 Q_0 + Q_3 \bar{Q}_1 \bar{Q}_0^n + \bar{Q}_3 \bar{Q}_2 \bar{Q}_1^n \bar{Q}_0^n$$

若采用移位寄存器和数据选择器实现，将 4 变量卡诺图编程 2 变量卡诺图。



逻辑电路图如图 6-61 所示。

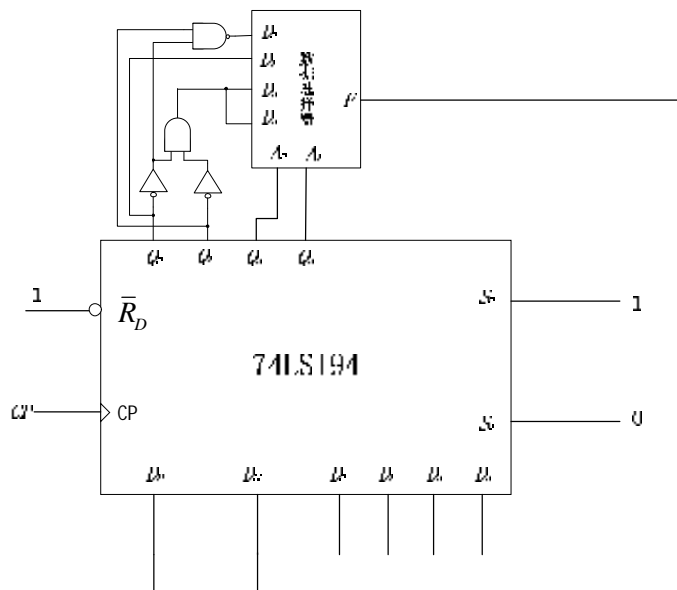


图 6-61 题 6-36 逻辑电路图

6-37 设计一个灯光控制逻辑电路。要求红、绿、黄 3 种颜色的灯在时钟信号作用下按题 6-37 表规定的顺序转换状态。表中的 1 表示“亮”，0 表示“灭”。要求电路能自启动。

题 6-37 表

$CP$	红	黄	绿
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1
4	1	1	1
5	0	0	1
6	0	1	0
7	1	0	0

解 (1) 共 8 个状态，用 3 个触发器即可。

(2) 状态表如表 6-35 所列。

表 6-35 题 6-37 状态转移表

$CP$	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$R$	$Y$	$G$
0	0	0	0	0	0	1	0	0	0
1	0	0	1	0	1	0	1	0	0
2	0	1	0	0	1	1	0	1	0
3	0	1	1	1	0	0	0	0	1
4	1	0	0	1	0	1	1	1	1
5	1	0	1	1	1	0	0	0	1
6	1	1	0	1	1	1	0	1	0
7	1	1	1	0	0	0	1	0	0

(3) 次态卡诺图

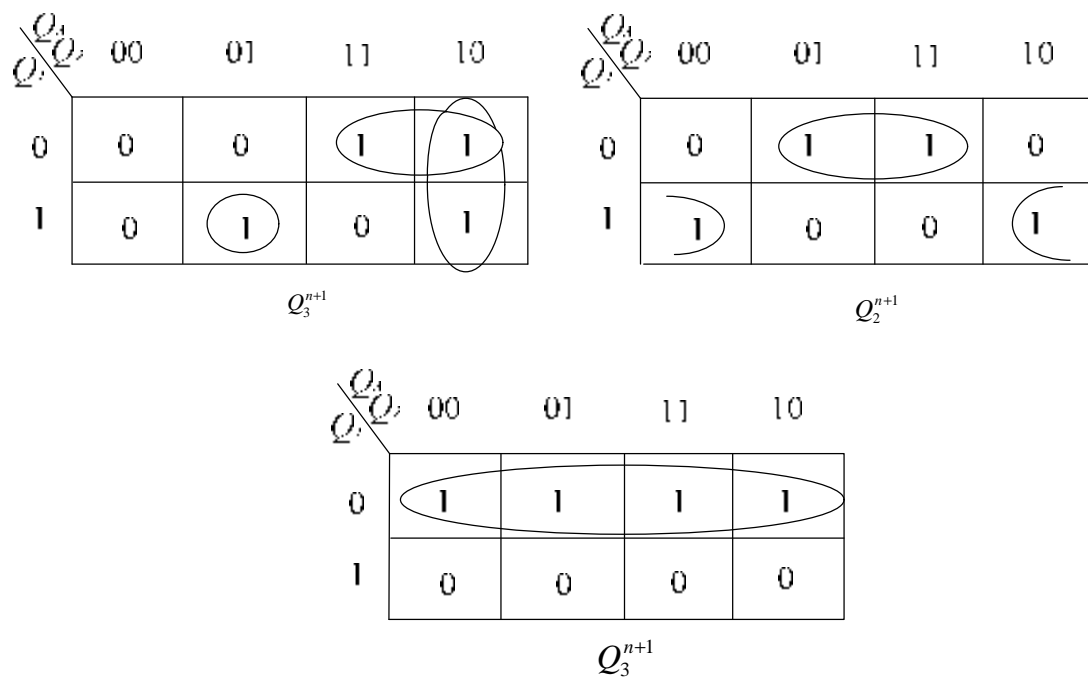


图 6-62 题 6-37 化简卡诺图

化简得：

$$Q_3^{n+1} = Q_3^n \bar{Q}_1^n + Q_3^n \bar{Q}_2^n + \bar{Q}_3^n Q_2^n Q_1^n$$

$$Q_2^{n+1} = Q_2^n \bar{Q}_1^n + \bar{Q}_2^n Q_1^n$$

$$Q_1^{n+1} = \bar{Q}_1^n$$

(4) 驱动方程

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = Q_1^n$$

$$J_3 = K_3 = Q_1^n Q_2^n$$

(5) 输出卡诺图

$Q_3 \backslash Q_2$ $Q_1$		00	01	11	10
		0	0	0	1
0		0	0	0	1
1		1	0	1	0

R

$Q_3 \backslash Q_2$ $Q_1$		00	01	11	10
		0	1	1	1
0		0	1	1	1
1		0	0	0	0

Y

$Q_3 \backslash Q_2$ $Q_1$		00	01	11	10
		0	0	0	1
0		0	0	0	1
1		0	1	0	1

G

化简得：

$$R = \overline{Q_3}^n \overline{Q_2}^n Q_1^n + Q_3^n Q_2^n Q_1^n + Q_3^n \overline{Q_2}^n \overline{Q_1}^n$$

$$Y = Q_2^n \overline{Q_1}^n + Q_3^n \overline{Q_1}^n$$

$$G = Q_2^n \overline{Q_1}^n + Q_3^n \overline{Q_2}^n + \overline{Q_3}^n Q_2^n Q_1^n$$

(6) 电路逻辑图

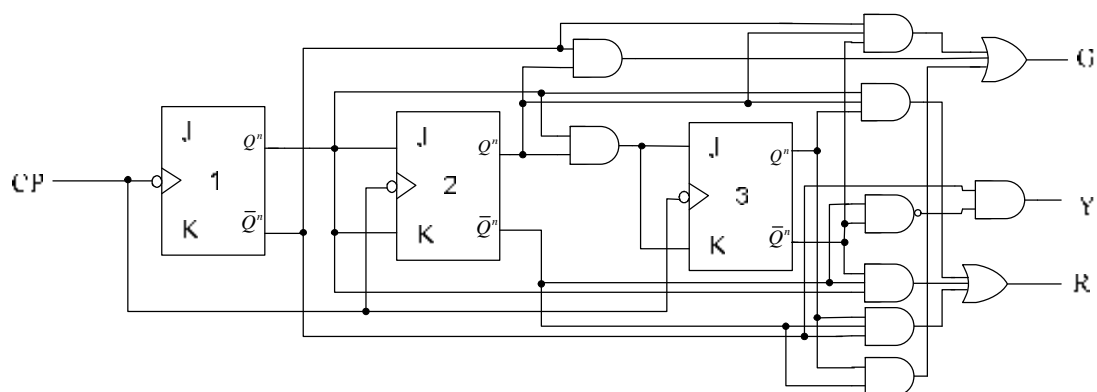


图 6-63 题 6-37 逻辑电路图

6-38 设计一个控制步进电动机三相六状态工作的逻辑电路。如果用 1 表示电机绕组导通，0 表示电机绕组截止，则 3 个绕组  $ABC$  的状态转移图如题 6-38 图所示。 $M$  为输入控制变量，当  $M=1$  时为正转， $M=0$  时为反转。



化简卡诺图如图 6-64 所示。

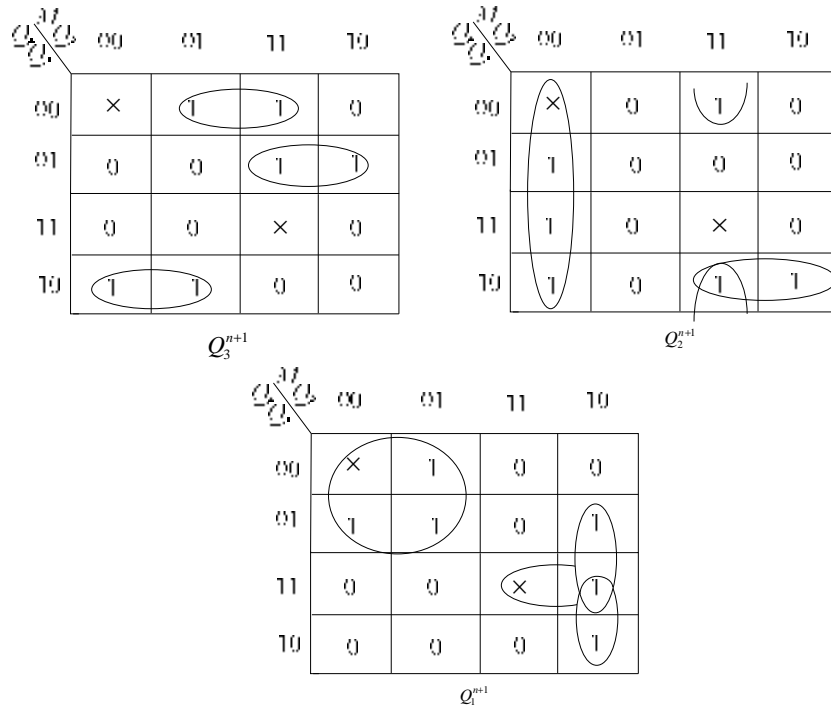


图 6-64 题 6-38 化简卡诺图

化简得：

$$Q_3^{n+1} = Q_3^n \overline{Q_2^n} \overline{Q_1^n} + M \overline{Q_2^n} Q_1^n + \overline{M} Q_2^n \overline{Q_1^n}$$

$$Q_2^{n+1} = \overline{M} \overline{Q_3^n} + M Q_3^n \overline{Q_1^n} + M Q_2^n \overline{Q_1^n}$$

$$Q_1^{n+1} = \overline{M} \overline{Q_2^n} + M \overline{Q_3^n} Q_1^n + M \overline{Q_3^n} Q_2^n$$

检查自启动， $M Q_3^n Q_2^n Q_1^n = 1111 \rightarrow 1000 \rightarrow 1000$ ，不能够自启动。 $Q_1^n$  增加多余项， $M Q_3^n Q_2^n Q_1^n = 0111 \rightarrow 0000 \rightarrow 0011$

$$Q_1^{n+1} = \overline{M} \overline{Q_2^n} + M \overline{Q_3^n} Q_1^n + M \overline{Q_3^n} Q_2^n + M Q_2^n Q_1^n，状态转换为$$

$$M Q_3^n Q_2^n Q_1^n = 1111 \rightarrow 1000 \rightarrow 1001$$

$$M Q_3^n Q_2^n Q_1^n = 0111 \rightarrow 0000 \rightarrow 0011$$

采用 D 触发器实现，逻辑电路如图 6-65 所示。

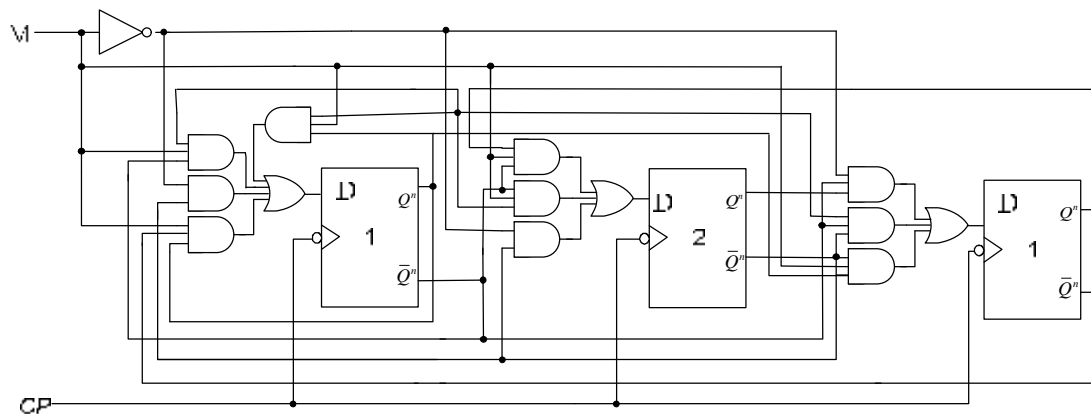
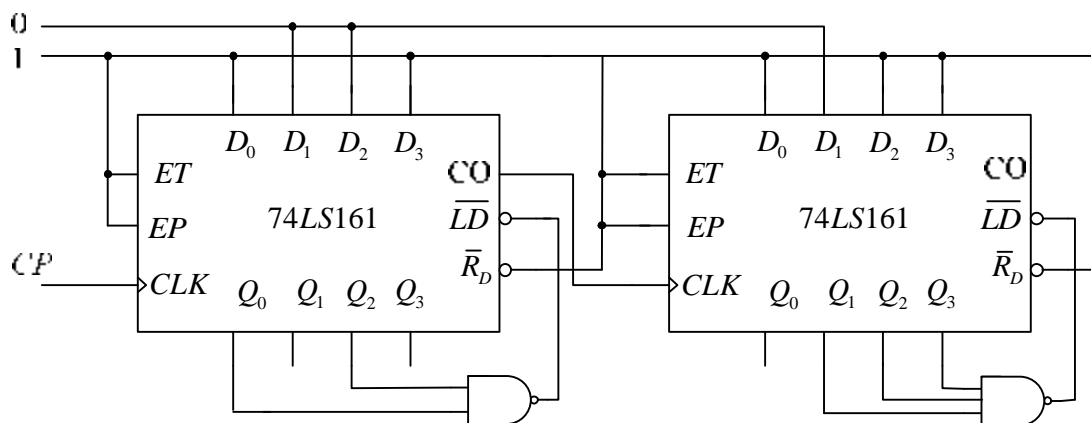


图 6-65 题 6-38 逻辑电路图

6-39 题 6-39 图是两片 CT54161 中规模集成电路组成的计数器电路，试分析该计数器的模值是多少，列出其状态转移表。



题 6-39 图

**解** 前级为同步计数器，当计数状态  $Q_3Q_2Q_1Q_0 = 0101$  或  $1101$  时同步置数，置入

$D_3D_2D_1D_0 = 1001$ ，计数状态为  $1001$  至  $1101$  这 5 个状态，为模 5 计数器。

后级计数器当计数状态  $Q_3Q_2Q_1Q_0 = 1110$  时同步置数，置入  $D_3D_2D_1D_0 = 1101$ ，计数状态为  $1101$  至  $1110$  这 2 个状态，为模 2 计数器。

由于前级计数器的输出  $co$  始终为零，因此后级无计数脉冲输入，因此电路是一个模 5 计数器。



$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$
1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	1	1	0	0
1	1	0	0	1	1	0	1
1	0	0	1	1	0	0	1

# 第七章 半导体存储器

## 一、知识点解析

### 1. 半导体存储器的定义及分类

存储器是存储大批量数字信息的大规模或超大规模集成电路。半导体存储器一般由存储矩阵、地址译码电路、输入 / 输出电路和控制电路构成，其引脚一般有数据引脚、地址引脚和控制引脚 3 类。存储容量和存取时间是存储器的两个主要性能指标。

半导体存储器的种类很多，按照其使用功能可分为只读存储器 ROM 和随机存储器 RAM 两大类。两者差异是 RAM 具有易失性而 ROM 具有非易失性。根据存储单元电路结构和工作原理不同，又将 ROM 分为掩膜 ROM、EPROM、E<sup>2</sup>PROM、FLASH 等几种类型。将 RAM 分为静态 RAM 和动态 RAM 两类。随机存储器 RAM 是速度最快、应用最广的一种存储器，在计算机的内存中大量应用。只读存储器 ROM 常被用来存放固定数据和专用程序，还可以用来完成码制变换、字符显示、数学函数查表等工作。

基本概念有：地址、地址线、字、位、容量、输出数据、输出线、字扩展、位扩展、字位扩展等。

## 2. 存储器容量的扩展方法

当单片存储器存储容量不够时可以进行容量扩展，容量扩展方式主要有位扩展、字扩展和字位扩展 3 种方式。

### (1). 位扩展

存储器的字数保持不变，仅增加每个字的位数的扩展称为位扩展，也称字长扩展。位扩展可采用并联方式实现。即将存储器的地址线、读 / 写控制线和片选信号线并联在一起，各个芯片的数据线作为扩展后的数据总线的一部分。

### (2). 字扩展

存储器的字长即字的位数保持不变，而增加存储字数的扩展称为字扩展，也称地址扩展。字扩展时将每片存储器的数据总线并联在一起作为扩展后的数据总线，读 / 写控制线也并联在一起作为扩展后的读 / 写控制线。由于字扩展的字数要增加，因此扩展后的地址线也要相应地增加，利用外加译码器控制每片存储器的片选信号来实现。地址线增加的条数视增加的字数多少来决定，增加的地址线数  $n$  和增加的字数  $M$  满足  $M=2^n$  的关系。

### (3). 字位扩展

存储器的字长和字数都需要扩展的情况称为字位扩展。实际应用中，经常出现字和位都不够的情况，此时就需要对字和位同时进行扩展。字位扩展时，可先位扩展再字扩展，也可先字扩展再位扩展。只要综合利用字、位扩展两种扩展方式即可实现字位同时扩展。

## 3. 快闪存储器

快闪存储器又称 Flash 存储器，是在 EPROM 和 E<sup>2</sup>PROM 的制造技术基础上发展产生的一种新型可多次改写的存储器。它具有 EPROM 结构简单、价格便宜、集成度高的优点，又吸收了 E<sup>2</sup>PROM 电擦除、可重写的特性。不但具备 RAM 的高速性，而且还兼有 ROM 的非易失性。它可整片或按块进行擦除，一般至少可反复擦除 10 万次以上。具有耗电低、集成度高、体积小、可靠性高等优点，是目前最成功、最流行的固态只读存储器。

## 二、重点及难点

1. 动态 CMOS 反相器、1 位动态 CMOS 移存单元的工作原理。
2. FIFO 型 SAM 和 FILO 型 SAM 功能及区别。
3. SAM 的循环刷新、读 / 写操作在时间上配合关系。
4. RAM 结构。读 / 写，刷新的时间配合。字及位的扩展及其工作过程。SRAM 与 DRAM

的使用区别。

5. PROM、EPROM、EEPROM 的结构区别，读 / 写 / 擦的方法与使用。

6. 会用未编程的 ROM 实现组合逻辑函数。

7. 存储器的技术指标及选用。

### 三、典型题解

**例题 1** 将  $2^{100}$  转换为十进制数并存入存储器，需使用多少存储单元。设每个存储单元有 8bit (不求出  $2^{100}$  的具体数值)。

解  $2^{10} = 1024 \approx 10^3$

因而  $2^{100}$  近似为  $2^{100} = (2^{10})^{10} = (10^3)^{10} = 10^{30}$

$2^{100}$  可转换为 30 位十进制数。由题意知，每个存储单元有 8bit，可以存储 2 位十进制数。因为  $10^1$  要用 2 位十进制数表示， $10^{30}$  要用 31 位十进制数表示，所以需要 16 个存储单元来存储  $2^{100}$  所转换成的十进制数。

**例题 2** 试确定用 ROM 实现下列逻辑函数所需容量

(1) 实现两个 4 位二进制数相乘的乘法器；

(2) 将 8 位二进制数转换为 8421BCD 码的转换电路。

解 (1) 因为两个 4 位二进制数相乘的最大值为  $15 \times 15 = 225 = (11100001)_2$ ，得知输出为 8 位，而输入也是 8 位。故可确定 ROM 容量为

$$2^8 \times 8 = 256 \times 8 \text{ 位}$$

(2) 因为 8 位二进制数转换为十进制数的最大值为 255，用 8421BCD 码表示为

$$(255)_{10} = (1001010101)_{8421\text{BCD}}$$

故输出为 10 位，而输入是 8 位。所以可确定 ROM 容量为

$$2^8 \times 10 = 256 \times 10 \text{ 位}$$

**例题 3** 试用图 7-1 中所示  $64 \times 4$  位 ROM 扩展为  $256 \times 8$  位 ROM。

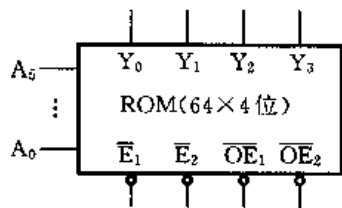


图 7-1 例题 3 逻辑电路图

解 先用  $64 \times 4$  位 ROM 进行位扩展, 这时只需将两片的地址线、 $\overline{E_1}$ 、 $\overline{E_2}$ 、 $\overline{OE_1}$ 、 $\overline{OE_2}$  相应并联, 输出保持独立, 如图 7-2 所示。

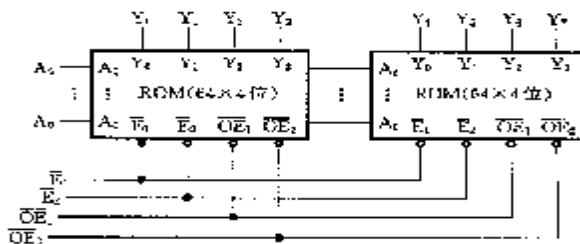


图 7-2 例题 3 位扩展电路

然后, 用 4 个  $64 \times 8$  位 ROM 进行地址(字)扩展。为此, 增加两位地址码  $A_6$  和  $A_7$ , 并用一个 2-4 线译码器(译码输出低电平有效), 将它的输出分别与 4 个  $64 \times 8$  位 ROM 的  $\overline{E_2}$  端连接。逻辑图如图 7-3 所示。

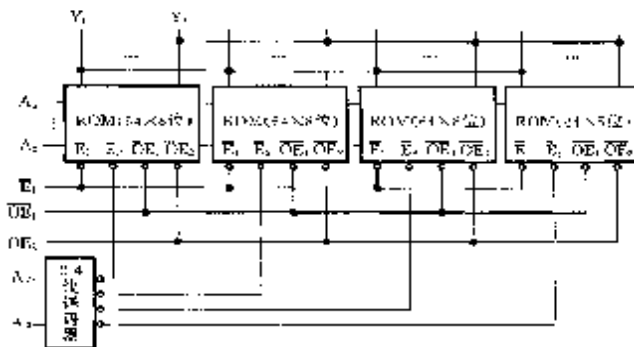


图 7-3 例题 3 字扩展电路

**例题 4** 现有三个变量 A、B、C, 试用  $8 \times 4$  位 ROM 存储下列逻辑函数: 异或、与或非。

- (1) 写出 4 个逻辑函数表达式;
- (2) 列出真值表;
- (2) 画出 ROM 的阵列图形。

解 (1) 4 个逻辑函数表达式如下

$$Y_3 = \overline{ABC}, Y_2 = \overline{A+B+C}, Y_1 = \overline{A \oplus B \oplus C}, Y_0 = \overline{AB+BC+AC}$$

(2)列出真值表，如表 7-1 所示。

表 7-1 例题 4 真值表

输入			输出			
A	B	C	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	1	1	0	1
0	0	1	1	0	1	1
0	1	0	1	0	1	1
0	1	1	1	0	0	0
1	0	0	1	0	1	1
1	0	1	1	0	0	0
1	1	0	1	0	0	0
1	1	1	0	0	1	0

(3)画 ROM 阵列图，如图 7-4 所示。

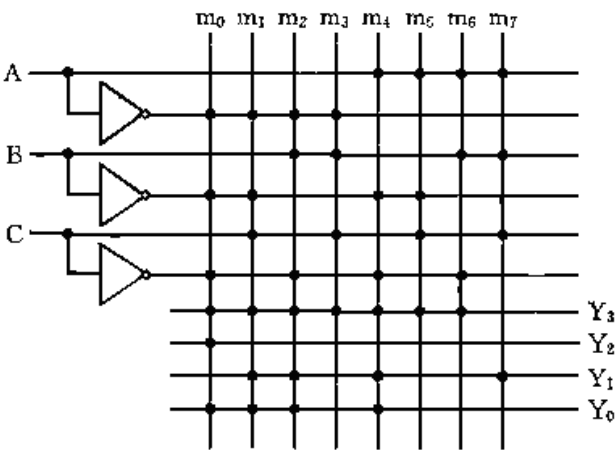


图 7-4 例题 4 阵列图

**例题 5** 用 EPROM 2716 设计一个一位全加器，画出阵列图和器件的连线图。

解 设 A、B 为两个 1 位二进制数,CI 为低位的进位，C0 为向高位的进位。

全加器的真值表如表 7-2 所示。

表 7-2 例题 5 全加器真值表

A	B	CI	CO	$\Sigma$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

由于利用 EPROM 实现函数不用化简，因而可根据真值表写出最小项表达式。

$$\Sigma = m_1 + m_2 + m_4 + m_7 \quad CO = m_3 + m_5 + m_6 + m_7$$

阵列图如图 7-5 所示。

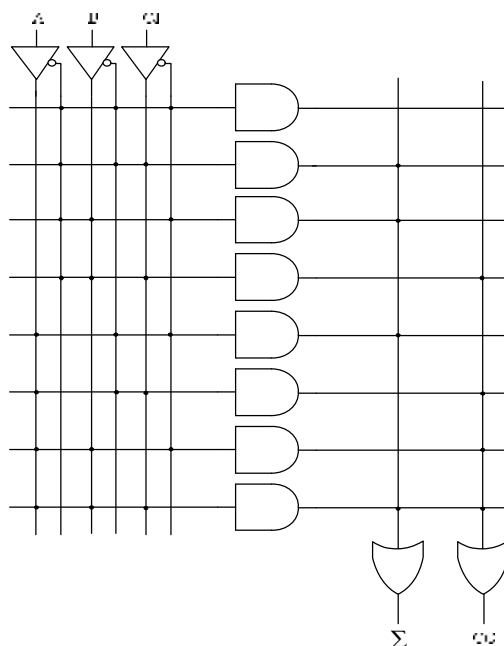


图 7-5 例题 5 全加器连线图

## 四、习题解答

### 7-1 半导体存储器的技术指标有哪些？

解：（1）存储容量，指存储器能够容纳的二进制信息的多少；（2）存取时间，指存储器完成一次数据存取所用的平均时间；（3）功耗，指存储器在正常工作时所消耗的电功率；（4）可靠性，指存储器对周围电磁场温度和湿度等的抗干扰能力。

### 7-2 ROM 和 RAM 在电路结构和工作原理上有何不同？

解：RAM 是可读、可写的存储器，用于存放一些临时性的数据。其最大的优点是读写方便，使用灵活。但是断电后，随机存取存储器内存储的数据会丢失，所以也称为易失性存储器。ROM 常用来存放永久性的、不变的信息，其内容只能随机读出而不能写入。

### 7-3 动态存储器和静态存储器在电路结构和读写操作上有何不同？

解：按照存储原理不同，RAM 包括静态存储器 SRAM 和动态存储器 DRAM 两种。SRAM 存储电路以双稳态触发器为基础，状态稳定，只要不掉电，信息不会丢失。其优点是不需要刷新，控制电路简单，但集成度较低，适用于不需要大存

储容量的计算机系统。DRAM 存储单元以电容为基础，电路简单、集成度高。但也存在问题，即电容中的电荷由于漏电会逐渐丢失。因此，DRAM 需要定时刷新，它适用于大存储容量的计算机系统。

**7-4** 一个 ROM 共有 10 根地址线和 4 根位线，则其存储容量是多少？

解：存储容量 =  $2^{10} \times 4$  位。

**7-5** 用容量为 16K×8 位存储器芯片构成 1 个 64K×8 位的存储系统，需要多少根地址线？多少根数据线？

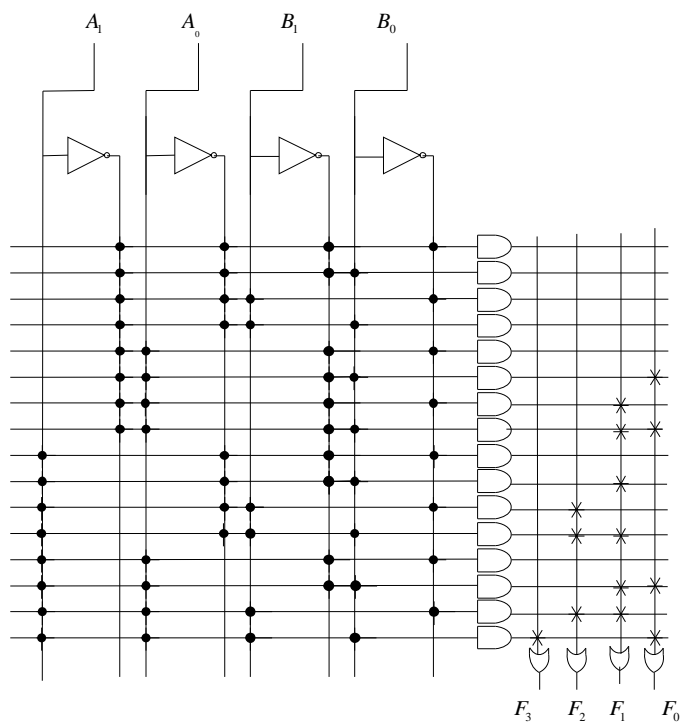
解：64K=2<sup>16</sup> 需要 16 根地址线，8 根数据线。

**7-6** 试用 16×4 位的 ROM 设计一个两个 2 位二进制数相乘的乘法器电路。

解：设两个 2 位二进制数分别用  $A_1A_0B_1B_0$  表示，积用  $F_3F_2F_1F_0$  表示，列出真值表如表 7-3 所列：

表 7-3 题 7-6 真值表

$A_1$	$A_0$	$B_1$	$B_0$	$F_3$	$F_2$	$F_1$	$F_0$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1



地址译码器与阵列（固定）

图 7-6 题 7-6 ROM 阵列图

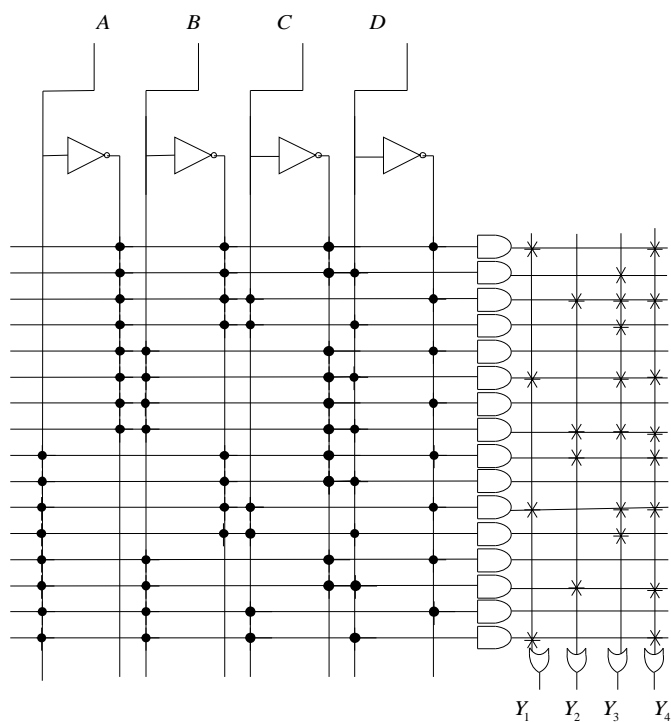
7-7 试用 ROM 设计一个组合电路，用来产生下列一组逻辑函数。

$$\begin{cases} Y_1 = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD \\ Y_2 = \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD \\ Y_3 = \overline{A}D + \overline{B}C \\ Y_4 = BD + \overline{B}\overline{D} \end{cases}$$

解：

$$\begin{cases} Y_1 = \sum m(0,5,10,15) \\ Y_2 = \sum m(2,7,8,13) \\ Y_3 = \sum m(1,2,3,5,7,10,11) \\ Y_4 = \sum m(0,2,5,7,8,10,13,15) \end{cases}$$





地址译码器与阵列(固定)

图 7-7 题 7-7 ROM 阵列图

7-8 试用  $4K \times 8$  位的 RAM 接成  $16K \times 8$  位的存储器。

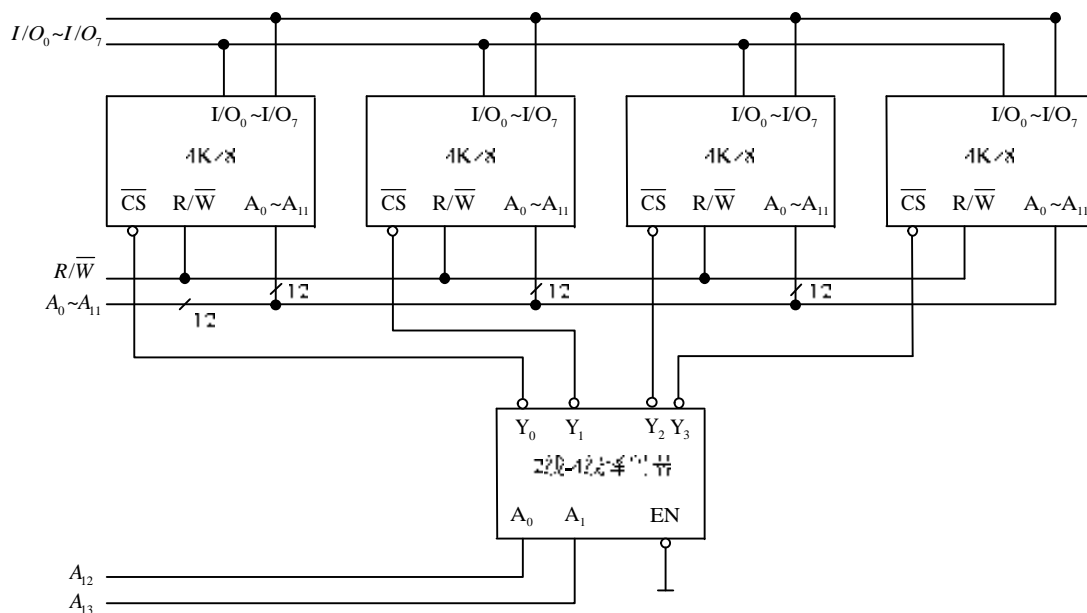


图 7-8 题 7-8 字扩展图

7-9 试用  $4K \times 4$  位的 RAM 接成  $8K \times 8$  位的存储器。

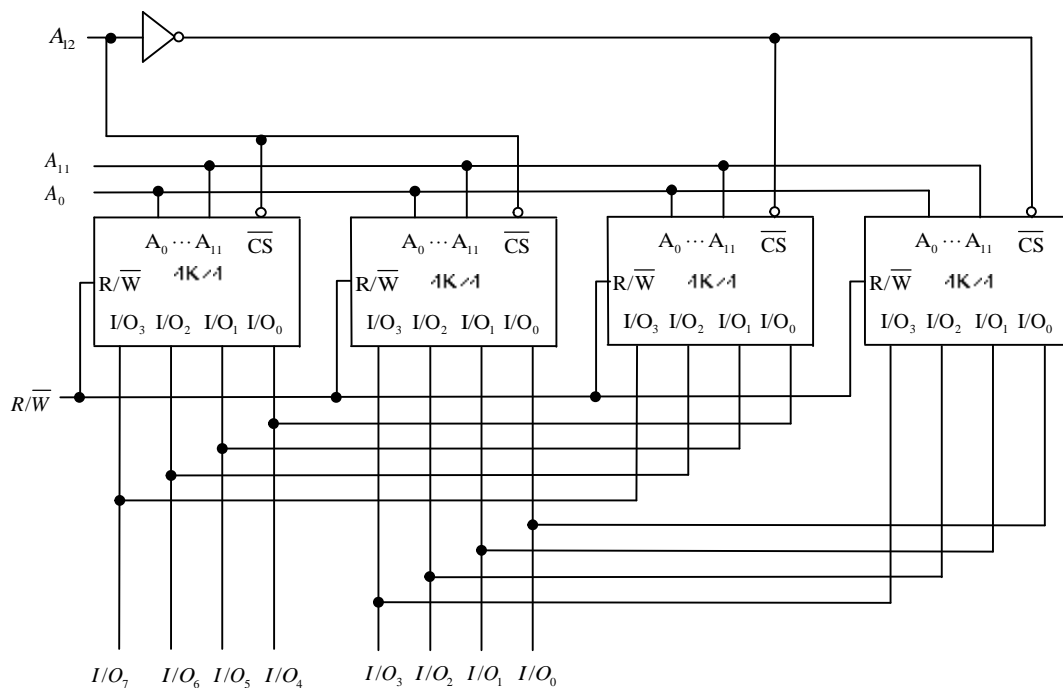


图 7-8 题 7-9 扩展图

7-10 简述电擦除 PROM 的特点？

解：电擦除 PROM 采用金属-氮-氧化硅工艺生产，不要借助紫外线照射，只需在高电压脉冲或在工作电压下就可以进行擦除。电擦除 PROM 具有对单个存储单元在线编程的能力，芯片封装简单，对硬件线路没有特殊要求，操作简便，信息存储时间长。因此，给需要经常修改程序和参数的应用场合带来了极大的方便。

## 第八章 可编程逻辑器件

### 一、知识点解析

可编程逻辑器件是一种由用户定义和设置逻辑功能的器件，通过定义器件内部的逻辑、输入端、输出端等在芯片内完成设计者所需的数字系统功能的器件。这类器件具有集成度高、设计灵活方便、工作速度快、可靠性高及保密性强等优点，发展速度十分迅猛。目前，由用户编程就可获得板级，甚至系统级芯片。所以，应用领域日渐扩大，已经成为设计数字系统的首选器件，市场占有率逐年增加，且这种发展趋势仍以极快速度继续上升。

#### 1. 可编程逻辑器件 PLD

PLD 是有可编程的与阵列和要编程的或阵列组成。它的优点是更多的逻辑电路可以“嵌”入更小的区域。如果需要对逻辑设计进行修改，不需要重新布线或替换元件。

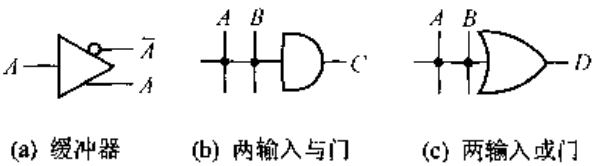


图 8-1 PLD 结构图

### 2. 可编程阵列逻辑 PAL

PAL 是由可编程的与阵列和固定的或阵列以及结构灵活的各种输出电路组成，采用熔丝编程方式，双极型工艺制造。可以完成不同形式的组合逻辑电路设计，也可以方便地构成各种时序逻辑电路。由于 PAL 中的每个或门只与一组固定的与门输出乘积项连接，因此，PAL 的输出表达式中允许包含的乘积项数目减少，故其灵活性较差，但成本较低，容易编程。

### 3. 通用阵列逻辑器件 GAL

GAL 电路的基本结构形式为与-或阵列，输出采用逻辑宏单元(OLMC)的形式，是继 PAL 之后出现的一种 PLD，它采用  $E^2$ CMOS 工艺生产，可以用电信号擦除和改写。由于输出电路做成了可编程的 OLMC 结构，能设置成不同的输出电路结构，所以有较强的通用性。用电信号擦除比用紫外线擦除更方便。

### 4. 复杂可编程逻辑器件 CPLD

CPLD 是在 GAL 基础上发展起来的高密度 PLD 器件，其基本电路结构还是与、或阵列，但改进了阵列结构，大幅度增加了寄存器和 I/O 引脚数量，改善了互连模式。它们一般采用 CMOS 工艺和 EPROM、 $E^2$ EPROM 和 Flash 等编程技术，具有较高的密度和较低的功耗。目前，主要的 PLD 厂商提供的 CPLD 器件，结构上大致相同，但又各有特色。

### 5. 现场可编程门阵列 FPGA

FPGA 是基于 SRAM 的可编程逻辑器件，它采用可编程的查表结构(Look up Table, LUT)。这类器件和 CPLD 相比单片集成度更高，功能密度更大，单片即可构成一个中大规模的数字系统。

## 二、重点及难点

### 重点

#### 1. PAL、GAL 器件的内部结构。

2. CPLD 分区阵列结构的分类与特点

3. FPGA 与 CPLD 的区别。

4. GAL、FPGA 器件的开发过程

难点

FPGA 的内部结构与编程设置。

### 三、典型题解

**例题 1** 简述 FPGA 基本结构。

解 FPGA 一般由 3 个可编程逻辑模块阵列组成, 可配置逻辑模块(CLB), 输入 / 输出模块(IOB), 互连资源(ICR)和一个用于存放编程数据的静态存储器(SRAM)。其中多个 CLB 组成 FPGA 的二维核心阵列, 实现设计者所需的逻辑功能。IOB 位于器件的四周, 它提供内部逻辑阵列与外部引出线之间的可编程接口。ICR 位于器件内部的逻辑模块之间, 经编程实现 CLB 与 CLB 位于 CLB 与 IOB 之间的互连。SRAM 加电后存储的数据决定了器件的具体逻辑功能。

**例题 2** 比较 PAL、GAL、CPLD 及 FPGA 可编程逻辑器件各自的特点。

解 PAL 器件是一种低密度, 一次性可编程逻辑器件。逻辑阵列规模小。

GAL 器件采用电擦除工艺, 可重复编程, 采用可编程宏单元结构, 可配置成多种工作模式。逻辑阵列规模小。

CPLD 器件采用 CMOS, EPROM、EEPROM、快闪存储器和 SRAM 等编程技术, 构成了高密度、高速度、高可靠性的逻辑可编程器件。集成度大, 可满足各种各样数字电路系统的需要。内部时间延迟与器件结构和逻辑连接无关, 各模块之间具有固定时延的快速互连通道, 延迟时间可预测。

FPGA 采用 SRAM 编程技术, 断电后数据需要重新加载, 集成度高, 内部结构灵活, 内部的 CLB、IOB 和 ICR 均可编程, 提供了强有力的组合逻辑函数发生器, 可以实现多个变量的任意逻辑, 内部有 RAM, 可用于 FIFO 等设计。内部时间延时与器件结构和逻辑连接等有关, 传输延时不可预测。

**例题 3** 用 GAL 器件实现具有模可变的同步计数器, 当控制信号  $M=0$  时为模七进制计数器, 当  $M=1$  时, 实现模五计数。

解 (1) 写出计数器的状态方程。

因为最高为七进制计数器, 因此用  $Q_3$ 、 $Q_2$ 、 $Q_1$  即可描述全部状态, 再用  $M$  作为模控制

端，则有

$$Q_3^{n+1} = Q_2^n$$

$$Q_2^{n+1} = Q_1^n$$

$$Q_1^{n+1} = \overline{Q_3^n Q_2^n Q_1^n} + M Q_3^n Q_2^n \overline{Q_1^n} + \overline{Q_3^n Q_2^n Q_1^n}$$

$$Y = Q_3^n \overline{Q_2^n Q_1^n}$$

(2) 配置 GAL16V8 的引脚。

选用 GAL16V8 来实现，因为 GAL 内部具有反馈结构，所以只需用 1 个输入端口供 M 控制使用。又因为电路是同步功能，故用该 GAL 本身的系统时钟 CP 端就可满足同步要求。输出有  $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $y$ ，引脚配置如图 8-2 所示。

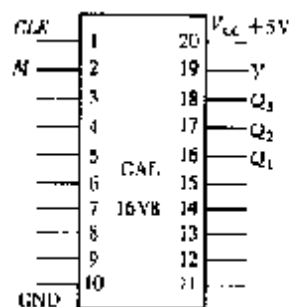


图 8-2 GAL16V8 引脚图

(3) 编写 ABEL 源文件

Module exa

Title 'changeable-modulo counter'

IC2 device 'P16V8R'

Input pins

CP, M PIN 1, 2;

“output pins

Q1, Q2, Q3, Y PIN 16, 17, 18, 19;

“constant

Q1: =!Q3&! Q2&! Q1#M& Q3& Q2&! Q1#! Q3&! Q2& Q1;

Q2: =Q1;

Q3: =Q2;

Y= Q3&! Q2&! Q1;

End exa

**例题 4** 用 PAL 器件设计 1 位全加器。

解 设 A、B 为加数，X 为前级来的进位，C 为和，Y 为向后级的进位。全加器的真值表如表 8-1 所示。

表 8-1 全加器真值表

A	B	X	C	Y	A	B	X	C	Y
0	0	0	0	0	0	0	1	1	0
0	1	0	1	0	0	1	1	0	1
1	0	0	1	0	1	0	1	0	1
1	1	0	0	1	1	1	1	1	1

$$C = \overline{A}\overline{B}X + \overline{A}B\overline{X} + A\overline{B}\overline{X} + ABX$$

$$Y = A\overline{B}\overline{X} + \overline{A}B\overline{X} + \overline{A}BX + ABX$$

则 PAL 的简化示意图如图 8-3 所示。

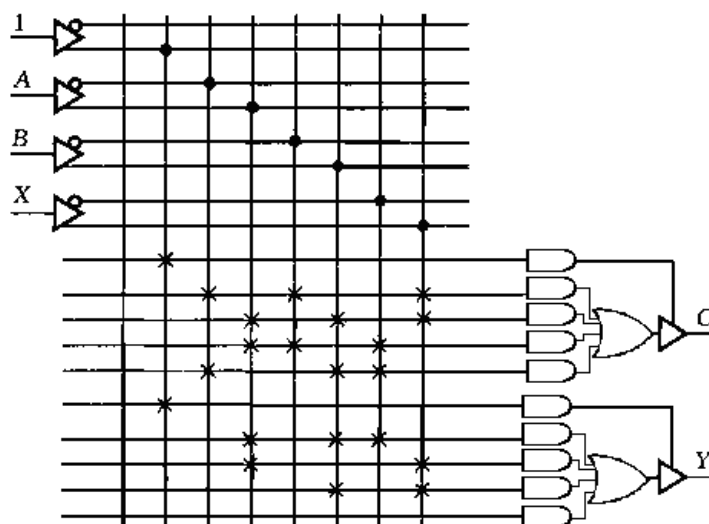


图 8-3 例题 4 全加器 PAL 设计图

#### 四、习题解答

8-1 什么是可编程逻辑器件？有哪些种类？试比较各种 PLD 的特点。

**答：**可编程逻辑器件英文全称为：Programmable Logic Device，简称 PLD。指的是一种功能不是固定不变的，而是可根据用户的需要而进行改变，即由编程的方法来确定逻辑功能的一类器件。

随着集成工艺的发展，可编程逻辑器件的集成规模越来越大，集成度从每片几百门发展到几千门，甚至几百万门。按照其集成度，可编程逻辑器件可分为低密度可编程逻辑器件 LDPLD（Low Density PLD）和高密度可编程逻辑器件 HDPLD（High Density PLD）两大类。

低密度可编程逻辑器件通常指集成度小于每片 1000 门的 PLD，PROM、PLA、PAL 和 GAL 均属于此类，如表 8-2 所示。与中小规模集成电路相比，具有集成度高、速度快、设计方便灵活、设计周期短等优点。因此，得到了广泛应用。但很难满足大规模以及超大规模专用集成电路（ASIC）在规模和性能上的要求。

表 8-2 低密度 PLD 器件结构比较

简单 PLD 器件	与阵列	或阵列	输出电路
PROM（即 Programmable Read-only Memory）	固定	可编程	固定
PLA（即 Programmable Logic Array，可编程逻辑阵列）	可编程	可编程	固定
PAL（即 Programmable Array Logic，可编程阵列逻辑）	可编程	固定	固定
GAL（即 Genetic Array Logic，通用阵列逻辑）	可编程	固定	可组态

高密度可编程逻辑器件通常指集成度大于每片 1000 门的 PLD，20 世纪 80 年代中期以后出现的 EPLD、CPLD 和 FPGA 均属于此类。Altera 公司 20 世纪 80 年代中期推出的一种大规模可编程逻辑器件 EPLD（Erasable Programmable Logic Device），其基本结构与 GAL 并无本质区别，但其集成密度比 GAL 高得多，使其在一块芯片内能够实现更多的逻辑功能。CPLD（Complex Programmable Logic Device）即复杂可编程逻辑器件，是从 PAL 和 GAL 器件发展出来的器件，相对而言规模大，结构复杂，属于大规模集成电路范围，是一种用户根据各自需要而自行构造逻辑功能的数字集成电路。FPGA（Field Programmable Gate Array）即现场可编程门阵列，它是在 PAL、GAL、CPLD 等可编程器件的基础上进一步发展的产物。它是作为专用集成电路领域中的一种半定制电路而出现的，既解决了定制电路的不足，又克服了原有可编程器件门电路数有限的缺点。

### 8-2 GAL 器件的 OLMC 有什么特点? GAL 的 5 种工作模式各用在什么场合?

**答：**具有输出逻辑宏单元（OLMC）是 GAL 器件的一大特征。OLMC 配置的具体实现是由开发工具和软件完成的，并对用户是完全透明的。OLMC 的内部结构如图 8-4 所示。每个 OLMC 包含或门阵列中的一个或门和 4 个多路开关 PTMUX、FMUX、TSMUX 和 OMUX，这 4 个多路开关在结构控制字段作用下设定输出逻辑宏单元的组态，使得 GAL 器件使用更加灵活。只要写入不同的结构控制字，就可以得到不同类型的输出电路结构。这些电路结构完全可以取代 PAL 器件的各种输出电路结构。

GAL 的 5 种工作模式分别用于专用模式、专用组合输出、反馈组合输出、时序电路中的组合输出和寄存器输出这 5 种不同的场合中。

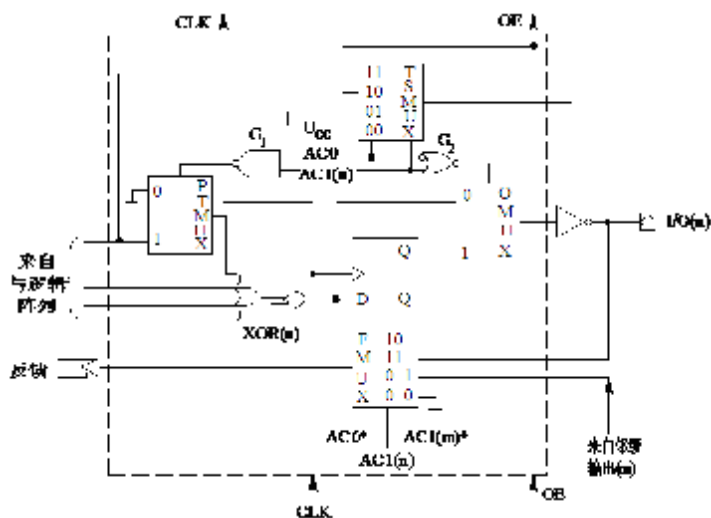


图 8-4 OLMC 的内部结构

### 8-3 FPGA 主要由哪几部分组成? 各部分的基本功能是什么?

**答：**FPGA 主要由可编程输入/输出模块 IOB、可编程逻辑块 CLB、可编程互连资源 PIR 和用于存放编程数据的静态存储器 SRAM 组成。可编程输入/输出模块 IOB 分布在芯片的四周，它是内部逻辑电路和芯片外引脚之间的可编程接口电路。可编程逻辑块 CLB 分布在芯片的中间，通过对 CLB 编程可实现组合逻辑电路和时序逻辑电路。系统的主要逻辑功能由 CLB 实现。可编程互连资源 PIR 提供了丰富的连线资源，包括纵横网状连线、可编程开关矩阵和可编程连接点等，主要用以实现 CLB 模块之间、CLB 模块与 IOB 模块之间的连接。静态存储器 SRAM 用于存放内部 IOB、CLB 和 PIR 的编程数据，并形成对 IOB、CLB 及 PIR 的控制，从而完成系统逻辑功能。系统断电后，SRAM 中存放的数据会全部丢失。因此，每次在系统通电后，都要把存放在 EPROM 中的编程数据通过逻辑电路重新装载到 FPGA 的静态存储器 SRAM 中。数据



的重新装载过程可以是自动完成，也可以由单片机控制完成。

#### 8-4 试比较 CPLD 和 FPGA 的异同。

**答：**（1）FPGA 器件含有丰富的触发器资源，易于实现时序逻辑，如果要求实现较复杂的组合电路则需要几个 LAB 结合起来实现。CPLD 的与或阵列结构，使其适于实现大规模的组合功能，但触发器资源相对较少。

（2）FPGA 采用 SRAM 进行功能配置，可重复编程，但系统掉电后，SRAM 中的数据丢失。因此，需在 FPGA 外加 EPROM，将配置数据写入其中，系统每次上电自动将数据引入 SRAM 中。CPLD 器件一般采用 E<sup>2</sup>PROM 存储技术，可重复编程，并且系统掉电后，E<sup>2</sup>PROM 中的数据不会丢失，适于数据的保密。

（3）FPGA 为细粒度结构，CPLD 为粗粒度结构。FPGA 内部有丰富连线资源，LAB 分块较小，芯片的利用率较高。CPLD 的宏单元的与或阵列较大，通常不能完全被应用，且宏单元之间主要通过高速数据通道连接，其容量有限，限制了器件的灵活布线，因此 CPLD 利用率较 FPGA 器件低。

（4）FPGA 为非连续式布线，CPLD 为连续式布线。FPGA 器件在每次编程时实现的逻辑功能一样，但走的路线不同，因此延时不易控制，要求开发软件允许工程师对关键的路线给予限制。CPLD 每次布线路径一样，CPLD 的连续式互连结构利用具有同样长度的一些金属线实现逻辑单元之间的互连。连续式互连结构消除了分段式互连结构在定时上的差异，并在逻辑单元之间提供快速且具有固定延时的通路。CPLD 的延时较小。

（5）CPLD 价格较便宜，能直接用于系统。各系列的 CPLD 器件的逻辑规模覆盖面居中小规模(1000 门至 5 万门)，有很宽的可选范围，上市速度快，市场风险小，编程方式极为便捷。FPGA 适合大规模的逻辑设计、ASIC 设计或单片系统设计。

#### 8-5 什么是 ISP 器件？ispLSI 1032 的结构包含哪几部分？各部分的主要功能是什么？

**答：**ISP (In System Programmable) 器件是在系统可编程逻辑器件的简称。这是一种能够在用户自己设计的目标系统中或线路板上为重构逻辑而对逻辑器件进行编程或反复改写的新型逻辑器件。

ispLSI 1032 是 E<sup>2</sup>CMOS 器件，其芯片有 84 个引脚，其中 64 个是 I/O 引脚，集成密度为 6000 个等效门，每片含 68 个触发器和 64 个锁存器，管脚与管脚延迟为 12ns，系统最高工作频率为 90MHz。ispLSI 1032 由若干个巨块组成，巨块之间通过全局布线区 GRP 连起来，每个巨块包括若干个通用逻辑块 GLB、输出布线区 ORP、若干个 I/O 引脚和专用输入引脚。

（1）全局布线区 GRP：全局布线区 GRP 位于芯片的中央，它以固定的方式将所有片内

逻辑联系在一起，供设计者使用，和通用总线的功能是一致的。其特点是其输入 / 输出之间的延迟是恒定的和可预知的。

(2) 通用逻辑块 GLB: 通用逻辑块 GLB 是 i spLSI 器件的最基本逻辑单元，它由与阵列、乘积项共享阵列、四输出逻辑宏单元和控制逻辑组成，有五种不同的组合模式，主要实现 i spLSI 1032 器件的基本逻辑功能。

(3) 输出布线区 ORP: ORP 是介于 GLB 和输入输出单元 IOC 之间的可编程互连阵列，通过对 ORP 的编程，可以将任一个 GLB 的输出灵活地送到 16 个 I/O 端的某一个。

(4) 输入输出单元 IOC: 输入输出单元是 i spLSI 1032 总框图中最外层的小方块，共有 64 个。其用途是将输入信号、输出信号、输入输出双向信号与具体的 I/O 管脚相连接，从而构成输入、输出、三态输出的双向 I/O 口。

(5) 巨块: 巨块是 GLB 及其对应的 ORP、IOC 等的总称。不同类别、不同型号的 i spLSI 器件，其主要区别在于构成芯片的巨块数各不相同。例如 i spLSI 1032 有 4 个巨块。

(6) 时钟设置网络 CDN: 时钟设置网络的作用是提供时钟信号。i spLSI 1032 的时钟分配网络共产生 5 个全局时钟信号: CLK<sub>0</sub>, CLK<sub>1</sub>, CLK<sub>2</sub>, IOCLK<sub>0</sub>, IOCLK<sub>1</sub>。其中 CLK<sub>0</sub>, CLK<sub>1</sub>, CLK<sub>2</sub> 三个同步时钟信号可供所有的通用逻辑块 GLB 使用; IOCLK<sub>0</sub>, IOCLK<sub>1</sub> 可用于所有的 I / O 单元，供 I / O 寄存器使用。

8-6 用 VHDL 设计一个 4 输入与门，其逻辑函数表达式为  $X = ABCD$ 。

**解:**

信号定义:

A, B, C, D: 与门输入;

X: 与门输出。

LIBRARY IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

ENTITY and4 IS

PORT( A,B,C,D: IN STD\_LOGIC;

X: OUT STD\_LOGIC);

END and4;

ARCHITECTURE one OF and4 IS

```
BEGIN
    X<= A AND B AND C AND D;
END one;
```

仿真结果如图 8-5 所示。

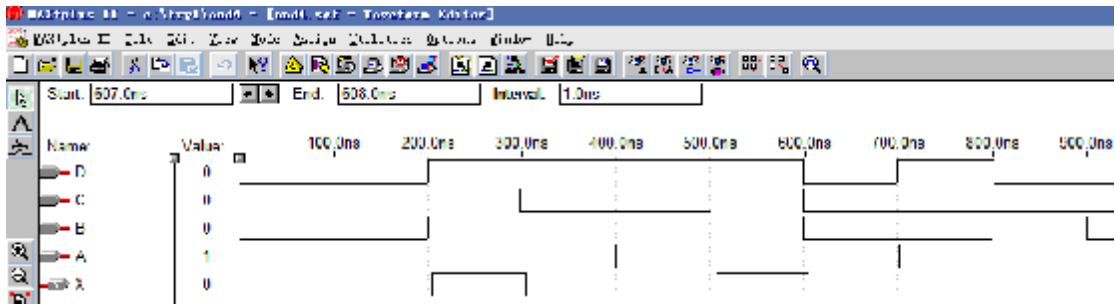


图 8-5 4 输入与门仿真波形

8-7 用 VHDL 设计 BCD 码至二进制码的转换器。

解：

信号定义：

B: BCD 码输入；

D: 二进制码输出。

BCD 码转换成 4 位二进制码的真值表如表 8-3 所列。

表 8-3 BCD 码转换成 4 位二进制码的转换真值表

输入信号					输出信号			
B4	B3	B2	B1	B0	D3	D2	D1	D0
0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	0	1	0
0	0	0	1	1	0	0	1	1
0	0	1	0	0	0	1	0	0
0	0	1	0	1	0	1	0	1
0	0	1	1	0	0	1	1	0
0	0	1	1	1	0	1	1	1
0	1	0	0	0	1	0	0	0

0	1	0	0	1	1	0	0	1
1	0	0	0	0	1	0	1	0
1	0	0	0	1	1	0	1	1
1	0	0	1	0	1	1	0	0
1	0	0	1	1	1	1	0	1
1	0	1	0	0	1	1	1	0
1	0	1	0	1	1	1	1	1

```
LIBRARY IEEE;
```

```
USE IEEE.STD_LOGIC_1164.ALL;
```

```
ENTITY B_bcd IS
```

```
PORT( B: IN STD_LOGIC_VECTOR(4 DOWNTO 0);
```

```
      D: OUT STD_LOGIC_VECTOR (3 DOWNTO 0));
```

```
END B_bcd;
```

```
ARCHITECTURE behave OF B_bcd IS
```

```
BEGIN
```

```
    PROCESS(B)
```

```
    BEGIN
```

```
        CASE B IS
```

```
            WHEN "00000" => D<= "0000";
```

```
            WHEN "00001" => D<= "0001";
```

```
            WHEN "00010" => D<= "0010";
```

```
            WHEN "00011" => D<= "0011";
```

```
            WHEN "00100" => D<= "0100";
```

```
            WHEN "00101" => D<= "0101";
```

```
            WHEN "00110" => D<= "0110";
```

```
            WHEN "00111" => D<= "0111";
```

```

        WHEN "01000" => D<= "1000";

        WHEN "01001" => D<= "1001";

        WHEN "10000" => D<= "1010";

        WHEN "10001" => D<= "1011";

        WHEN "10010" => D<= "1100";

        WHEN "10011" => D<= "1101";

        WHEN "10100" => D<= "1110";

        WHEN "10101" => D<= "1111";

        WHEN OTHERS=> D<= "ZZZZ";

    END CASE;

END PROCESS;

END behave;

```

仿真结果如图 8-6 所示。

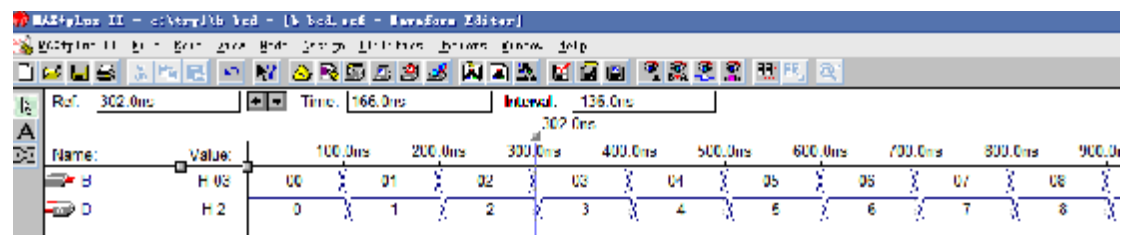


图 8-6 BCD 码至二进制码转换器仿真波形

## 8-8 用 VHDL 设计 8 线-3 线优先编码器。

解：

信号定义：

d: 编码器输入；

ein: 输入使能；

a0n, a1n, a2n: 编码器输出；

gsn, eon: 编码器输出状态指示。

```
LIBRARY IEEE;
```

```
USE IEEE.STD_LOGIC_1164.ALL;
```

```
ENTITY encode IS
```

```

PORT( d: IN STD_LOGIC_VECTOR(7 DOWNTO 0);
      ein: IN STD_LOGIC;
      a0n,a1n,a2n,gsn,eon: OUT STD_LOGIC);
END encode;

```

```

ARCHITECTURE behave OF encode IS

```

```

SIGNAL q: STD_LOGIC_VECTOR(2 DOWNTO 0);

```

```

BEGIN

```

```

a0n<=q(0); a1n<=q(1); a2n<=q(2);

```

```

PROCESS(d)

```

```

BEGIN

```

```

IF ein='1' THEN

```

```

q<= "111" ; gsn<= '1'; eon<= '1';

```

```

ELSIF d(7)= '0' THEN

```

```

q<= "000"; gsn<= '0'; eon<= '1';

```

```

ELSIF d(6)= '0' THEN

```

```

q<= "001"; gsn<= '0'; eon<= '1';

```

```

ELSIF d(5)= '0' THEN

```

```

q<= "010"; gsn<= '0'; eon<= '1';

```

```

ELSIF d(4)= '0' THEN

```

```

q<= "011"; gsn<= '0'; eon<= '1';

```

```

ELSIF d(3)= '0' THEN

```

```

q<= "100"; gsn<= '0'; eon<= '1';

```

```

ELSIF d(2)= '0' THEN

```

```

q<= "101"; gsn<= '0'; eon<= '1';

```

```

ELSIF d(1)= '0' THEN

```

```

q<= "110"; gsn<= '0'; eon<= '1';

```

```

ELSIF d(0)= '0' THEN

```

```

q<= "111"; gsn<= '0'; eon<= '1';

```

```

ELSIF d= "11111111" THEN

```

```
q<= "111"; gsn<= '1'; eon<= '0';
```

```
END IF;
```

```
END PROCESS;
```

```
END behave;
```

仿真结果如图 8-7 所示。

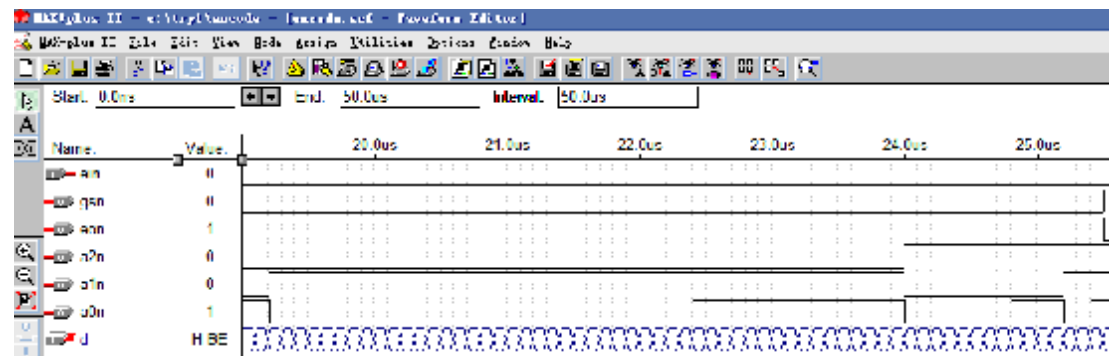


图 8-7 8 线-3 线优先编码器仿真波形

8-9 用 VHDL 设计 8421BCD 码十进制加法计数器。

解：

信号定义：

data: 预置输入；

CLK: 时钟信号；

R: 异步清 0，低电平清 0 有效；

S: 预置控制端，高电平有效；

Q: 加法计算器输出。

```
LIBRARY IEEE;
```

```
USE IEEE.STD_LOGIC_1164.ALL;
```

```
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
```

```
ENTITY COUNT10 IS
```

```
PORT( data: IN STD_LOGIC_VECTOR(3 DOWNTO 0);
```

```
CLK,R,S: IN STD_LOGIC;
```

```
co: OUT STD_LOGIC;
```

```
Q: BUFFER STD_LOGIC_VECTOR(3 DOWNTO 0));
```

```
END COUNT10;
```

```
ARCHITECTURE behave OF COUNT10 IS
```

```
BEGIN
```

```
    co<='1' WHEN (Q="1001") ELSE '0';
```

```
PROCESS(CLK, R)
```

```
BEGIN
```

```
IF (R='0') THEN Q<="0000";
```

```
ELSIF (CLK'EVENT AND CLK='1') THEN
```

```
    IF (S='1') THEN Q<=DATA;
```

```
    ELSIF (Q=9) THEN Q<="0000";
```

```
    ELSE Q<=Q+1;
```

```
    END IF;
```

```
END IF;
```

```
END PROCESS;
```

```
END behave;
```

仿真结果如图 8-8 所示。

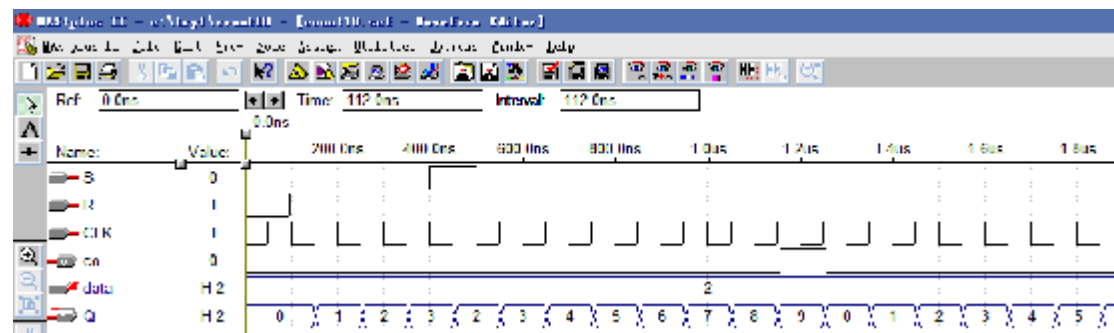


图 8-8 8421BCD 码十进制加法计数器仿真波形

8-10 用 VHDL 设计一个 4 位双向移位寄存器。

解：

信号定义：

d: 预置输入；

CLK: 时钟输入；



```

cr: 清 0 信号;

sr: 移位寄存器右移移入位;

sl: 移位寄存器左移移入位;

s1, s0: 控制移位寄存器左移右移;

LIBRARY IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

ENTITY Is194 IS
PORT( d: IN STD_LOGIC_VECTOR(0 TO 3);
      CLK, cr, sr, sl, s1, s0: IN STD_LOGIC;
      q: OUT STD_LOGIC_VECTOR(0 TO 3));
END Is194;

ARCHITECTURE behave OF Is194 IS
SIGNAL pcx: STD_LOGIC_VECTOR(0 TO 3);
BEGIN
  PROCESS(cr, CLK)
  BEGIN
    IF(cr='0') THEN
      pcx<="0000";
    ELSE
      IF(CLK' EVENT)AND(CLK='1') THEN
        IF((s1='0') AND (s0='1')) THEN
          pcx(0)<=sr;
          pcx(1)<=pcx(0);
          pcx(2)<=pcx(1);
          pcx(3)<=pcx(2);
        ELSEIF ((s1='1') AND (s0='0')) THEN
          pcx(0)<=pcx(0);
          pcx(1)<=pcx(1);

```

```

        pcx(2)<=pcx(2);

        pcx(3)<=s1;

    ELSIF ((s1='1') AND (s0='1')) THEN

        pcx(0)<=d(0);

        pcx(1)<=d(1);

        pcx(2)<=d(2);

        pcx(3)<=d(3);

    ELSE null;

    END IF;

END IF;

END IF;

END PROCESS;

q<=pcx;

END behave;

```

仿真结果如图 8-9 所示。

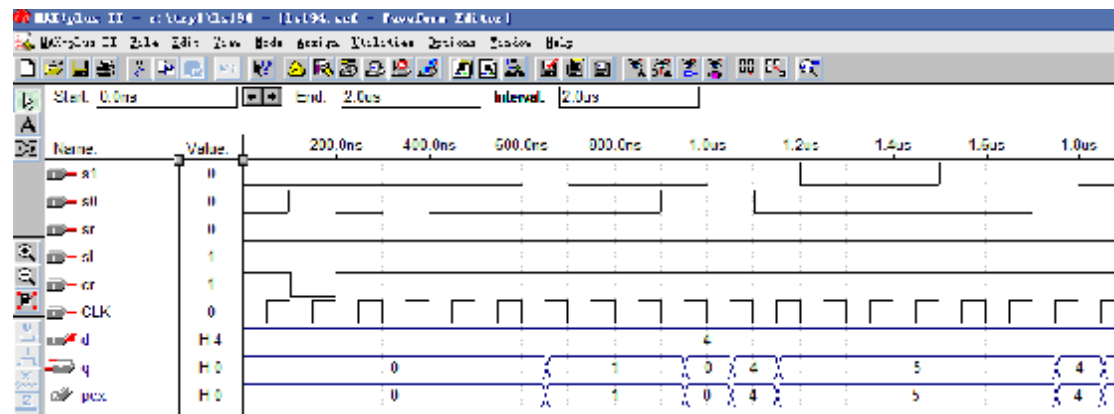


图 8-9 4 位双向移位寄存器仿真波形

# 第九章 脉冲波形的产生和整形

## 一、 知识点解析

### 1. 脉冲电路的基本概念、构成及分析方法

(1). 基本概念。

脉冲波形、脉冲电路、脉冲周期、脉冲幅度、整形与变换、回差特性等。

(2). 脉冲电路的构成。

脉冲电路由开关电路和惰性网络(RC、RL)组成,开关电路可以是晶体管或场效应管,也可以是集成门电路或运算放大器。开关电路用来破坏电路的稳态,使之产生暂态过程。而惰性电路则用来控制暂态变化过程的变化情况。

(3). 脉冲电路的分析方法。

脉冲波形是在电路暂态过程中形成的,脉冲电路的分析方法是在时域中按时间分段分析电路中的电压、电流变化情况的方法,即暂态分析法。在脉冲电路中最常用的惰性电路是一阶 RC 电路,这种一阶系统在直流激励下,电路中各元件两端的电压和流过元件的电流都按指数规律变化,可用三要素分析法进行分析。

### 2. 脉冲单元电路及其应用

脉冲单元电路主要有施密特触发器、单稳态电路和自激多谐振荡器,它们的构成方法有 3 种:由集成门构成、由集成运算放大器构成、由集成 555 定时器构成。

施密特触发器的工作特性是:电路有两种稳定状态。但是它有两个转换电平,即具有回差特性。它主要用于波形变换与整形、消除输入信号上叠加的干扰、鉴幅器等。

单稳态触发器的工作特点是:具有一个稳定状态和一个暂稳态,在外加触发脉冲作用下,电路从稳态翻转到暂稳态。在暂稳态维持一段时间后,电路自动返回到稳定状态。它主要用于产生一定宽度的脉冲波形。

多谐振荡器是一种自激振荡器,它没有稳定状态,只有两个暂稳态,而且这两个暂稳态能够在定时元件的作用下自动进行相互转换。自激多谐振荡器主要用于产生对称方波或不对称方波。除此之外,脉冲单元电路还可以构成许多实用电路实现多种功能。

### 3. 集成 555 定时器及其应用

555 定时器是一种多用途的数字-模拟混合集成电路,用它可以很方便地构成施密特触

发器、单稳态触发器和多谐振荡器。它结构简单、性能可靠，使用灵活。555 定时器广泛应用于波形产生与变换、电子测量与控制、电子检测、仪器仪表、家用电器、电子玩具等领域。

## 二、重点及难点

### 重点

1. 集成门施密特触发器的电路结构，工作原理， $V_{T+}$ 、 $V_{T-}$ 、 $\Delta V_T$  的计算，电压传输特性。

集成施密特触发器的使用(掌握 CC40106、CT5412 / 7413、CT5414 / 7414、54LS132 / 74LS132 的阈值)，逻辑符号。

2. 微分型、积分型的集成门单稳态电路的电路结构、暂态时间计算。两种集成单稳态电路的逻辑符号，工作波形关系。CT54121 / 74121 及 CCI4528 集成单稳态的功能表、工作波形关系及暂态时间计算及应用电路。

3. 电容正反馈多谐振荡器、带 RC 定时电路的环形振荡器，晶体稳频多谐振荡器以及由施密特电路构成多谐振荡器的电路结构、工作波形、振荡周期的计算。

4. 555 定时器内部结构，各管脚功能，电路符号。用 555 定时器构成施密特触发器、单稳态触发器、多谐振荡器的连线方法、相关参数的计算及波形关系图。

### 难点

1. 用集成门构成施密特触发器，单稳态触发器，多谐振荡器的电路分析，尤其是涉及集成门输入特性，电容的暂态过程，充放电回路等问题。

2. 工作波形关系的画法(时间上的相对应关系及对应的幅度的变化方向和大小等)。

## 三、典型题解

**例题 1** 试分别说明施密特触发器、单稳态触发器和多谐振荡器的工作特点和主要用途。

**解** 施密特触发器具有两种稳定的工作状态，由输入信号的电平决定其工作状态。当输入信号上升到  $V_{T+}$  时，电路状态发生翻转。当输入信号下降到  $V_{T-}$  时，电路状态又发生翻转，两次翻转所对应的输入电平值是不相同的。 $V_{T+}$  称为上限触发电平， $V_{T-}$  称为下限触发电平，它们之间的差值称为施密特触发器的回差电压  $\Delta V_T$ ，其主要用来实现波形变换和整形、脉冲幅度鉴别等。

单稳态触发器具有一个稳定状态和一个暂稳态。其工作特点是：在外加触发脉冲作用下，

电路从稳态翻转到暂稳态，在暂稳态维持一段时间后，电路自动返回到稳定状态。单稳态触发器是应用十分广泛的脉冲单元电路，如用于脉冲整形、脉冲延时以及定时控制等。

多谐振荡器是一种自激振荡器，它有两个暂稳态，没有稳定状态，电路在接通电源之后，无需外加触发信号便能产生方波或矩形脉冲。其主要用途是产生波形。

**例题 2** 555 定时器具有哪些应用特点?其典型应用有几种?

**解** 555 定时器是一种多用途的数字-模拟混合集成电路，用它可以很方便地构成施密特触发器、单稳态触发器和多谐振荡器，广泛应用于波形产生与变换、测量与控制、家电等领域。典型应用主要有三种，构成施密特触发器、单稳态触发器、多谐振荡器。

**例题 3** 电路如图 9-1 所示，它是由 555 定时器构成锯齿波发生器。当触发输入端输入负脉冲后，画出电容 C 上的电压波形及 555 输出端  $n_0$  的波形，计算电容的充电时间，说明三极管 T 及  $R_1$ 、 $R_2$ 、 $R_C$  在电路中的作用。

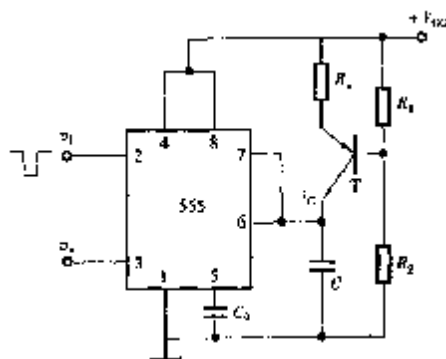


图 9-1 例题 3 锯齿波发生电路

**解** (1) 三极管 T 及  $R_1$ 、 $R_2$ 、 $R_C$  在电路中起恒流源的作用，即给电容 C 的充电电流  $i_c$  是恒定的 ( $i_c \approx \frac{R_1 V_{CC}}{(R_1 + R_2) R_C}$ )。所以，电容 C 上的充电电压是线性上升的，从而使 555 的第 6 脚电位线性上升。

(2) 当  $n_i$  为负脉冲输入之前， $n_i$  为高电平，电容 C 若充满电，则 555 的第 6 脚为高电平。当此高电平大于  $\frac{2}{3} V_{CC}$  时，输出  $v_0 = 0$ ，放电管  $T_D$  导通，电容 C 上电压经第 7 脚  $T_D$  泄放，故电路初态时  $v_0 = 0$  (3 脚电压)，电容 C 上无电压。

(3)  $n_i$  输入负脉冲，使 555 电路内部的比较器 c2 输出高电平，R-S 触发器置 1，门 G1 输出为 0，使  $T_D$  截止， $v_0$  为高电平，此时恒流源向电容 C 线性充电， $v_c = \frac{1}{C} \int_0^t i_c dt$ ，使第 6

脚电压线性增长。当第六脚电压大于等于  $\frac{2}{3}V_{CC}$ ，输出  $v_o$  回到低电平， $T_0$  导通，电容  $C$  经第 7 脚  $T_0$  放电，电路回到原态，等待  $n_1$  的第 2 个负脉冲到来。各点波形如图 9-2 所示。

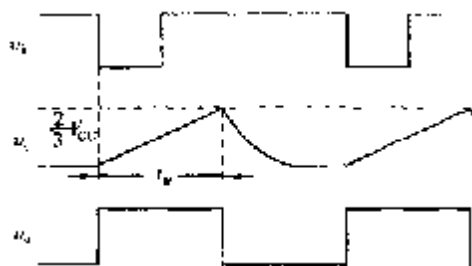


图 9-2 例题 3 波形图

(4) 电容充电时间  $t_w$

$v_c$  是从零线性增长到  $\frac{2}{3}V_{CC}$ ，即  $\frac{2}{3}V_{CC} = \frac{i_c t_w}{C}$

将  $i_c \approx \frac{R_1 V_{CC}}{(R_1 + R_2) R_C}$  代入得  $t_w = \frac{2}{3} \left( 1 + \frac{R_1}{R_2} \right) R_C \cdot C$

**例题 4** 图 9-3 中所示电路为非对称式多谐振荡器，试画出  $v_A, v_B, v_0$  的波形图。如果反相器用 CMOS 电路，问  $R$  的选择范围是什么？

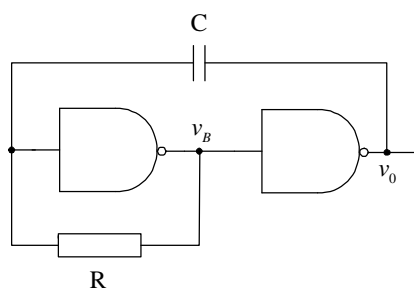


图 9-3 例题 4 多谐振荡器图

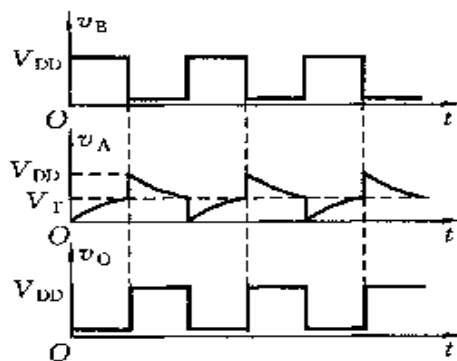


图 9-4 例题 3 波形

**解** 接通电源后，电路处于什么状态是随机的，可假设一种状态，然后分析电容  $C$  的充、放电过程即可画出  $v_A, v_B, v_0$  的波形。

假设在接通电源后， $v_B = 1, v_0 = 0$ ，那么  $v_B$  通过电阻  $R$  向电容充电，随着充电的进行， $v_A$  逐渐升高，当达到  $V_T$  (阈值电压) 时，电路状态发生跳变， $v_B = 0, v_0 = 1$ ，此刻  $v_A$  也跳变到 1。此后，电容经电阻  $R$  放电，当降到  $V_{TH}$  时，电路状态再次发生跳变， $v_B = 1, v_0 = 0$ 。此后，

电路周而复始地重复上述过程。工作波形如图 9-4 所示。

对于 CMOS 电路，由于流过  $R$  上的静态电流几乎为零，所以对  $R$  的阻值选择没有什么限制，仅由振荡频率  $f \approx \frac{RC}{1.4}$  确定。

**例题 5** 555 定时器接成如图 9-5 所示电路，这是什么电路？当  $v_s$  端输入正弦信号， $v_1$  端输入窄脉冲信号，信号的参数如图 9-6 所示。试画出输出电压  $v_o$  的波形，并估算输出脉冲的宽度。

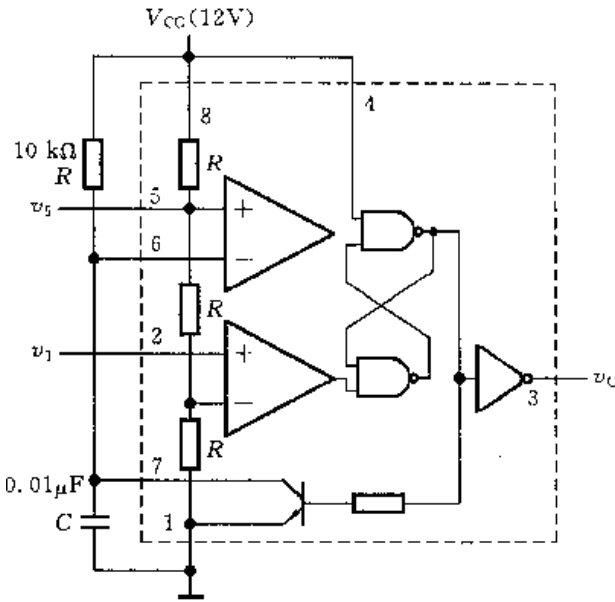


图 9-5 例题 5 电路图

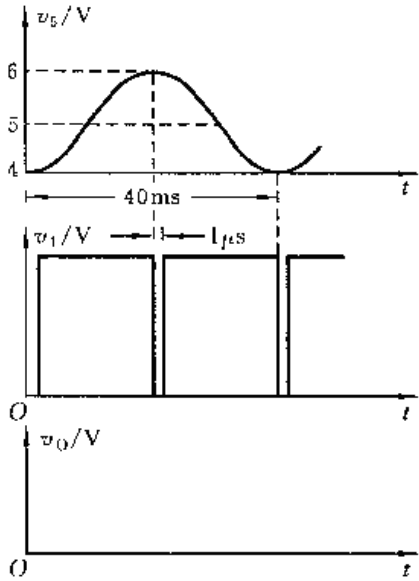


图 9-6 例题 5 波形图

**解** 电路的连接方式同单稳态电路十分相似，其不同之处是在电压控制端(⑤脚)加了一个变化的正弦信号  $v_s$ 。当触发输入端(②脚)负脉冲出现的时刻， $v_s$  的值不同，电路的阈值电压也发生相应变化。若要使电路的暂稳态结束，则电容上的充电电压就应不同，即暂稳态的维持时间将发生变化。该电路是由 555 定时器构成的脉冲宽度调制电路。它与 555 构成的单稳电路结构相似，但是，在控制电压端(5 脚)施加了一个变化电压  $v_s$ ，当控制电压升高时，电路的阈值电压也升高，输出脉冲宽度随之增加，反之亦然。例如，在触发输入端(②脚)加负脉冲触发，电路将进入暂稳态。在  $t=0$  时刻， $v_s=4V$ 。所以，电容上必须充电至  $4V$ ，暂稳态才结束。在  $t=t_1$  时刻， $v_s=6V$ ，即电路的阈值电压变为  $6V$ ，电容必须充电至  $6V$ ，暂稳态才结束。显然，两次触发所产生的脉冲宽度不一样。依据三要素法，可以估算输出脉

冲宽度。

$$t_{w1} = RC \ln \frac{v_c(\infty) - v_c(0)}{v_c(\infty) - v_c(t_{w1})} = RC \ln \frac{12-0}{12-4} = 41ms$$

$$t_{w2} = RC \ln \frac{v_c(\infty) - v_c(0)}{v_c(\infty) - v_c(t_{w2})} = RC \ln \frac{12-0}{12-6} = 70ms$$

$v_0$  的输出波形如图 9-7 所示。

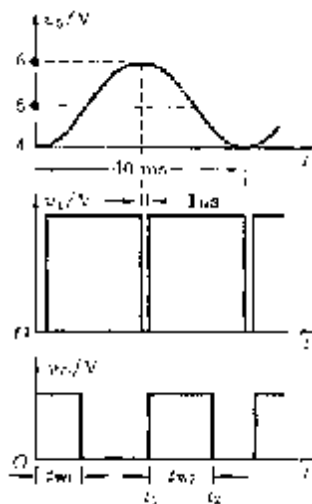
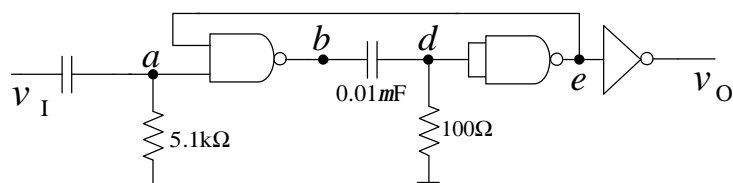


图 9-7 例题 5 输入输出波形图

## 四、习题解答

9-1 题 9-1 图所示为 TTL 与非门构成的微分型单稳态电路，试画出在输入信号  $v_i$  作用下， $a$ 、 $b$ 、 $d$ 、 $e$ 、 $v_o$  各点波形，求输出  $v_o$  的脉冲宽度。



题 9-1 图

**解：**在输入信号  $v_i$  作用下， $a$ 、 $b$ 、 $d$ 、 $e$ 、 $v_o$  各点波形如图 9-8 所示。



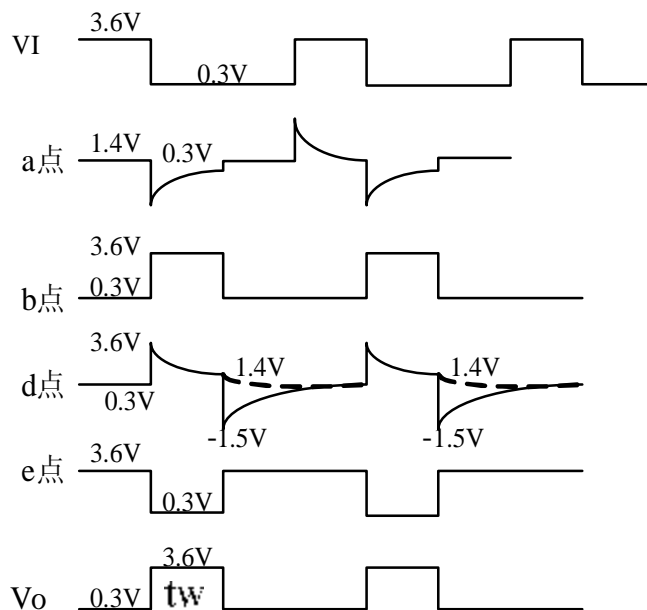
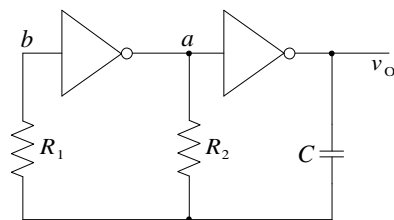


图 9-8 题 9-1 波形图

脉宽  $t_w = 0.7(R_0 + R)C = (100 + 100) \times 0.01 \times 10^{-3} s = 2 \times 10^{-3} s$

9-2 题 9-2 图所示为 CMOS 反相器构成的多谐振荡器，试分析其工作原理，画出  $a$ 、 $b$  点及  $v_o$  的工作波形，写出振荡周期的公式。



题 9-2 图

**解：**题 9-2 图中电路是教材中 CMOS 型多谐振荡器的改进电路，阈值电压  $V_T$  不同，振荡频率会改变，C 两端电压峰值变为  $2V_{DD}$ ，从而大大减小了由于阈值电压  $V_T$  的离散性导致振荡频率的变化。R1 接入后还保护了 CMOS 门输入二极管。 $a$ 、 $b$  点及  $v_o$  的工作波形如图 9-9 所示。

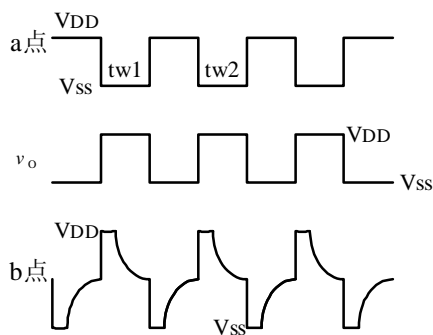


图 9-9 题 9-2 波形图

振荡周期计算 令  $R_1 = 10R_2$ ，有

$$t_{w1} = R_2 C \ln \frac{V_{DD} + V_T}{V_T}, \quad t_{w2} = R_2 C \ln \frac{2V_{DD} - V_T}{V_{DD} - V_T}, \quad T = t_{w1} + t_{w2}$$

若  $V_T = \frac{1}{2}V_{DD}$ ，则  $T = RC \ln 9 \approx 2.2RC$ 。

9-3 利用图 9-13 所示的集成单稳态触发器，要得到输出脉冲宽度等于 3ms 的脉冲，外接电容  $C$  应为多少？（假定内部电阻  $R_{int}$  ( $2k\Omega$ ) 为微分电阻。）

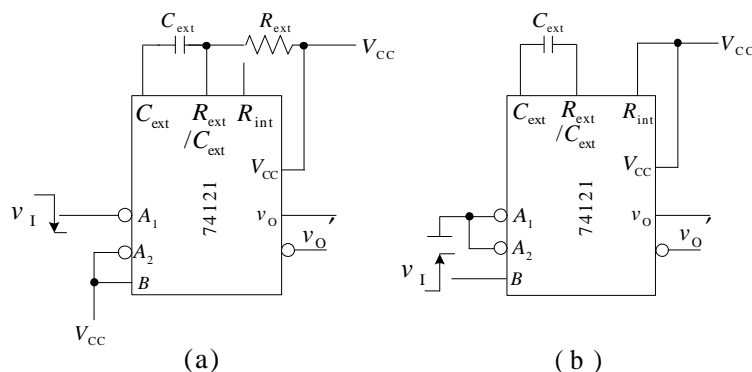
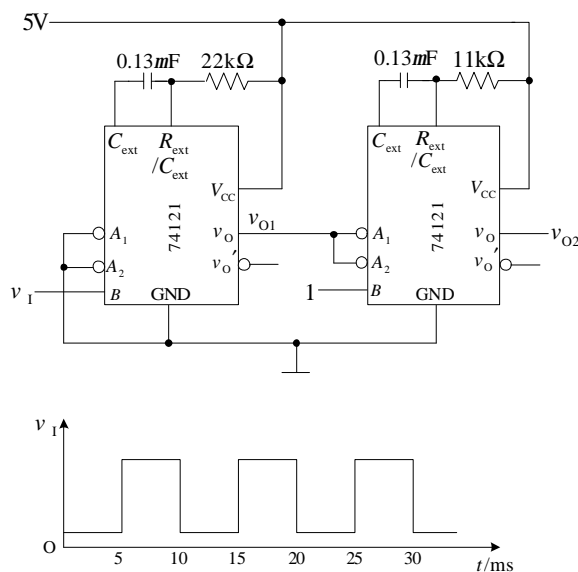


图 9-13 集成单稳态触发器 74121 的框图和使用方法

解：因为  $t_w = 0.7R_{int}C$ ，所以  $C = \frac{t_w}{0.7R_{int}} = \frac{3 \times 10^{-3}}{0.7 \times 2 \times 10^3} \mu F = 2.14 \mu F$

9-4 题 9-4 图是用两个集成单稳态触发器 74121 组成的脉冲变换电路，外接电阻和外接电容的参数如图所示。试计算在输入触发信号  $v_I$  作用下  $v_{O1}$ 、 $v_{O2}$  输出脉冲的宽度，并画出与  $v_I$  波形相对应的  $v_{O1}$ 、 $v_{O2}$  的电压波形。 $v_I$  的波形如图中所示。



题 9-4 图

解：由  $t_w \approx 0.69RC$

$$t_{w1} = 0.69 \times 22 \times 10^3 \times 0.13 \times 10^{-6} s \approx 2ms$$

$$t_{w2} = 0.69 \times 11 \times 10^3 \times 0.13 \times 10^{-6} s \approx 1ms$$

$v_{O1}$ 、 $v_{O2}$  的电压波形如图 9-10 所示。

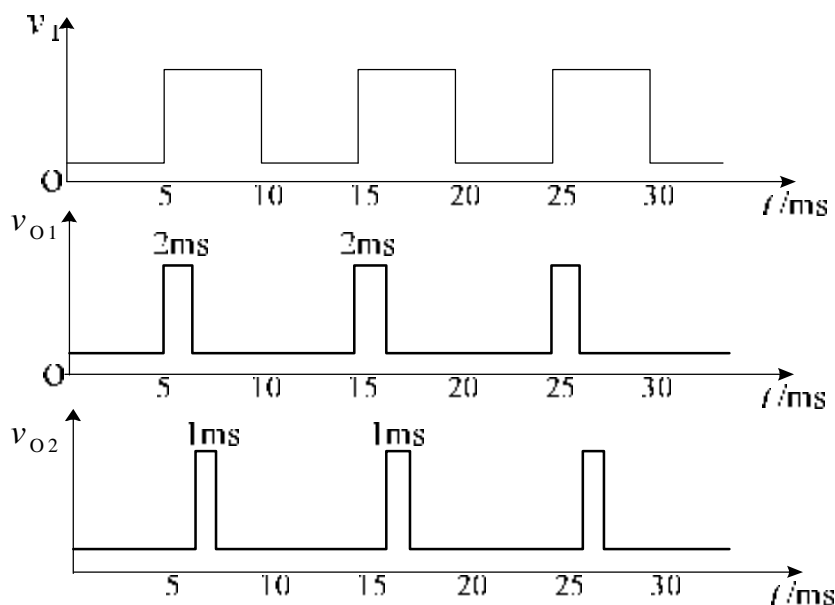


图 9-10 题 9-4 波形图

9-5 在使用图 9-25 所示的单稳态电路时，对输入脉冲的宽度有无限制？当输入脉冲的低电平持续时间过长时，电路应作何修改？

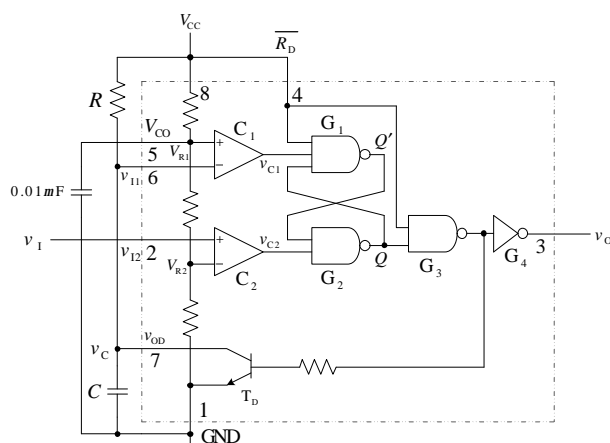


图 9-25 用 555 定时器构成单稳态触发器

解：由于输入脉冲是从 555 的第二脚输入，第二脚应为窄负脉冲做触发脉冲，其负脉冲宽度应小于电容充电电路的时间常数  $RC$ 。

当输入脉冲的低电平持续时间过长时，则应在第二脚输入之前增加一个负脉冲微分电路，是输入脉冲的过宽的低电平持续变成负尖脉冲，如图 9-11 所示。

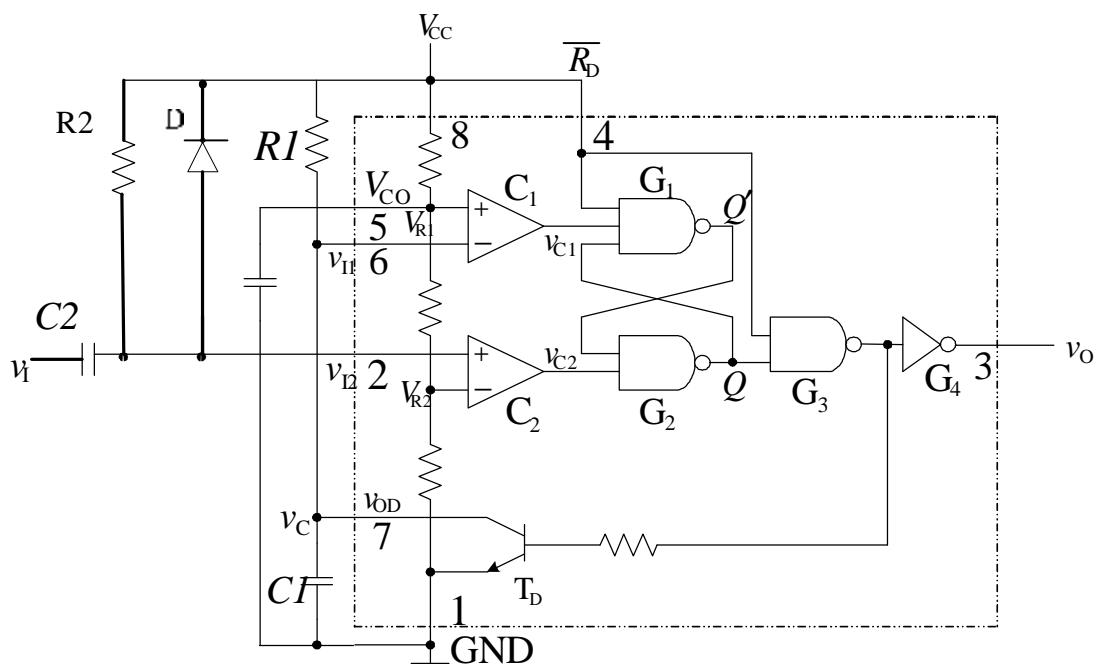


图 9-11 题 9-5 逻辑电路图

图 9-11 中  $R_2, C_2$  构成微分电路,  $D$  为削波二极管。在  $V_I$  为  $V_{CC}$  时,  $C_2$  上无电压,  $D$  截止。当  $V_I$  出现负跳变 (由  $V_{CC}$  变为 0 时), 因  $C_2$  上电压不能突变, 此时 555 的第二脚出现负跳变, 当  $RC$  远小于  $t_w$  时,  $C_2$  很快充满电, 这时 555 的第二脚加的就是窄脉冲。当  $V_I$  由 0 回到  $V_{CC}$  时, 电容  $C_2$  电压仍会瞬间维持  $V_{CC}$ , 这时若无  $D$ , 则第二脚会有  $2V_{CC}$  高压。当有  $D$  后,  $D$  导通, 是第二脚电压约为  $V_{CC}$ 。

9-6 试用 555 定时器设计一个单稳态触发器, 要求输出脉冲宽度在 1~10 秒的范围内可手动调节。给定 555 定时器的电源为 15V。触发信号来自 TTL 电路, 高低电平分别为 3.4V 和 0.1V。

解: 暂稳态的持续时间主要取决于外接电阻  $R$  和电容  $C$ 。输出脉冲的宽度  $t_w$  为

$$t_w = RC \ln \frac{V_{CC}}{V_{CC} - \frac{2}{3}V_{CC}} = 1.1RC$$

要求输出脉冲宽度在 1~10 秒的范围内可手动调节, 设电容  $C = 100\text{mF}$ , 电阻变化从  $R = 9.1\text{k}\Omega$  到  $R = 91\text{k}\Omega$  之间, 即可使输出脉冲宽度在 1~10 秒的范围内调节。

9-7 在图 9-27 用 555 定时器组成的多谐振荡器电路中, 如果  $R_1 = R_2 = 5.1\text{k}\Omega$ ,  $C = 0.01\text{mF}$ ,  $V_{CC} = 12\text{V}$ , 试计算电路的振荡频率。

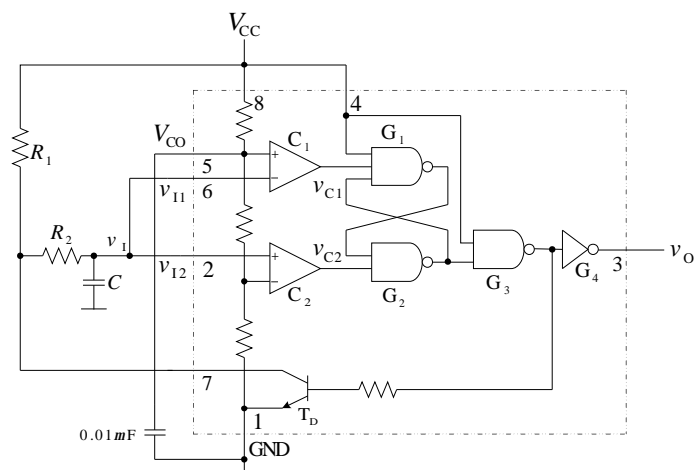


图 9-27 用 555 定时器构成多谐振荡器

解:  $T = t_{w1} + t_{w2} = 0.7(R_1 + 2R_2)C$

$$f = 1/T = \frac{1}{0.7(R_1 + 2R_2)C} = \frac{1}{0.7(5.1 + 2 \times 5.1) \times 0.01 \times 10^{-3}} \approx 9337 \text{ Hz}$$

9-8 用 555 定时器构成的施密特触发器电路如图 9-23 所示, 试问:

- (1) 当  $V_{CC} = 12\text{V}$ , 且没有外接控制电压时,  $V_{T+}$ 、 $V_{T-}$  及  $\Delta V_T$  各为多少伏?
- (2) 当  $V_{CC} = 9\text{V}$ , 控制电压  $V_{CO} = 5\text{V}$  时,  $V_{T+}$ 、 $V_{T-}$  及  $\Delta V_T$  各为多少伏?

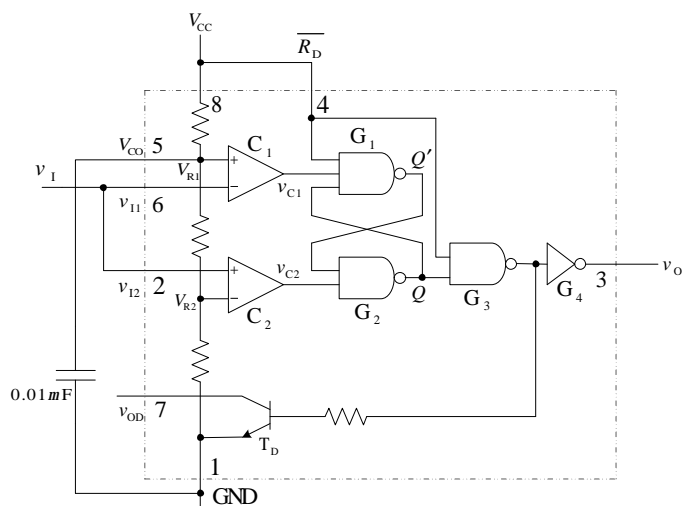


图 9-23 用 555 定时器构成施密特触发器

解: (1) 当  $V_{CC} = 12\text{V}$  且没有外接控制电压时,

则  $V_{T+} = \frac{2}{3}V_{CC} = 8\text{V}$ ,  $V_{T-} = \frac{1}{3}V_{CC} = 4\text{V}$ ,

$$\Delta V_T = \frac{1}{3} V_{CC} = 4V$$

(2) 当  $V_{CC} = 9V$ ，控制电压  $V_{CO} = 5V$  时，

则  $V_{T+} = v_{co} = 5V$ ， $V_{T-} = 2.5V$ ，

$$\Delta V_T = V_{T+} - V_{T-} = 2.5V$$

9-9 试用 555 定时器设计一个多谐振荡器，要求输出脉冲的振荡频率为 20kHz，占空比为 75%。

解：由公式  $q = \frac{t_{w1}}{T} = \frac{R_1 + R_2}{R_1 + 2R_2}$ ，已知  $q = 75\%$ ，则有  $R_1 = 2R_2$

又由  $T = t_{w1} + t_{w2} = 0.7(R_1 + 2R_2)C$

而  $f = 20kHz$ ， $T = 1/(20 \times 10^3)s$

则  $1/(20 \times 10^3) = 0.7(R_1 + 2R_2)C$

得  $R_2 C = 1.79 \times 10^{-5} s$

若取  $R_2 = 1k\Omega$ ， $R_1 = 2k\Omega$

则  $C = 1.79 \times 10^{-8} F \approx 0.018\mu F$

## 第十章 数模和模数转换器

### 一、知识点解析

#### 1. 数模转换器（DAC）基本概念及基本转换原理

##### (1) 基本概念

模拟量、数字量、LSB 与 FSR、精度、分辨率、转换误差、转换速度等。

##### (2) 基本转换原理

基本原理：数模转换是首先产生与输入数字量各位权值成正比的电流，然后通过求和放大器求和转换为模拟电压，从而实现数模转换。

基本组成：一般由数码寄存器、模拟电子开关、位权网络、求和运算放大器以及基准电压源组成。

工作过程：输入的数字信息首先存入数码寄存器，由寄存器的输出控制相应的模拟开关通断，进而控制位权网络，产生与该位的权值成比例的电流。最后通过集成运算放大器将所有的电流求和转换，得到转换后的模拟电压输出。

## 2. 常见 DAC 转换方案及计算公式

DAC 转换方案很多，按照其位权网络的不用，可分为：权电阻 DAC、权电流 DAC、权电容 DAC、BCD 码 DAC、T 型电阻网络 DAC、例 T 形电阻网络 DAC 和树状开关 DAC 等。其中在集成 D / A 中应用较多的是 T 型电阻网络和倒 T 型电阻网络两种结构，且倒 T 形电阻网络应用最为广泛。

### (1) 权电阻 DAC 计算公式

$$y_0 = -\frac{V_{REF}}{2} \sum_{i=0}^{n-1} D_i \cdot 2^i$$

式中  $V_{REF}$  为基准参考电压， $n$  为数字量位数。

权电阻 DAC 的优点是所用的电阻数量少，缺点是各权电阻的阻值都不相同。位数多时，其阻值相差较大。因此，权电阻 DAC 转换精度较低，集成困难。

### (2) 倒 T 型电阻 DAC 计算公式：

$$y_0 = -\frac{V_{REF}}{2^n} \sum_{i=0}^{n-1} D_i \cdot 2^i$$

倒 T 型电阻网络 D / A 转换器中，各支路电流直接流入运算放大器的输入端，它们之间不存在传输上的时间差，这不仅提高了转换速度，也减小了动态过程中输出端可能出现的尖脉冲。

## 3. 模数转换器(ADC)的基本工作原理

将连续模拟信号转换成离散的数字信号，通常要经过取样、保持、量化和编码四个过程。

### (1) 取样

取样是把模拟输入电压按一定的时间间隔抽取样值，取样一般由取样器来完成。取样脉冲的频率  $f_s$  应满足取样定理。

$$f_s \geq (2.5 : 3) \cdot f_{imax}$$

式中， $f_{imax}$  为输入模拟信号的最高有效频率。

## (2)保持

保持电路是维持取样点的电压不变，给量化电路提供一个稳定的电压，以保证转换精确性的电路。

## (3)量化

保持电路输出的模拟电压，用一个量比单位  $\Delta$  去测量并取其整数，这就是量化过程。在量化过程中，取样电压不一定能被量化单位整除，因此，量化时会产生量化误差。量化误差是实际存在的，且不可能消除。有只舍不入量化方式和有舍有入量化方式。采用只舍不入量化方式时，量化误差  $e_{\max} \approx \Delta$ 。采用有舍有入量化方式时，量化误差有正有负，其量化误差绝对值为  $|e_{\max}| \approx \frac{\Delta}{2}$ 。

## (4)编码

把量化的结果转换为二进制码表示称为编码。把模拟信号采样值转换为二进制数字量的过程就是量化和编码的过程。

# 4. 常见 ADC 转换方案、转换原理及特性

ADC 转换方案很多，按工作原理可分为直接 ADC 和间接 ADC 两类。直接 ADC 可以直接将模拟电压信号转换成二进制代码输出。其典型电路有并行比较型 ADC 和逐次逼近型 ADC，它们的特点是转换速度较快。间接 ADC 则是将模拟电压信号转换成一个中间量（例如时间、频率等），然后再将中间量转换成二进制代码输出。其典型电路有双积分型 ADC、电压频率转换型 ADC 等。它们的特点是转换速度较慢，但其精度较高。

## (1)并行 ADC

转换原理：将参考电压分成  $2^n$  层作为基准电压，把输入信号  $v_i$  同时与这些基准电压进行比较，确定输入信号的幅度属于哪一个量化层。然后通过编码器产生与输入电压相对应的二进制代码输出。

特性：并行 ADC 的转换时间只受比较器、触发器和编码器电路的延迟时间影响，其速度很快。但随着输出位数的增加，其内部元器件数目以几何级数增加，造成制作成本高，电路功耗大，制作难度大，并且其转换精度也较低。因而，其适用于要求快速、低精度的应用场合。

## (2)逐次逼近型 ADC

转换原理：逐次逼近型 ADC 通过对输入模拟电压和逐次逼近的基准电压的不断比较，最后得到比较准确的转换结果。



特性：逐次逼近型 ADC 精度高，速度比较快，完成一次逐位比较型 A / D 转换需要  $(n+1) T_{cp}$ ， $T_{cp}$  为时钟周期。易于与微处理器接口连接，是目前商品化最高的一类 ADC。

### (3) 双积分型 ADC

转换原理：双积分 ADC 又称双斜率 ADC，它是一种间接 ADC。其基本原理是首先在固定的时间内对输入的模拟电压进行积分。然后将积分电压转换为积分时间，通过利用计数器在这段积分时间内计数，计数结果就是要得到的数字量。

特性：双积分 ADC 的转换误差与积分常数 RC 无关。采用积分器使其具有很强的抗干扰能力，特别当固定积分时间是市电周期的整数倍时，电力电源产生的干扰对它的影响很小，所以这种转换器的精度很高。其缺点是转换速度低，转换时间长且不固定。双积分 ADC 主要用在精度要求很高，而速度要求不高的场合。

## 二、重点及难点

### 重点

1. 数 / 模转换的原理。常见的 DAC 类型。
2. R-2R 倒 T 形电阻网络 DAC 结构及工作原理、输出电压表达式。
3. DAC 的转换精度与转换速度。
4. 模 / 数转换的原理(模 / 数转换的输入电压是经取样保持后的电压，取样频率的选择，量化的方法与量化误差，编码)，常见的 ADC 类型。
5. 并联比较型 ADC，逐次逼近型 ADC，双积分型 ADC 在结构、工作原理上的区别、转换精度、转换速度及使用场合。
6. ADC 的转换精度与转换速度。

### 难点

1. 双极性输出 DAC 电路连接方法、输出量程的改变与应用。
2. 双极性输入 ADC (单极性与双极性的兼容问题)。

## 三、典型题解

**例题 1** 何谓量化、量化值、量化单位及量化误差？

**解** 由于任何一个数字量的大小只能是某个最小数量单位的整数倍，因此用数字量表示取样

电压值时,先要把取样电压化为这个最小单位的整数倍,这一转换过程称为量化。最小单位称为量化单位。量化值为最小单位的整数倍的数值。由于量化过程中四舍五入的结果,造成实际输入电压值与量化值之间的偏差称为量化误差。

**例题 2** 通常 A / D 转换有哪几种方法?各自特点是什么?它们各自完成一次转换的时间与哪些因素有关?

解 通常 A / D 转换有并行比较型 ADC、逐次逼近型 ADC、双积分型 ADC 等。并行比较型 ADC 的输入电压信号是同时送到各比较器的输入端,其转换时间只受比较器、触发器和编码器电路的延迟时间影响,所以,其速度很快。但是随着输出位数的增加,其内部元件数目以几何级数增加。所以,位数越多,电路越复杂,其制作成本越高,电路功耗越大,制作难度也越大。

逐次逼近型 ADC 是另一种直接 ADC。它也产生一系列比较电压,与并行比较型 ADC 不同,它是逐个产生比较电压,逐次与输入电压分别比较,以逐渐逼近的方式进行 A / D 转换的。完成一次转换需要  $(n+1)T_{\phi}$  的时间。逐次逼近型 ADC 兼顾转换速度与转换精度均较高的特点,易于与微处理器接口连接,是目前用得较多的一种类型模/数转换器。

双积分 ADC 的转换误差与积分常数 RC 无关。采用积分器使其具有很强的抗干扰能力,特别当固定积分时间是市电周期的整数倍时,电力电源产生的干扰对它的影响很小,所以这种转换器的精度很高。此外,若计数器采用 BCD 码计数器,很容易实现模拟量到 BCD 码的转换。它的缺点是转换速度低,转换时间长且不固定。双积分 ADC 主要用在精度要求很高,而速度要求不高的场合。

**例题 3** 设 DAC 满度输出电压为 14V,试对应输入时钟脉冲画出输出电压  $v_o$  的波形(设模 8 计数器由 D 触发器构成),电路框图如图 10-1 所示。

解 模 8 计数器的每一个工作状态就是 DAC 的输入数字量,相应有一个模拟电压输出。已知  $v_{0\max} = 14V$ , 所以,最小输出电压增量为

$$\Delta V = \frac{v_{0\max}}{2^n - 1} = \frac{14}{2^3 - 1} = 2V$$

数字量每增加 1 个单位,模拟量增加 2V,由此可画出  $v_o$  的波形如图 10-2 所示。

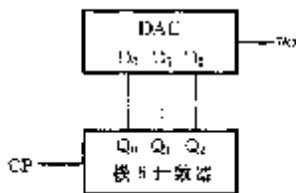


图 10-1 例题 3 电路框图

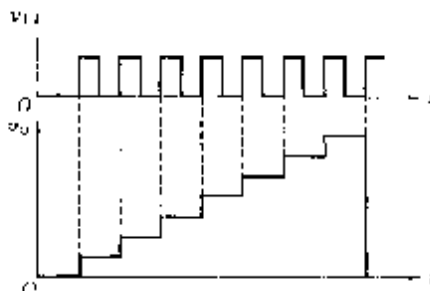


图 10-2 例题 3 输出波形图

**例题 4** 分别求出 DAC0801(8 位 DAC)、AD7520(10 位 DAC)及 DAC725(16 位 DAC)的分辨率。若设满度电压为 10V, 求输入最低位(LSB) $D_0$ 时所对应的输出电压增量  $V_{LSB}$ 。

解 由分辨率定义: 分辨率  $= \frac{1}{2^n - 1}$ , ( $n$  为位数)得

$$\text{DAC0801 分辨率: } \frac{1}{2^8 - 1} \approx 0.4\%, \quad V_{LSB} = 10 \times 0.4\% = 40\text{mV}$$

$$\text{DA7520 分辨率: } \frac{1}{2^{10} - 1} \approx 0.1\%, \quad V_{LSB} = 10 \times 0.1\% = 10\text{mV}$$

$$\text{DAC725 分辨率: } \frac{1}{2^{16} - 1} \approx 0.0015\%, \quad V_{LSB} = 10 \times 0.0015\% = 0.15\text{mV}$$

DAC 的精度与分辨率是两个不同的概念, 不能说 DAC725 的分辨率远高于 DAC0801(前者最小分辨电压为 0.15mV, 而后者却为 40mV), 就说前者的精度远高于后者。DAC 的精度是由电路实际输出电压与理论值之间的误差来决定的, 误差越小, 精度越高。它与 DAC 中所有元器件参数的精度(如权电阻的阻值精度)、稳定性以及实际工作环境(如温度)等因素有关。所以, 选择了分辨率参数之后, 还应该考虑选择合适精度指标。分辨率越高( $n$  越大), 电路要采取屏蔽措施、温度控制措施及电源稳定措施, 以保证电路稳定性, 同时选择的精度也应控制在  $\frac{1}{2}V_{LSB}$  以内。

## 四、习题解答

10-1 D / A 转换电路  $n=8$ , 基准电压  $V_{REF}=5\text{V}$ , 其最大输出电压约为多少。

解:  $v_o = -\frac{5R_F}{2^{8-1}R} \sum_{i=0}^7 D_i 2^i$ , 当  $D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0 = 11111111$  时,

$$\begin{aligned} v_{o\max} &= -\frac{5R_F}{128R} (2^0 + 2^1 + 2^2 + 2^3 + 2^4 + 2^5 + 2^6 + 2^7) \\ &= -\frac{1275R_F}{128R} \text{V} \end{aligned}$$

## 10-2 简述 A/D 转换的一般步骤。

解：A/D 转换一般包括采样，保持，量化，编码等四个部分。采样就是将连续的模拟信号转换成时间上离散幅值上连续的脉冲信号。A/D 转换器将模拟量转换为数字量期间，要求输入的模拟信号有一段稳定的保持时间，以便对模拟信号进行离散处理，即对输入的模拟信号进行采样。采样-保持后的信号幅值仍是连续的，只有将这些幅值转化成某个最小数量单位的整数倍，才能将其转换成相应的数字量，这个过程称为量化。量化后的幅值用一个数值代码与之对应，称为编码，这个数制代码就是 A/D 转换器输出的数字量。

## 10-3 列出 D/A 转换器的主要组成部分。

解：D/A 转换电路主要由数码寄存器、模拟电子开关、解码网络、求和电路及基准电压组成。

## 10-4 试比较逐次逼近型、并行比较型和双积分型 A/D 转换器的各自特点。

解：（1）逐次逼近型 A/D 转换器属于直接型 A/D 转换器，它能把输入的模拟电压直接转换为输出的数字代码，而不需要经过中间变量。电路结构简单，构思巧妙。但是，逐次逼近型 A/D 转换器的速度受比较器的速度、逻辑开销等因素的限制，分辨率在 14 位至 16 位。

（2）并行比较型 A/D 转换器转换时间可小到几十纳秒，使用时一般不需要保持电路。虽然具有高速和内部采样的优点，它的主要缺点是电路比较复杂，成本高。

（3）双积分型 A/D 转换器属于间接型 A/D 转换器，优点是工作性能比较稳定，抗干扰能力强，电路的结构也比较简单，另外，A/D 转换器中的积分器对平均值为零的各种噪声有很强的抑制能力。主要缺点是工作速度较低，其转换速度一般在每秒几十次之内。

## 10-5 试比较权电阻网络、R-2R 电阻网络、权电流型以及集成 D/A 转换电路的各自特点。

解：（1）权电阻网络 D/A 转换器的电路结构简单，但各权电阻的阻值都不相同，难以批量生产。另一方面，权电阻网络 D/A 的精度取决于权电阻精度和基准电源精度。由于阻值范围太宽，很难保证每个电阻均有很高精度，因此在集成 D/A 转换器中很少单独使用该电路。

（2）R-2R 型电阻网络是 D/A 转换器中工作速度较快、应用较多的一种。与权

电阻网络 D/A 转换器相比, 仅有  $R$  和  $2R$  两种规格的电阻, 从而克服了权电阻阻值多, 且阻值差别大的缺点, 利于批量生产; 另一方面, 各支路的电流直接加到运算放大器的输入端, 之间不存在传输上的时间差, 故该电路具有较高的工作速度。

(3) 权电流型 D/A 转换电路是将恒流源切换到电阻网络中, 恒流源内阻极大, 相当于开路, 所以连同电子开关在内, 对它的转换精度影响都比较小, 又因电子开关大多采用非饱和型的 ECL 开关电路, 因此, 使用这种 D/A 转换电路可以实现高速转换, 转换精度较高。

(4) 集成 D/A 转换电路内部已包含了反馈电阻  $R_F$ 。一般都不包含运算放大器, 使用时需要外接。

10-6 电路如图 10-16 所示, 已知  $R_F = 4R$ , 基准电压  $V_{REF} = 5V$ , 输入数字量由两位二进制加法器提供, 画出 D/A 转换器的输出电压  $v_o$  相应的输出波形。

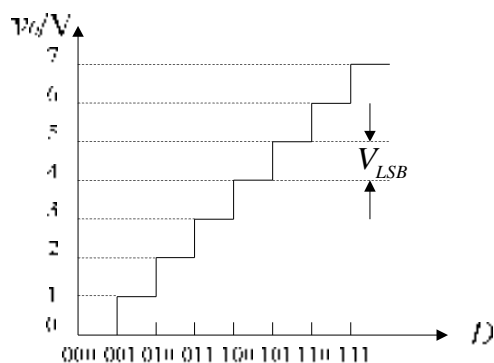
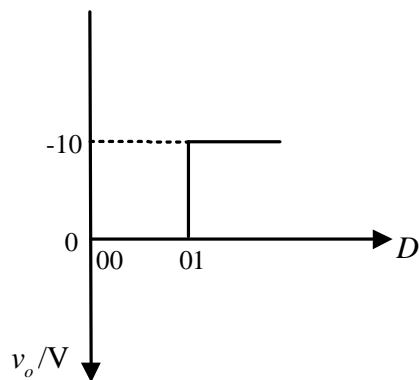


图 10-16 3 位 D/A 转换器的转换特性示意图

解:

$$\begin{aligned} v_o &= -\frac{5 \times 4}{2^{2-1}} \sum_{i=0}^{2-1} D_i 2^i \\ &= -10(D_0 + 2D_1) \end{aligned}$$

两位二进制加法器从 00~01 共有两种输出状态, 即提供的输入数字量共有两组, 当  $D_1D_0=00$  时,  $v_o=0V$ 。当  $D_1D_0=01$  时,  $v_o=-10V$ 。



10-7 电路如图 10-18 所示，已知  $V_{REF} = -5V$ ， $d_3d_2d_1d_0 = 0111$ ， $R_f = 10K$ ，其余电阻  $R$  的值均为  $10K$ 。求输出电压。

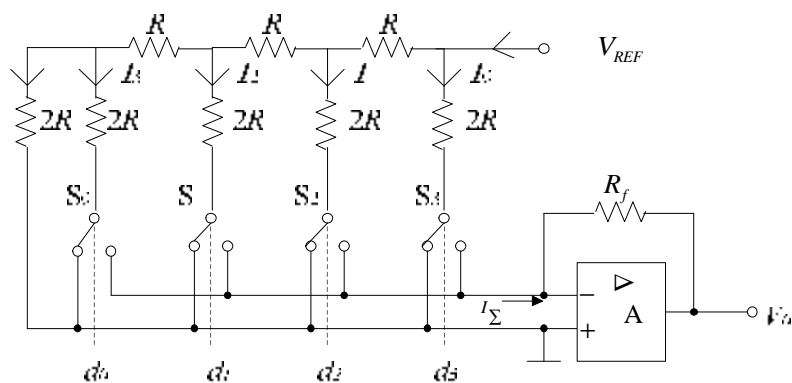


图 10-16 3 位 D/A 转换器的转换特性示意图

解：

$$v_o = \frac{5 \times 10}{16 \times 10} (1 \times 0 + 2 \times 1 + 4 \times 1 + 8 \times 1) \\ = 4.375V$$

10-8 在并行比较型 ADC 中， $V_{REF} = 7V$ ，试问电路的最小量化单元  $\Delta$  等于多少？

当  $v_i = 2.4V$  时输出数字量  $D_2D_1D_0$  为多少？

$$\text{解：} \Delta = \frac{1}{15} V_{REF} = \frac{7}{15} V$$

当  $v_i = 2.4V$  时， $5V_{REF}/15 \leq v_i \leq 7V_{REF}/15$ ， $D_2D_1D_0 = 011$ 。

10-9 已知某 D/A 转换器满刻度输出电压为  $10V$ ，试问要求  $1mV$  的最小分辨电压，其输入数字量的位数  $n$  至少为多少？

解:  $\frac{V_{LSB}}{V_{FSR}} = \frac{1}{2^n - 1} = \frac{1}{10000} \quad n=14$

10-10 D/A 转换器的主要技术指标有哪些?

解 分辨率: D/A 转换器输出的最小分辨电压与满刻度输出电压的比值。

转换精度: 在 D/A 转换器中, 一般用转换误差来描述转换精度。

转换时间: D/A 转换器在输入数字信号开始转换, 到输出的模拟电压达到稳定值所需的时间。

温度系数: 指在输入不变的情况下, 输出模拟电压随温度变化产生的变化量。一般用满刻度输出条件下温度每升高  $1^{\circ}\text{C}$ , 输出电压变化的百分数作为温度系数。

## 部分高校历年研究生入学试题及答案

















## 参考文献