

# 实验报告（二）

实验名称：译码器和编码器

姓名：常书浩

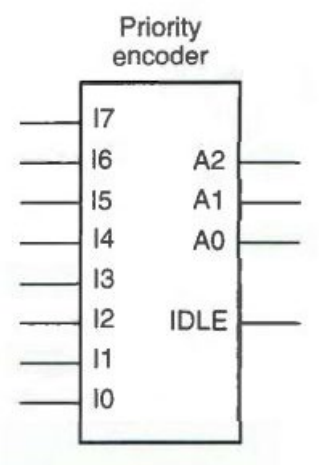
学号：201220130

# 1 实验目的

- 掌握译码器和编码器的原理
- 完成一个 8-3 优先编码器及七段数码管显示的设计
- Verilog 语言中 for 循环的使用

# 2 实验原理

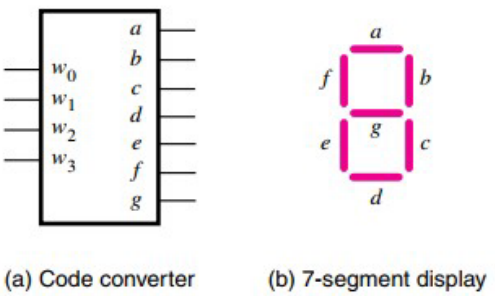
## 2.1 优先编码器



I7	I6	I5	I4	I3	I2	I1	I0	A2	A1	A0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	x	0	0	1
0	0	0	0	0	1	x	x	0	1	0
0	0	0	0	1	x	x	x	0	1	1
0	0	0	1	x	x	x	x	1	0	0
0	0	1	x	x	x	x	x	1	0	1
0	1	x	x	x	x	x	x	1	1	0
1	x	x	x	x	x	x	x	1	1	1

表 1: 8-3 优先编码器真值表

2.2 七段数码管



<i>w</i> <sub>3</sub>	<i>w</i> <sub>2</sub>	<i>w</i> <sub>1</sub>	<i>w</i> <sub>0</sub>	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1
1	0	1	0	1	1	1	0	1	1	1
1	0	1	1	0	0	1	1	1	1	1
1	1	0	0	1	0	0	1	1	1	0
1	1	0	1	0	1	1	1	1	0	1
1	1	1	0	1	0	0	1	1	1	1
1	1	1	1	1	0	0	0	1	1	1

(c) Truth table

3 实验环境

- 软件环境：Quartus 17.1 Lite

4 实验步骤

4.1 工程构建

使用 SystemBuilder 构建工程，需要的器件有 7-segment、LED、Switch

## 4.2 七段数码管

数码管真值表确定且情况相对较少，可以直接采取 case 实现

```
module bcd7seg(
    input  [3:0] b,
    output reg [6:0] h
);

//add your code here
always @(*) begin
    if(b[3] == 0)
        h = 7'b1111111;
    else begin
        case(b[2:0])
            0 : h = 7'b1000000;
            1 : h = 7'b1111001;
            2 : h = 7'b0100100;
            3 : h = 7'b0110000;
            4 : h = 7'b0011001;
            5 : h = 7'b0010010;
            6 : h = 7'b0000010;
            7 : h = 7'b1111000;
            default : h = 7'b1111111;
        endcase
    end
end
endmodule
```

## 4.3 优先级编码器

使用 for 循环实现优先级编码器，将 HEX0 作为默认的 7 段数码管，SW[2:0]表示二进制结果，SW[3]表示 valid 位

```
module exp02(
    /////////////// SW ///////////////
    input          [9:0] SW,

    /////////////// LED ///////////////
    output         [9:0] LEDR,

    /////////////// Seg7 ///////////////
    output         [6:0] HEX0,
    output         [6:0] HEX1,
    output         [6:0] HEX2,
    output         [6:0] HEX3,
    output         [6:0] HEX4,
    output         [6:0] HEX5
);

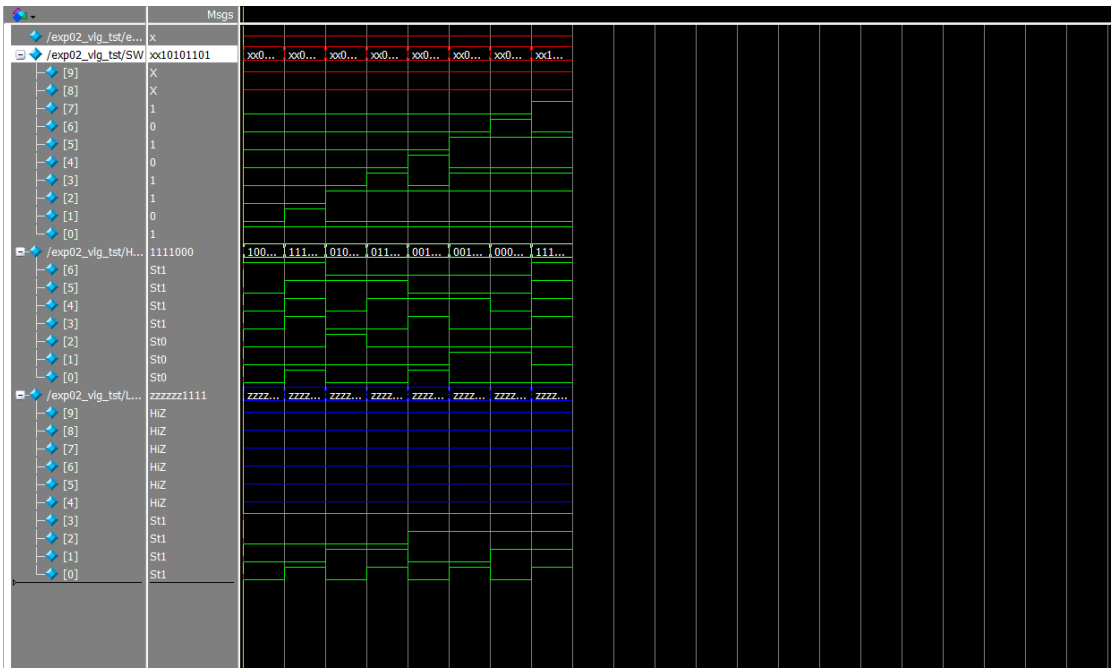
//=====
// REG/WIRE declarations
//=====

reg [2:0] o;
reg valid;
integer i;
bcd7seg b({valid,o}, HEX0);

always @ (SW) begin
    o = 0;
    for(i = 0; i <= 7; i = i + 1)
        if(SW[i] == 1)
            o = i;
    valid = |SW;
end

assign LEDR[2:0] = o;
assign LEDR[3] = valid;
```

4.4RTL 仿真



波形图符合要求