

实验报告（四）

实验名称： 加法器和 ALU

姓名： 常书浩

学号： 201220130

1 实验目的

- 学习计数器的设计和定时器的工作原理
- 实现一个 0-99 的计数器，并在 2 个 7 段数码管上显示

2 实验原理

开发板上的 50MHz 时钟可以通过 always 语句块转化为 1Hz 的频率从而实现计数器

3 实验环境

- 软件环境：Quartus 17.1 Lite

4 实验步骤

4.1 输入输出端口

根据题目要求，设计端口

输入：clk 为系统时钟（50MHz），en 为使能端，stop 为控制端，clear 为清空控制

输出：endone 为计数完成标志，seg0 为个位数数码管输出，seg1 为十位数数码管输出

```
input clk;
input en;
input stop;
input clear;
output reg endone;
output reg [6:0] seg0;
output reg [6:0] seg1;
```

4.2 实现 1Hz 频率时钟

根据讲义内容通过 always 语句块进行实现

```
always@(posedge clk)
    if(count_clk==25000000)
        begin
            count_clk<=0;
            clk_1s<=~clk_1s;
        end
    else
        count_clk<=count_clk+1;
```

其中 clk_1s 是所得到的 1Hz 时钟

4.3 计时器内容的实现

```
if(!en)
begin
    highBit=0;
    lowBit=0;
    counter=0;
    seg0=7'b1111111;
    seg1=7'b1111111;
end
else
begin
    endone=0;

    if(clear)
    begin
        highBit=0;
        lowBit=0;
        counter=0;
    end

    else if(stop)
    begin
        highBit=highBit;
        lowBit=lowBit;
        counter=counter;
    end

    else
    begin
        if(counter==99)
        begin
            counter=(counter+1)%100;
            endone=1;
        end
        else
        begin
            counter=(counter+1)%100;
            endone=0;
        end
    end

    if(counter<100)
    begin
        lowBit=counter%10;
        highBit=(counter-(counter%10))/10;
    end
    else
    begin
        lowBit=0;
        highBit=0;
    end

    case(highBit)
```

4.4 结果和数码管的连接

```
case(highBit)
0: seg1 = 7'b1000000;
1: seg1 = 7'b1111001;
2: seg1 = 7'b0100100;
3: seg1 = 7'b0110000;
4: seg1 = 7'b0011001;
5: seg1 = 7'b0010010;
6: seg1 = 7'b0000010;
7: seg1 = 7'b1111000;
8: seg1 = 7'b0000000;
9: seg1 = 7'b0010000;
endcase
case(lowBit)
0: seg0 = 7'b1000000;
1: seg0 = 7'b1111001;
2: seg0 = 7'b0100100;
3: seg0 = 7'b0110000;
4: seg0 = 7'b0011001;
5: seg0 = 7'b0010010;
6: seg0 = 7'b0000010;
7: seg0 = 7'b1111000;
8: seg0 = 7'b0000000;
9: seg0 = 7'b0010000;
endcase
```

4.5 仿真文件

```
begin
    clk=0;
    en=1;clear=0;stop=0;#5;
    en=1;clear=0;stop=1;#5;
    en=1;clear=1;stop=1;#5;
    en=0;clear=1;stop=1;#5;
end
always
begin
    #1 clk=~clk;
```