

实验三实验报告

姓名：常书浩 学号：201220130

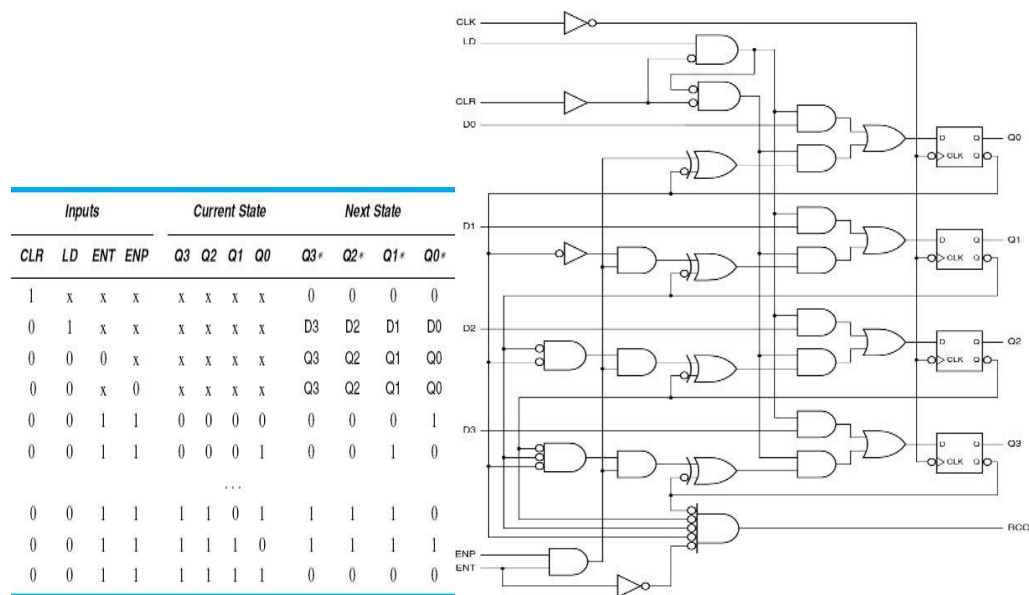
一、实验目的

- 1、掌握时序逻辑电路设计的基本方法；
- 2、学会利用锁存器和触发器构建计数器和移位寄存器的方法；
- 3、熟悉计数器和移位寄存器的应用；
- 4、掌握寄存器堆的设计方法；

二、实验内容

1. 根据 以下 所给出的功能表和电路原理图 构建 4 位同步二进制计数器 CNTR4U 子 电路，利用该子电路和少量门电路分别通过清零和置位端各设计一个 10 进制计数器。要求：清零计数从 0 到 9 循环，置位计数从 6 到 15 循环，将 4 位输出位通过分线器连接到一个十六进制数码管，RCO 输出端连接到一个 LED 指示灯（提示：当计数值为 1111 时，RCO 输出为 1

1). 电路原理图

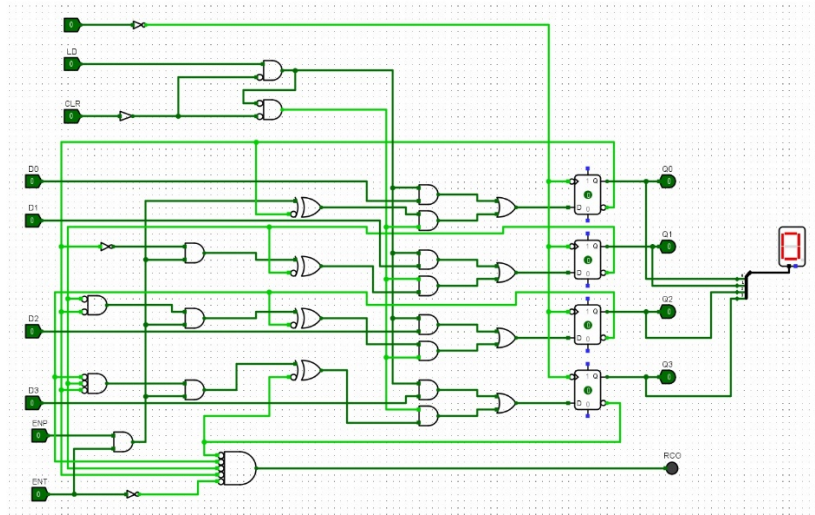


2). 子电路实验器材

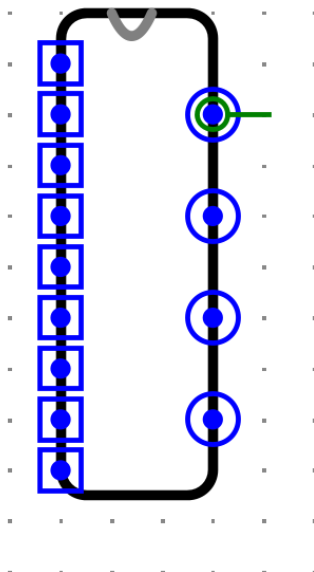
非门×3、2输入与门×15、2输入或门×4、3输入与门×1、5输入与门×1、异或门×4、缓冲器×1、D锁存器×4、分线器×1、16进制数码管×1、LED指示灯×1

3). 实验步骤

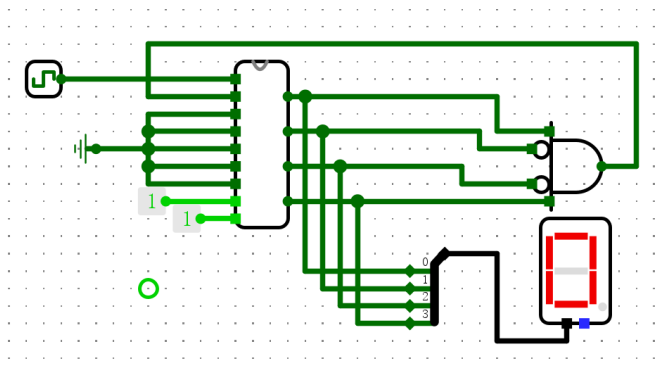
A . 子电路连接



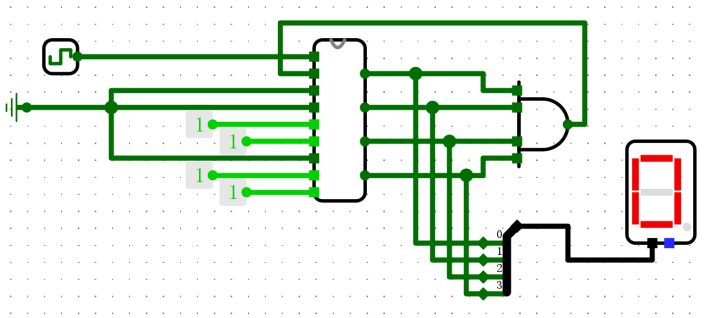
B . 封装电路



C . 清零电路



D. 置位电路



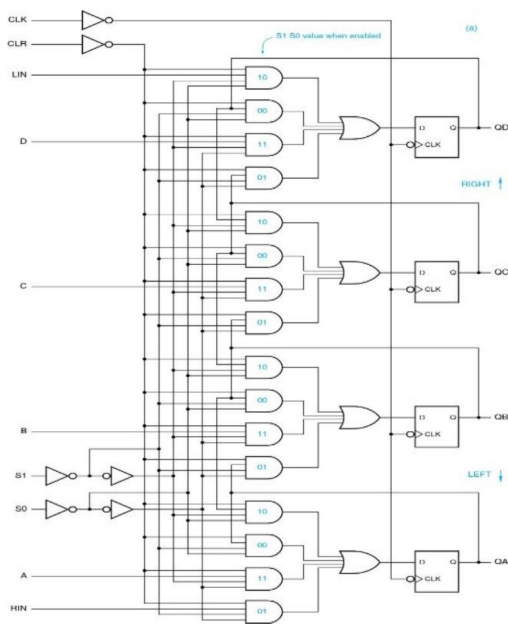
4). 仿真检测

置位从6到15循环，清零0到9循环

2. 根据以下所给出的功能表和电路原理图构建4位通用移位寄存器SHRG4U子电路。利用该SHRG4U子电路和少量门电路重复生成二进制序列“000100110101111”。实验时先装载初始数值（如0001），然后将电路设置为左移或右移模式，通过将SHRG4U的状态信号QD、QC、QB、QA作为反馈数字电路的输入信号，该电路输出信号再接入到左移输入端（LIN）或右移输入端（RIN），以生成所要求的二进制序列。测试时将QA、QB输出信号和时钟信号连接到数字示波器，画出观察到连续16个周期的波形。同时将4位输出信号通过分线器连接到一个十六进制数码管，写出输出的伪随机数。

1). 电路原理

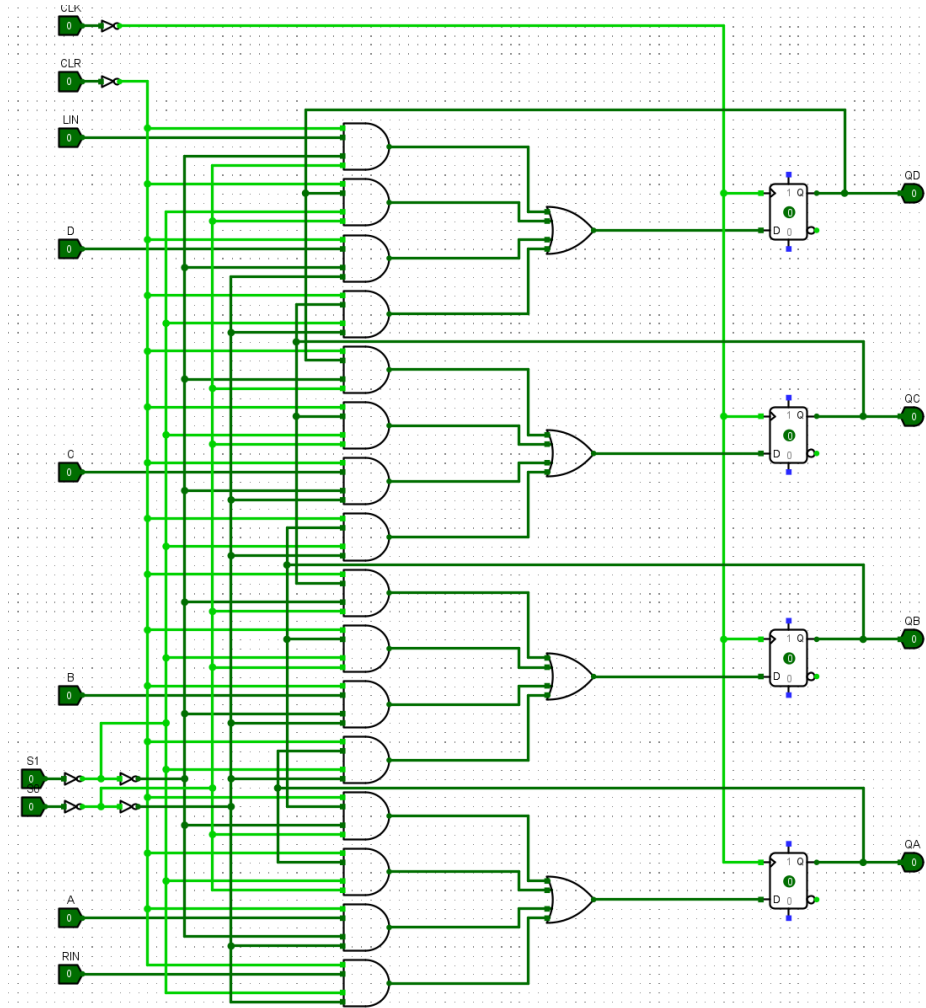
Function	Inputs			Next state			
	CLR	S1	S0	QA*	QB*	QC*	QD*
Clear	1	x	x	0	0	0	0
Hold	0	0	0	QA	QB	QC	QD
Shift right	0	0	1	RIN	QA	QB	QC
Shift left	0	1	0	QB	QC	QD	LIN
Load	0	1	1	A	B	C	D



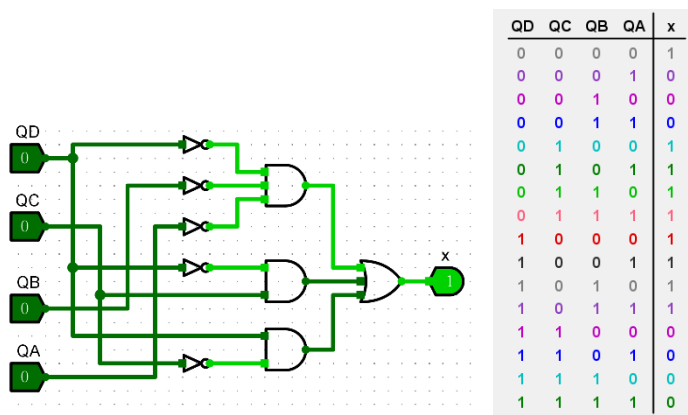
2). 子电路实验器材

10个1位输入引脚, 16个4输入与门, 4个4输入或门, 4个D触发器, 4个输出引脚
6个非门

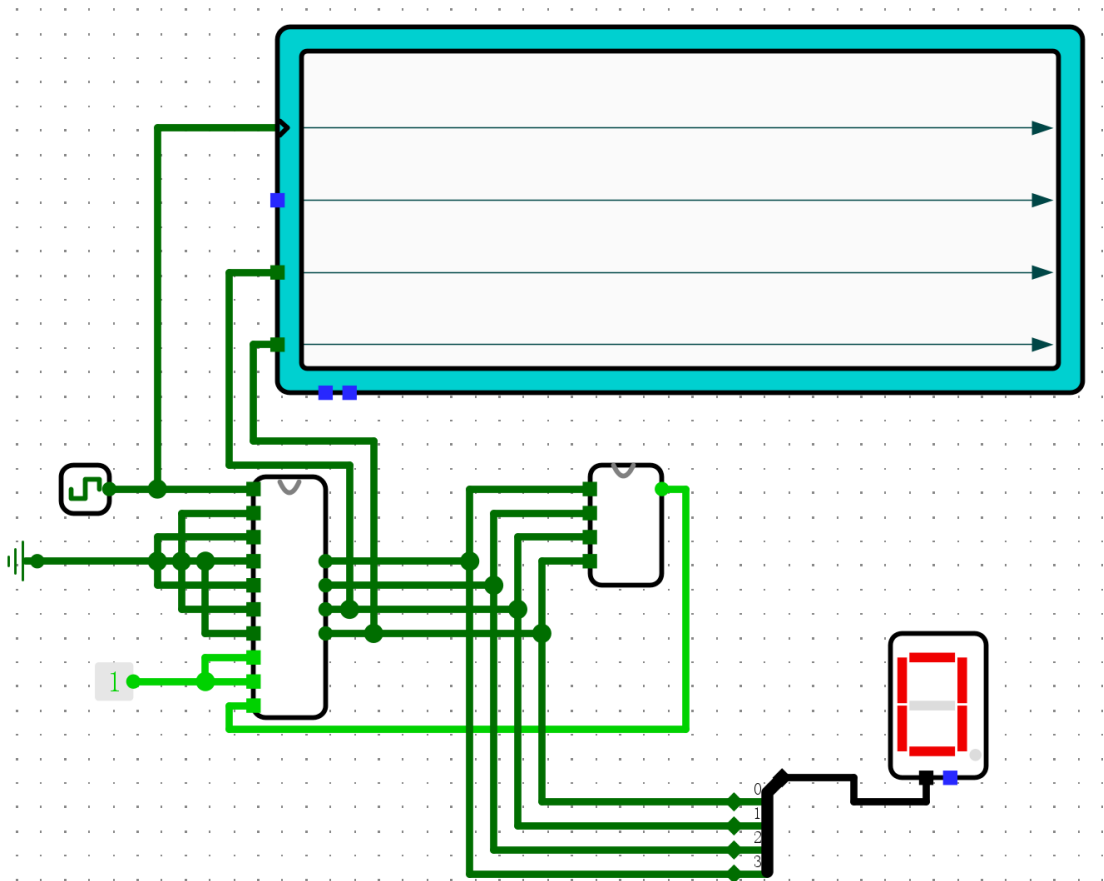
3). 连接子电路



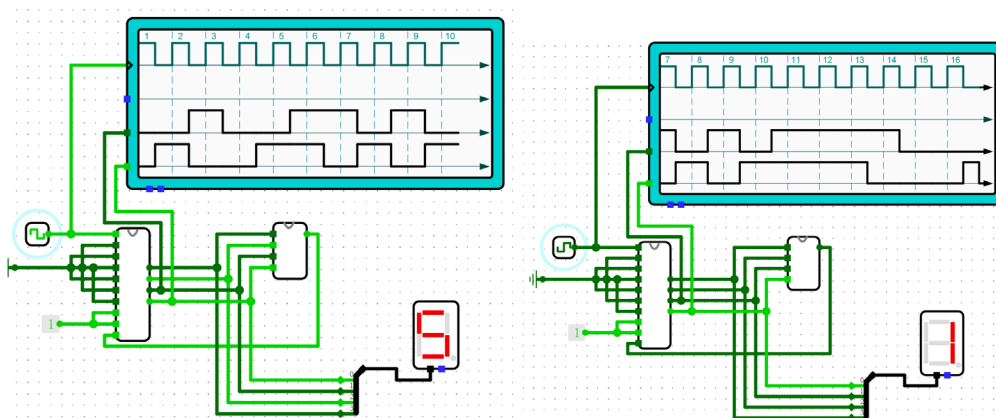
4). 根据题意设计反馈电路



5). 连接主电路

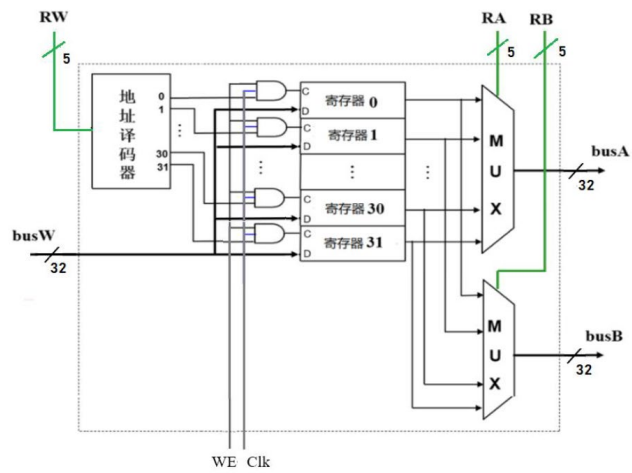


6). 仿真模拟检测



3. 根据 以下 寄存器堆的原理图及给出 的 引脚图， 构建 实现至少含有 8 个 32 位寄存器堆Regfile 的 读写电路 写入操作需有时钟信号控制，读取操作是组合电路 。

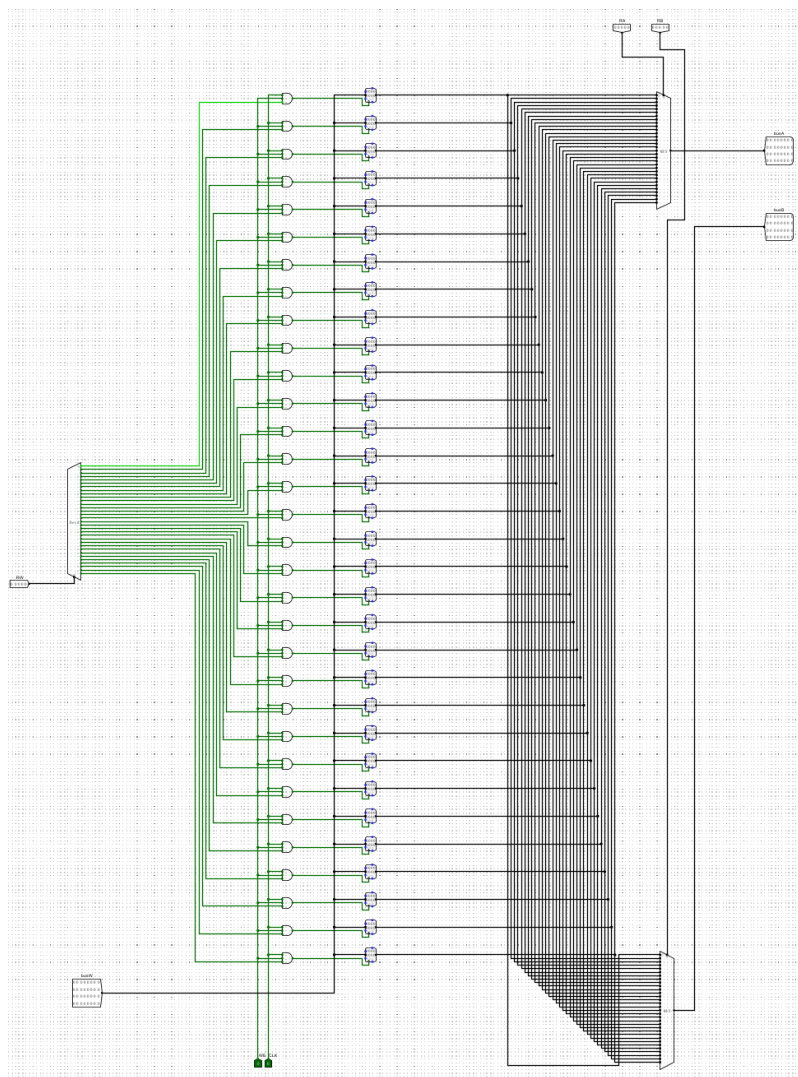
1). 电路原理图



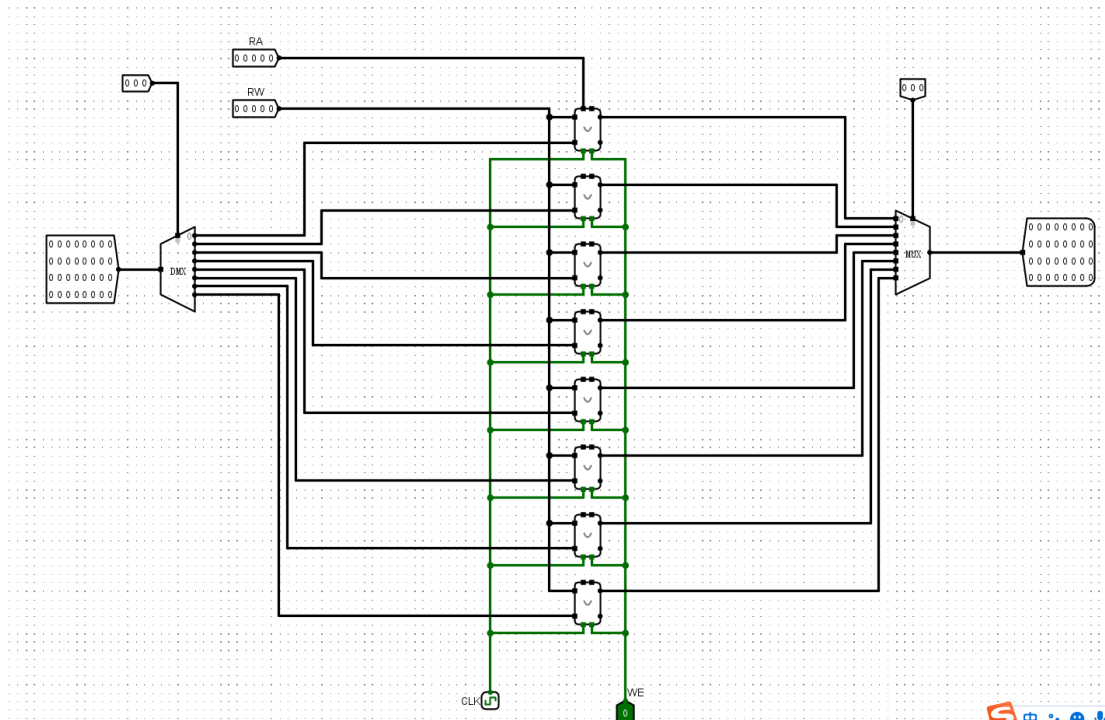
2). 实验器材

2个32位多路选择器，1个32位译码器，1个32位输入引脚，3个5位输入引脚，2个1位输入引脚，2个32位输出引脚，16个3输入与门，16个32位寄存器

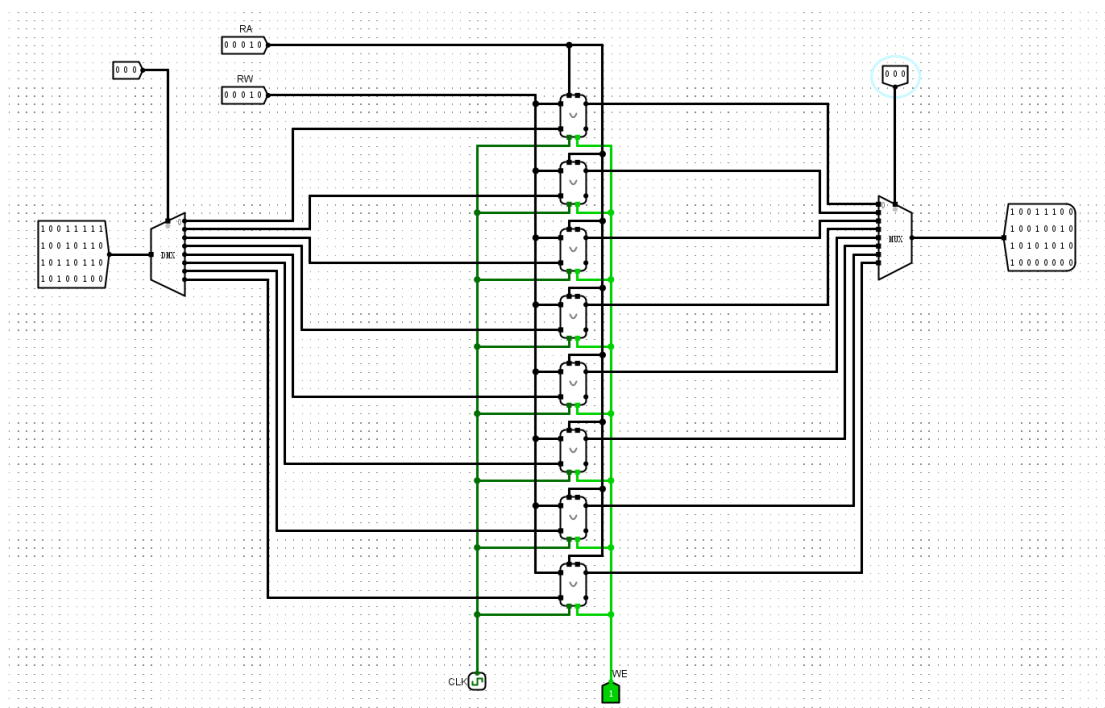
3). 连接实验器材



- 4). 封装寄存器堆
- 5). 连接8个寄存器堆



- 6). 仿真检测



- 7). 遇到的问题
错把伪选择器当成多路选择器

四、思考题

- 1、如何利用 CNTR4U 实现从任意初始值开始的 10 进制计数器？
设置为load模式，并设置初始值
- 2、如何用两片 CNTR4U 子电路设计一个 60 进制计数器？
两片进行级联，第一片做个位，计数到60后清零第二片加1
- 3、在寄存器堆中，如何实现 0 号寄存器始终存储数值 0？
译码后0号位置空
- 4、如何用组合电路实现4位移位寄存器？
4个D触发器，前一个的Q作为下一个的D，共用一个clk信号