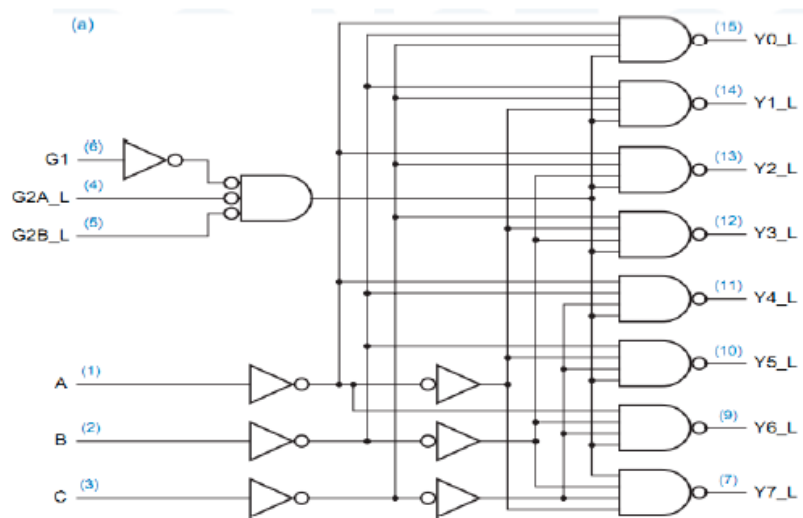


- 根据以下 3-8 译码器芯片 74X138 的电路原理图设计一个由逻辑门电路构成的 3-8 译码器，并对电路进行仿真测试，以验证电路的功能。

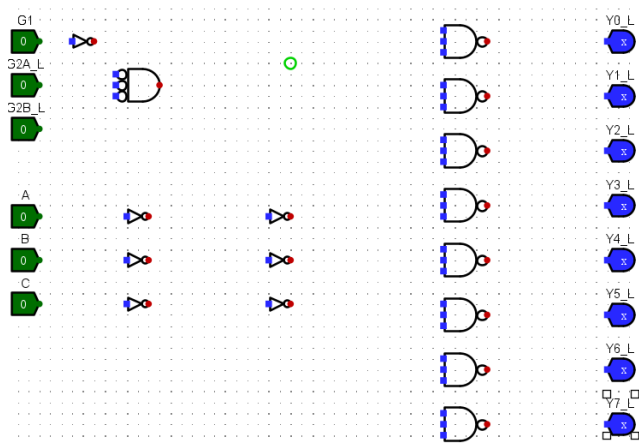
a) 电路原理图



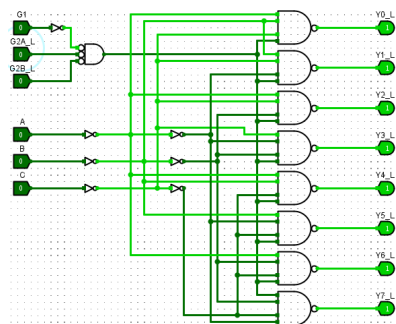
b) 实验器材分析

- 非门 7 个
- 4 输入与非门 8 个
- 3 输入与门反转 1 个
- 6 输入
- 8 输出

c) 添加逻辑门和标签



d) 连线



e) 仿真检测真值表

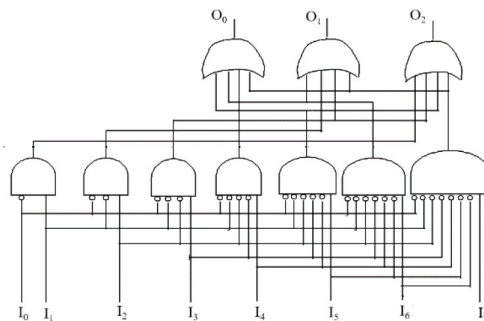
输入						输出							
G1	/G2A	/G2B	A2	A1	A0	/Y0	/Y1	/Y2	/Y3	/Y4	/Y5	/Y6	/Y7
x	1	x	x	x	x	1	1	1	1	1	1	1	1
x	x	1	x	x	x	1	1	1	1	1	1	1	1
0	x	x	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

f) 错误现象

- i. 门电路选择错误：
由于实验电路原理图中的门电路与 logisim 中的有所不同，所以找了很久
- ii. 连线错误：
线路太多导致连线错误

2. 根据以下给出的 8-3 优先级编码器原理图，设计一个由逻辑门电路构成的 8-3 优先级编码器，并将编码器输出连接到一个十六进制数码管，通过数码管的输出显示来验证和测试电路。测试电路中可引入探针、分线器等，并增加电源和接地来连接数码管。

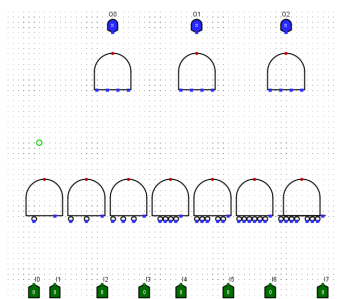
a) 实验电路原理图



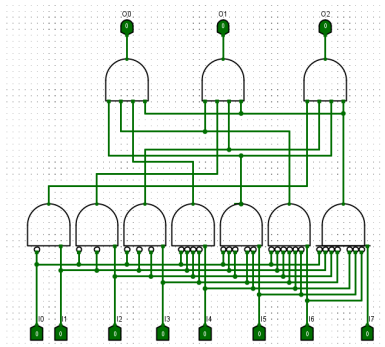
b) 实验器材分析

- i. 2 输入 1 反转与门， 3 输入 2 反转与门， 4 输入 3 反转与门， 5 输入 4 反转与门， 6 输入 5 反转与门， 7 输入 6 反转与门， 8 输入 7 反转与门
- ii. 3 个 4 输入与门
- iii. 8 输入 3 输出

c) 添加逻辑门和标签

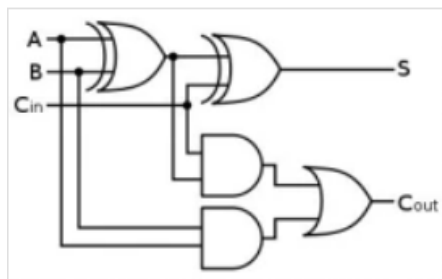


d) 连线



3. 设计一个全加器（FA），并在此基础上将 4 个全加器串联成一 4 位串行进位加法器。将输入连接到按钮、输出连接到 LED 数码管进行验证。

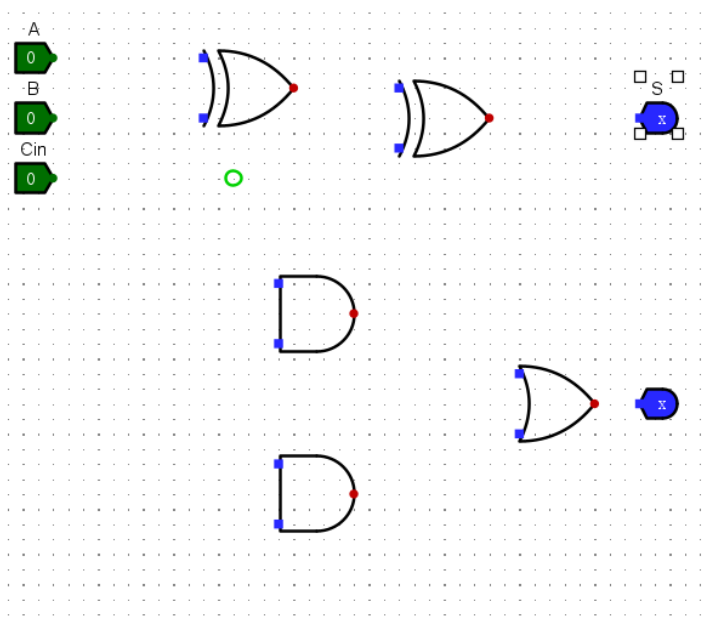
a) 实验电路原理图



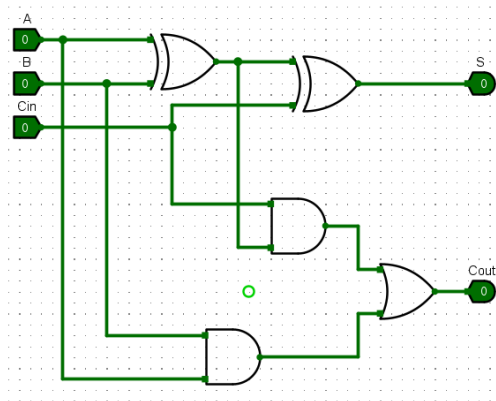
b) 实验器材分析

- i. 2 个异或门
- ii. 2 个与门
- iii. 1 个或门
- iv. 3 输入 2 输出

c) 添加逻辑门及标签



d) 连线

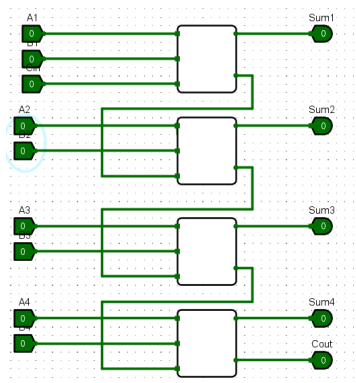


e) 仿真检测真值表

A	B	Cin	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

f) 构建 4 位全加器

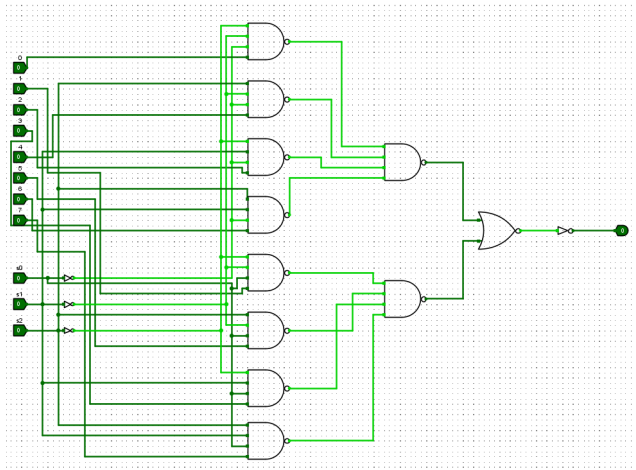
- 1 位全加器作为子电路
- 配置 4 位全加器



g) 问题

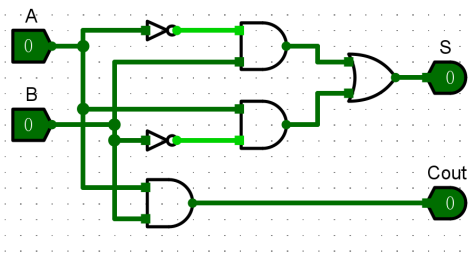
- 对全加器概念不理解
4. 设计一个如下图所示的由逻辑门电路、1 位加法器、1 位减法和 8 选 1 多路选择器构成的一位 ALU 电路（不考虑来自低位的进位或借位），并对电路进行仿真测试，以验证电路的功能。

a) 设计 8 选 1 多路选择器并构建

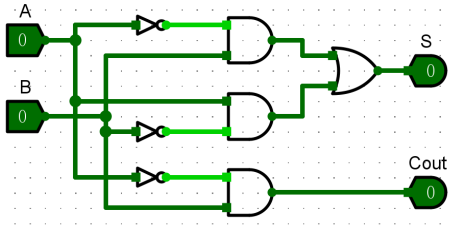


b) 设计加减法电路并构建

i. 加法

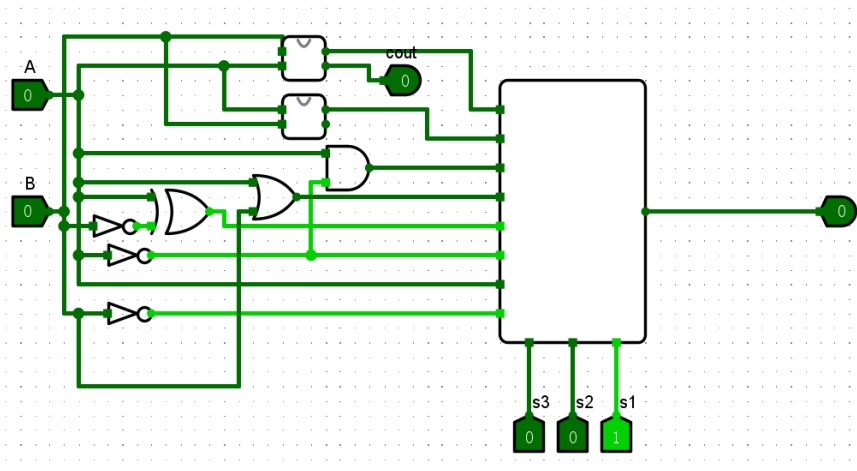


ii. 减法



注：若 cout 为 1 则为负数

c) 设计主电路并引入子电路



d) 问题

i. 设计 8 选 1 电路时困难

由于原来的 4 选 1 电路设计不完善，所以重新设计 8 选 1 电路

ii. 加减法

不清楚加减法的输出结果如何表示以及减法怎样表示负数