Лабораторная работа №2	ФИО: Кинзябулатов Эдуард Шамилевич
Название работы: Построение логических схем	Группа: М3137

Ссылка на репозиторий: https://github.com/skkv-itmo/itmo-comp-arch-2023-circuit-Tortik3000

Инструментарий и требования к работе: logisim-evolution(3.8.0), iverilog-v12-20220611

Описание работы схем:

D_Trigger:

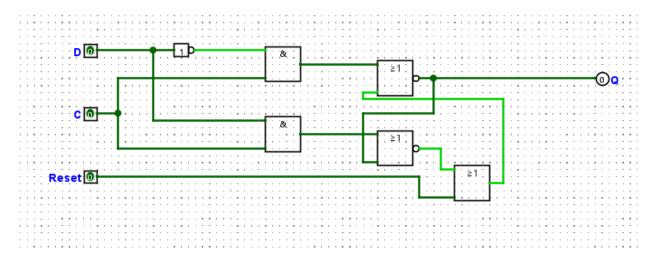
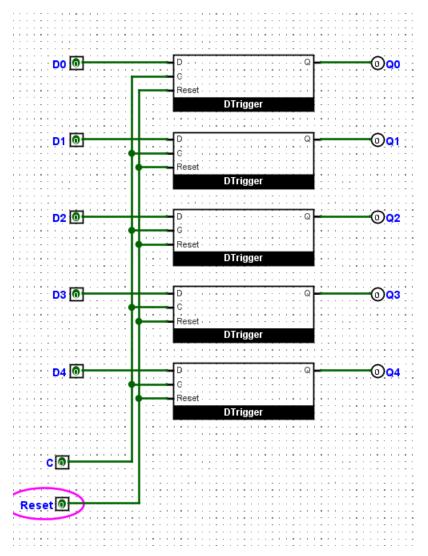


Таблица истинности D_Trigger:

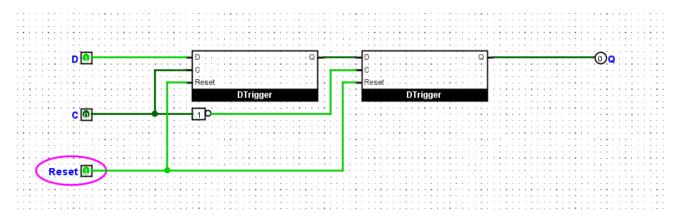
D	С	Reset	Q
0	1	0	0
1	1	0	1
1/0	0	0	сохр. пред.
1/0	1/0	1	0

littleCellue:

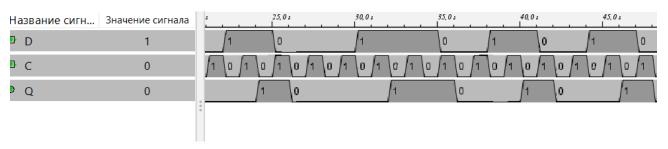
Это D_Trigger на 5 битов



Рассмотрим такую конструкцию:



Временная диаграмма:



Из диаграммы видно, что при включении clk значение D сохраняется в первом Д-Триггере, а при выключении clk значение D сохраняется во втором во втором Д-Триггере

Cellue:

Cellue – циклический стек на 5 ячеек по 1 биту

Celuue состоит из трех Д-Треггеров(mainStack, pushStack, popStack) на 5 ячеек,

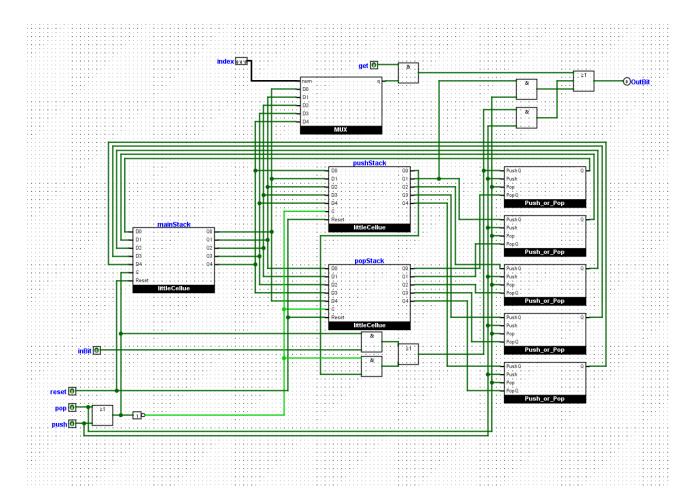
где mainStack связан с pushStack и popStack аналогично предыдущей конструкции.

Таким образом в pushStack сохраняется значение mainStack циклически сдвинутое вправо и

pushStack[0] принимает значение входящего бита. A popStack сохраняется значение циклически сдвинутое влево. На вход mainStack подаются либо значения из pushStack при опереции push,

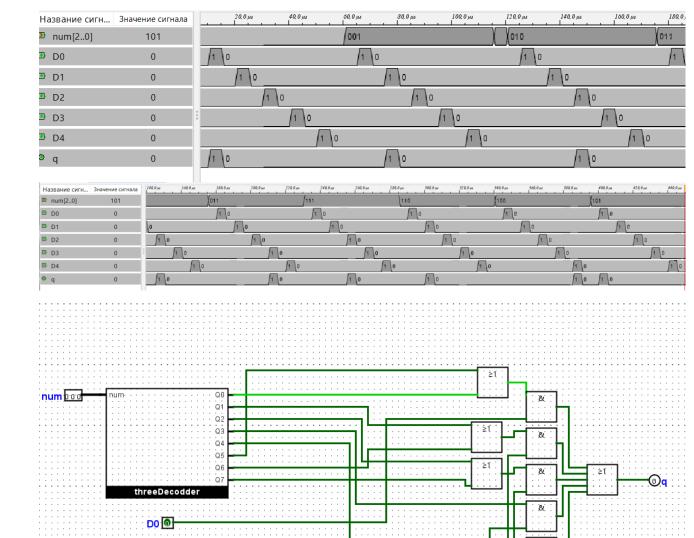
либо значения из popStack при операции pop(за это отвечает модуль Push_or_Pop).

При операции get в модуль MUX передается индекс запрашиваемой ячейки и значения лежащие в стеке из mainStack. На выход MUX передаётся значение запрашиваемой ячейки.



MUX:

На вход MUX подается индекс нужной ячейки, и значения 5 ячеек, на выход подается значение нужной ячейки.

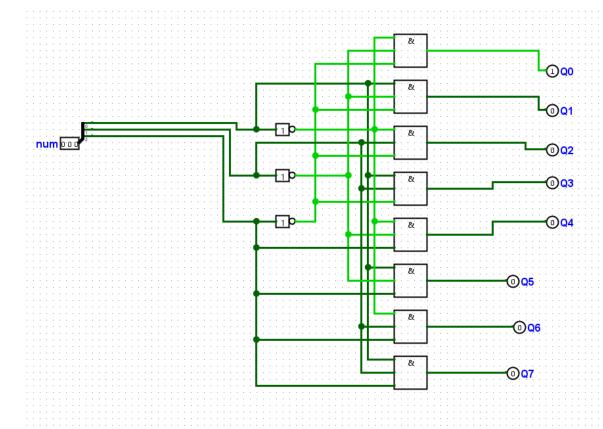


3to8Decoder:

D1 0 - D2 0 - D3 0 - D4 0 -

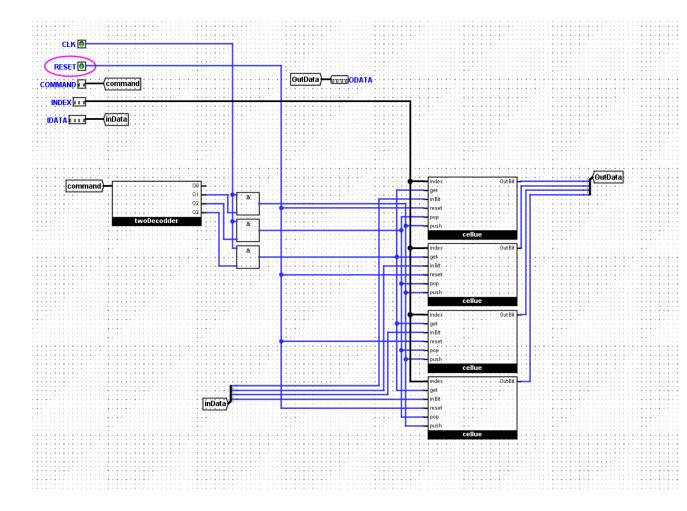
На вход подается двоичное число из трех бит, выход с номером равным этому числу принимает значение 1.

Название сигн	Значение сигнала	0 ns	20,0 μs	40,	0 με	60,	0 με	. 80,0	84999 ns
num[20]	111	000	001 010	011	100	101	110	111	
O Q5	0	0				1	0		
Q 7	1	1 0						1	
© Q6	0	0					1	0	
Q 0	0	0 /1	0						
© Q1	0	0	1 0						
• Q2	0	0	1	0					
Q Q3	0	0		1	0				
• Q4	0	0			1	0			



Stack:

Стэк состоит из 4-х стеков по 1 биту(Cellue)



Verilog:

1. Structural:

Structural реализован аналогично реализации в logisim

2. Behaviour:

Стэк предствлен масивом из 20 бит, каждые 4 бита это одно значение

При команде push стек циклически сдвигается на 1 значение влево и первое значение становется равно IO_DATA:

```
if (push) begin
    arr[19:4] = arr[15:0];
    arr[3:0] = IO_DATA;
end
```

При команде рор стек циклически сдвигается на 1 значение впрво:

```
if (pop) begin
    a0[3:0] = arr[3:0];
    arr[15:0] = arr[19:4];
    arr[19:16] = a0[3:0];
    out_data = a0;
end
```

При команде get выбирается значение в зависимасти от передоваемого индекса и записывается.

```
if (get) begin
   if (INDEX == 3'd0) begin
    out data = arr[3:0];
   end
   if (INDEX == 3'd1) begin
       out data = arr[7:4];
   end
   if (INDEX == 3'd2) begin
       out_data = arr[11:8];
   end
   if (INDEX == 3'd3) begin
       out_data = arr[15:12];
   end
   if (INDEX == 3'd4) begin
       out_data = arr[19:16];
   end
   if (INDEX == 3'd5) begin
       out_data = arr[3:0];
   end
   if (INDEX == 3'd6) begin
       out_data = arr[7:4];
   end
   if (INDEX == 3'd7) begin
       out data = arr[11:8];
   end
```