

Лабораторная работа №3	ФИО: Кинзябулатов Эдуард Шамилевич
Название работы: Кэш	Группа: М3137

**Цель работы:** моделирование системы “процессор-кэш-память”

**Ссылка на репозиторий:** <https://github.com/skkv-itmo/itmo-comp-arch-2023-cache-Tortik3000>

**Инструментарий и требования к работе:** Python (3.11.6)

**Результат работы:**

LRU: hit perc. 99.5437% time: 3680504

pLRU: hit perc. 99.5312% time: 3685167

## Вариант – 2

Кэш

MEM_SIZE	1 Мбайт
ADDR_LEN	20 бит
Конфигурация кэша	look-through write-back
Политика вытеснения кэша	LRU и bit-pLRU
CACHE_WAY	4
CACHE_TAG_LEN	10 бит
CACHE_IDX_LEN	4 бит
CACHE_OFFSET_LEN	6 бит
CACHE_SIZE	4 Кбайт
CACHE_LINE_SIZE	64 байт
CACHE_LINE_COUNT	64
CACHE_SETS_COUNT	16

$ADDR\_LEN = \log_2(MEM\_SIZE)$

$CACHE\_LINE\_SIZE = 2^{CACHE\_OFFSET\_LEN}$

$CACHE\_LINE\_COUNT = CACHE\_SIZE / CACHE\_LINE\_SIZE$

$$\text{CACHE\_SETS\_COUNT} = 2^{\text{CACHE\_IND\_LEN}}$$

$$\text{CACHE\_WAY} = \text{CACHE\_LINE\_COUNT} / \text{CACHE\_SETS\_COUNT}$$

$$\text{CACHE\_TAG\_LEN} = \text{ADDR\_LEN} - \text{CACHE\_IDX\_LEN} - \text{CACHE\_OFFSET\_LEN}$$

Размерность шин

Шина	Обозначение	Размерность
A1, A2	ADDR1_BUS_SIZE	20 бит
	ADDR2_BUS_SIZE	14 бит
D1, D2	DATA1_BUS_SIZE	16 бит
	DATA2_BUS_SIZE	
C1, C2	CTR1_BUS_SIZE	3 бита
	CTR2_BUS_SIZE	2 бита

$$\text{ADDR1\_BUS\_SIZE} = \text{ADDR\_LEN}$$

$$\text{ADDR2\_BUS\_SIZE} = \text{CACHE\_TAG\_LEN} + \text{CACHE\_IDX\_LEN}$$

8 команд  $\text{CTR1\_BUS\_SIZE} = 3$  бита

3 команды  $\text{CTR2\_BUS\_SIZE} = 2$  бита

Кэш – look-through. В этой системе процессор и память не связаны, когда процессор подает запрос в кэш, если кэш-попадание, то кэш отправляет ответ, иначе отправляет запрос в память.

Write-back – измененные данные записываются сначала в кэш, а при вытеснении из кэша записываются в память.

Кэш в коде представлен массивом блоков линий.

Когда процессор передает команду чтения, сначала идет проверка на наличие линии с нужным тэгом, если кэш попадание, то передаем процессору нужные байты.

Иначе выбираем в кэш блоке линию к которой дольше всего не было обращения

и если флаг dirty = 1, то передаем это линию на запись в память, потом из памяти в кэш записывается нужная кэш-линия.

При записи, сначала идет проверка на наличие линии с нужным тэгом, если такая найдена

то в нее записываются измененные байты и значение флага dirty = 1. Иначе ищется самая старая линия, если dirty = 1, то пред тем как записать строку из памяти эта строка записывается в память.

### Реализация LRU:

После обращения к кэш-линии ее возраст становится равным нулю а остальные возраста в блоке увеличиваются на 1.

```
def timeLRU(indexBlock, indexLine):  
    block = cache[indexBlock]  
    for line in block:  
        line[1] += 1  
    block[indexLine][1] = 0  
    block.sort(key=lambda x: x[1])  
    for i in range(CACHE_WAY):  
        block[i][1] = i
```

### Реализация pLRU:

После обращения к кэш-линии ее бит возраста становится равным единице и если количество кэш-линий в блоке с битом возраста равным единице равно CACHE\_WAY, то все остальные биты возраста переходят в 0

```
def timePLRU(indexBlock, indexLine):  
    block = cache[indexBlock]  
    count = 0  
    for line in block:  
        if(line[1] == 1):  
            count += 1  
    if count == CACHE_WAY:  
        for line in block:  
            line[1] = 0  
    block[indexLine][1] = 1
```