



Laboratório 4 **- CPU *femto*RISC-V MULTICICLO –**

Objetivos:

- Implementar uma CPU Multiciclo compatível com a ISA RV32I no Software de Simulação Deeds;
- Analisar o desempenho do processador construído;

A partir dos conceitos e diagramas apresentados em aula e os blocos construídos no Laboratório 3 (e seus recursos incluindo os registradores de monitoramento) construa um processador *femto*RISC-V com a ISA RV32I usando o software de simulação Deeds, que seja capaz de executar a ISA reduzida composta pelas instruções: `add`, `sub`, `and`, `or`, `slt`, `xor`, `lw`, `sw`, `addi`, `slli`, `lui`, `jal`, `beq` e `jalr`.

- 1.1) (2.0) Construa o caminho de dados completo e identifique os sinais de controle. Defina o Diagrama de Estados do Bloco de Controle e projete um circuito que o implemente;
- 1.2) (1.0) Acrescente um display de 7 segmentos que monitore o estado atual do bloco de controle.
- 1.3) (2.0) Construa o processador *femto*RISC-V, incluindo uma entrada de clock e um sinal de reset que deve resetar os valores dos registradores do BR e auxiliares, `PC=0x00000000` e voltar ao Estado 0 do bloco de controle. Qual a máxima frequência utilizável no seu processador?
- 1.4) (2.0) Execute o seu programa `TestBech.s` feito no Laboratório 3 que verifique se todas as instruções foram implementadas corretamente, e filme a sua execução.
- 1.5) (3.0) Faça a simulação e forma de onda na maior frequência possível e filme a execução do programa `Teste.s` no seu processador. Qual a CPI média deste programa? Qual o tempo necessário à sua execução? Verifique se $t_{exec} = I \times CPI \times T$ justifique.

No arquivo `GrupoX_Lab4.zip` a ser enviado no Moodle coloque:

- (i) o arquivo `GrupoX_Lab4.pdf` do relatório;
- (ii) os arquivos do processador com o programa `Teste.s` carregado na ROM;