

YM2151

FM Operator Type-M (OPM)

概要

YM2151 は 8 ビット・バス・ラインを持ち、マイクロプロセッサを介して、卓越した音質を再現する能力のある FM 音源です。特別に開発された D/A コンバータである YM3012 を合わせてお使いいただくことで、8 音を左右 2 チャンネルの音声信号を得ることが出来ます。

さらに、このデバイスはノイズ、ビブラート、及び、トレモロの音声効果回路、及び、タイマーを持っています。

外形は 24 ピン・デュアル・インライン・パッケージです。

特徴

- 最大発音数 8 音

- ノイズ発生器

- 一時的に音色を変化させることが出来る

- 基本波から高調波を発生

- 数オクターブに渡って変調

- 1.6 セント毎にインターバルを設定可能

- ビブラート、トレモロを追加

- 基本波からの極端な高調波変調、及び、ビブラートとトレモロによりバラエティーに富んだ
音声を再生

目 次

第 1 章 機能と特徴の概略説明

1.1 機能の概略	3 ページ
1.2 特徴	3 ページ
1.3 FM 音源の発音原理	3 ページ

第 2 章 構造と特徴

2.1 レジスタ構成	4 ページ
2.1.1 アドレス・マップ	4 ページ
2.1.2 レジスタ説明	5 ページ
2.2 スロット構成	11 ページ
2.3 端子接続	12 ページ
2.3.1 端子機能	12 ページ

第 3 章 デバイス仕様

3.1 基本回路	13 ページ
3.2 電気的特性	13 ページ

1. 機能と特徴の概略

1.1 機能の概略

YM2151 は 8 ビット・バス・ラインを持ち、マイクロプロセッサを介して、卓越した音質を再現する能力のある FM 音源です。特別に開発された D/A コンバータである YM3012 を合わせてお使いいただくことで、8 音を左右 2 チャンネルの音声信号を得ることが出来ます。

さらに、このデバイスはノイズ、ビブラート、及び、トレモロの音声効果回路、及び、タイマーを持っています。

外形は 24 ピン・デュアル・インライン・パッケージです。

1.2 特徴

最大発音数 8 音

ノイズ発生器

一時的に音色を変化させることが出来る

基本波から高調波を発生

数オクターブに渡って変調

1.6 セント毎にインターバルを設定可能

ビブラート、トレモロを追加

基本波からの極端な高調波変調、及び、ビブラートとトレモロによりバラエティーに富んだ音声を再生

1.3 FM 音源の発音原理

FM 音源は図 1.1 に示される様な、簡単な構成により言い表すことが出来ます。数式的に表すならば以下のようになります。

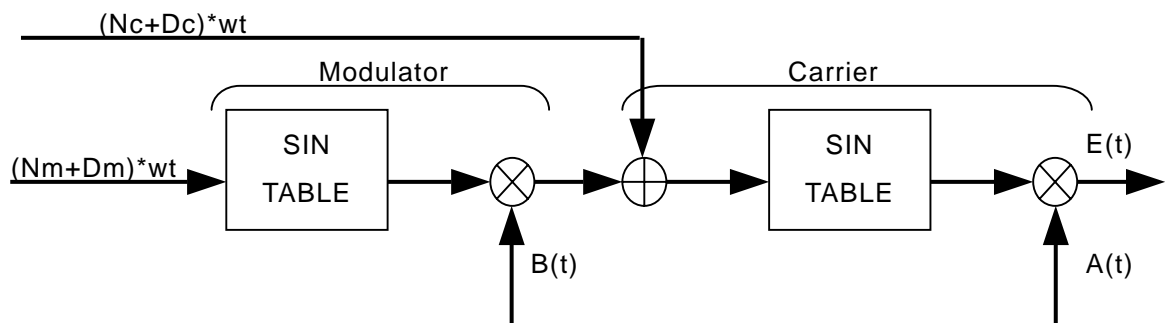


図 1.1

$$E(t) = A(t) \cdot \sin[(Nc+Dc) \cdot \omega t + B(t) \cdot \sin(Nm+Dm) \cdot \omega t]$$

A(t) : Volume envelope

B(t) : Timbre envelope

Nx : 基本周波数の 1/2、または、倍数

Dx : 基本周波数の倍音

2 . 構造と特徴

2.1 レジスタ構成

2.1.1 アドレスマップ

アドレスマップ (リード・モード)

HEX	D7	D6	D5	D4	D3	D2	D1	D0
XX	B						1ST	

アドレスマップ (ライト・モード)

HEX	D7	D6	D5	D4	D3	D2	D1	D0
00								
01				TEST				
02								
07								
08				KON				
09								
0E								
0F	NE					NFRQ		
10				CLKA1				
11							CLKA2	
12				CLKB				
13								
14	CSM		F RESET		IRQEN		LOAD	
15								
17								
18				LFRQ				
19				PMD/AMD				
1A								
1B	CT						W	
1C								
1F								
20 - 27	LR			FB			CON	
28 - 2F					KC			
30 - 37			KF					
38 - 3F			PMS				AMS	
40 - 5F			DT1			MUL		
60 - 7F					TL			
80 - 9F	KS					AR		
A0 - BF	AMS EN					D1R		
C0 - DF	DT2					D2R		
E0 - FF		D1L				RR		

2.1.2 レジスタ説明

B: WRITE BUSY FLAG (#XX)

書き込み動作中であることを示すフラグ。書き込み動作中は”1”を返す。連続して書き込みを行う場合には、このフラグが”0”であることを確認する必要がある。

D7	X	X	X	X	X	-	-
----	---	---	---	---	---	---	---

D7: WRITE BUSY FLAG

IST #XX

IRQ が Low になった時、タイマーA、又は、タイマーB のどちらがオーバーフローしたかを”1”で示す。

-	X	X	X	X	X	D1	D0
---	---	---	---	---	---	----	----

D0: Timer A FLAG

D1: Timer B FLAG

TEST* LFO RESET (#01)

LFO 出力を”1”を書き込む事によりリセットする。

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

D1: LFO RESET

KON: KEY ON (#08)

3bit のチャンネル番号と 4bit のスロット番号でキーの ON/OFF を行う。

X	D6	D5	D4	D3	D2	D1	D0
---	----	----	----	----	----	----	----

D0 – D2: CH No.

D3: M1

D4: C1

D5: M2

D6: C2

NOISE: Noise Generator (#0F)

NOISE を有効にすると、32 番スロット (CH7、C2) はノイズ。スロットに変更される。ノイズの周波数は外部からノイズ・下練れー多のクロックを操作することにより変更できる。また、32 番スロットのエンベロープ機能を使うこともできるが、この場合、対数変化ではなく、アタックは指数、ディケイは直線となる。

D7	X	X	D4	D3	D2	D1	D0
----	---	---	----	----	----	----	----

D0 – D4: NFRQ (NOISE FREQUENCY)

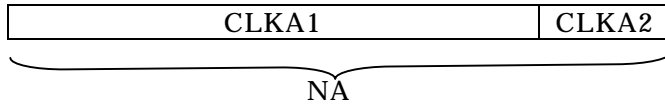
D7: NE (NOISE ENABLE)

$$f_{\text{noise}} = \frac{M}{32 * \text{NFRQ}}$$

CLKA : TIMER A (#10, #11)

CLKA1 は、CLKA2 (#11) と合わせて 10bit のタイマーを構成する。CLKA1 は TIMER A の上位 8 ビットを表す。

D7	D6	D5	D4	D3	D2	D1	D0	D0 – D7: CLKA1
X	X	X	X	X	X	D1	D0	D0 – D1: CLKA2



$$T_A \text{ (ms)} = \frac{64 * (1024 - NA)}{M \text{ (kHz)}}$$

CLKB: TIMER B (#12)

CLKB は合わせて 10bit のタイマーを構成する。CLKA1 は TIMER A の上位 8 ビットを表す。

D7	D6	D5	D4	D3	D2	D1	D0	D0 – D7: CLKB
----	----	----	----	----	----	----	----	---------------

$$T_B \text{ (ms)} = \frac{1024 * (255 - NA)}{M \text{ (kHz)}}$$

CSM (#14)

CSM に "1" をセットすると、TIMER A がオーバーフローしたときに、全音 Key ON した状態となる。

D7	X	X	X	X	X	X	X	D7: CSM
----	---	---	---	---	---	---	---	---------

F RESET (#14)

この 2bit が TIMER A、TIMER B のどちらのタイマーがオーバーフローしたかを "1" で表す。

-	X	D5	D4	-	-	-	-	D4 – D5: F RESET (D4: TIMER A、D5: TIMER B)
---	---	----	----	---	---	---	---	--

IRQ EN (#14)

この 2bit が TIMER A、TIMER B それぞれのオーバーフローに対して、割り込みの許可を行う。

-	X	-	-	D3	D2	-	-	D2 – D3: IRQ EN (D2: TIMER A、D3: TIMER B)
---	---	---	---	----	----	---	---	---

LOAD (#14)

TIMER A、TIMER B をそれぞれ "1" でスタート、"0" でストップさせる。

-	X	-	-	-	-	D1	D0	D0 – D1: LOAD (D0: TIMER A、D1: TIMER B)
---	---	---	---	---	---	----	----	---

LFREQ: LOW FREQUENCY (#18)

下記 8bit で発振器の周波数を設定する。

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

D0 – D7: LFREQ

PMD/AMD: PHASE MODULATION DEPTH/AMPLITUDE MODULATIN DIPTH (#19)

上位 1bit で機能を設定し、残る 7bit でモジュレーションの深さを設定。

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

D0 – D6: PMD 又は AMD

D7: 機能選択 (PMD: "1"、AMD: "0")

CT: CONTROL OUTPUT (#1B)

CT1、CT2 の各端子を設定する。また、イニシャル・クリアー時は CT1、CT2 とも "0" となる。

D7	D6	X	X	X	X	–	–
----	----	---	---	---	---	---	---

D6: CT1

D7: CT2

W: WAVE FORM (#1B)

2bit で LFO の波形を選択。

–	–	X	X	X	X	D1	D0
---	---	---	---	---	---	----	----

D0 – D1: WAVE FORM

D1	D0	PM	AM
0	0	鋸形波 (UP)	鋸形波 (DOWN)
0	1	矩形波	矩形波
1	0	三角波	三角波
1	1	ノイズ	ノイズ

LR: LEFT CHANNEL ENABLE/RIGHT CHANNEL ENABLE (#20 – #27)

左右どちらの信号ラインに出力するかを設定。

D7	D6	–	–	–	–	–	–
----	----	---	---	---	---	---	---

D6: LEFT CH.

D7: RIGHT CH.

FB: SLEF FEED BACK LEVEL (#20 – #27)

FEED BACK 量を設定。

–	–	D5	D4	D3	–	–	–
---	---	----	----	----	---	---	---

D3 – D5: SELF FEED BACK LEVEL

FB	0	1	2	3	4	5	6	7
LEVEL	0	/16	/8	/4	/2		2	4

CON: CONNECTION (#20 – #27)

各チャンネル毎にアルゴリズムを選択する。

–	–	–	–	–	D2	D1	D0
---	---	---	---	---	----	----	----

D0 – D2: ARGORITHM NUMBER

D2	D1	D0	ARGORITHM
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

KC: KEY CODE (OCT, NOTE) (#28 – #2F)

ノート毎の音程を設定。7bit 中 3bit でオクターブ、4bit でノート番号は表現する。

X	D6	D5	D4	D3	D2	D1	D0
---	----	----	----	----	----	----	----

D0 – D3: NOTE

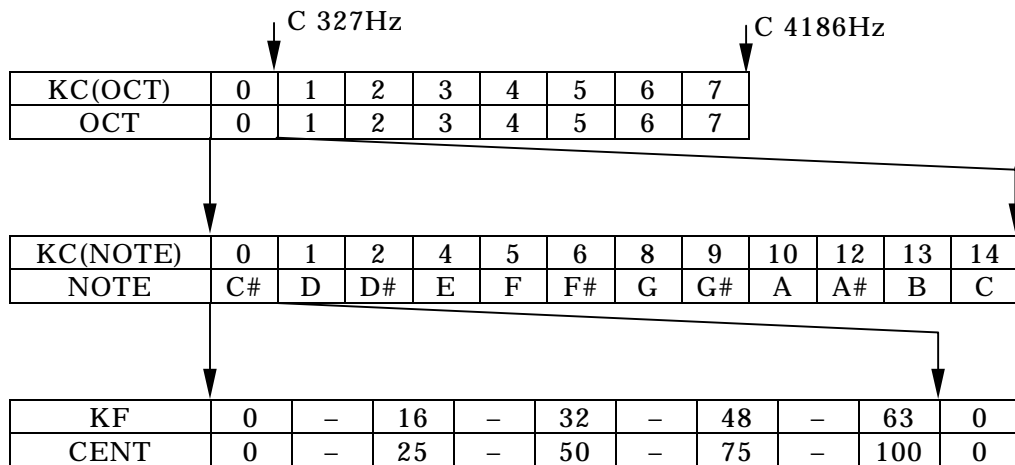
D4 – D7: OCT

KF: KEY FRACTION (#30 – #37)

半音(100 セント)を 1.6 セント毎に分割する。

D7	D6	D5	D4	D3	D2	–	–
----	----	----	----	----	----	---	---

D2 – D7: KEY FRACTION



PMS: PHASE MODULATION SENSITIVITY (#38 – #3F)

LFO の出力レベルが最大に設定されている時、このレジスタによって LFO の深さを 8 段階に設定できる。

X	D6	D5	D4	X	X	–	–
---	----	----	----	---	---	---	---

D4 – D6: PMS

AMS: AMPLITUDE MODULATION SENSITIVITY (#38 – #3F)

LFO の出力レベルが最大に設定されている時、このレジスタによって LFO の深さを 4 段階に設定できる。また、後述の AMS EN によって、オペレータ毎にモジュレーションを使用するか否かえお設定できる。

X	–	–	–	X	X	D1	D0
---	---	---	---	---	---	----	----

D0 – D2: AMS

DT1: DETUNE 1 (#40 – #5F)

各オペレータを±3の幅でデチューンする。

X	D6	D4	D3	–	–	–	–
---	----	----	----	---	---	---	---

D3 – D6: DT1

MUL: PHASE MULTIPLY (#40 – #5F)

各オペレータの KC、KF の値を掛け算する。

X	D6	D5	D4	–	–	–	–
---	----	----	----	---	---	---	---

D4 – D6: DT(1)

MUL	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	0.5	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

TL: TOTAL LEVEL (#60 – #7F)

EG の最大値を設定する。最小分解能は 0.75dB であり、各ビットの重み付けは下表の通りである。

X	D6	D5	D4	D3	D2	D1	D0
---	----	----	----	----	----	----	----

D0 – D6: TL

D6	D5	D4	D3	D2	D1	D0	
48	24	12	6	3	1.5	0.75	d B

KS: KEY SCALING (#80 – #9F)

KEY CODE (音程) によって、AR、D1R、D2R、RR のレートを変える。

D7	D6	X	–	–	–	–	–
----	----	---	---	---	---	---	---

D6 – D7: KS

AR: ATTACK RATE (#80 – #9F)

ATTACK RATE を設定する。

–	–	X	D4	D3	D2	D1	D0
---	---	---	----	----	----	----	----

D0 – D4: AR

AMS EN: AMS ENABLE (#A0 – #BF)

上述の AMS を各オペレータ毎で使用するか否かえお設定す。

X	–	–	–	X	X	D1	D0
---	---	---	---	---	---	----	----

D0 – D2: AMS

D1R: FIRST DECAY RATE (#A0 – #BF)

FIRST DECAY RATE を設定する。

–	–	X	D4	D3	D2	D1	D0
---	---	---	----	----	----	----	----

D0 – D4: AR

DT2: DETUNE 2ATTACK RATE (#C0 – #DF)

各オペレータを 0、+600、+781、+950 セント、デチューンする

D7	D6	X	–	–	–	–	–
----	----	---	---	---	---	---	---

D6 – D7: DT2

D2R: SECOND DECAY RATE (#C0 – #DF)

SECOND DECAY RATE を設定する。

–	–	X	D4	D3	D2	D1	D0
---	---	---	----	----	----	----	----

D0 – D4: D2R

D1L: FIRST DECAY LEVEL (#E0 – #FF)

FIRST DECAY LEVEL を設定する。

D7	D6	D5	D4	–	–	–	–
----	----	----	----	---	---	---	---

D4 – D7: D1L

RR: RELEASE RATE (#E0 – #FF)

RELEASE RATE を設定する。

–	–	–	–	D3	D2	D1	D0
---	---	---	---	----	----	----	----

D0 – D3: RR

2.2 スロット構成

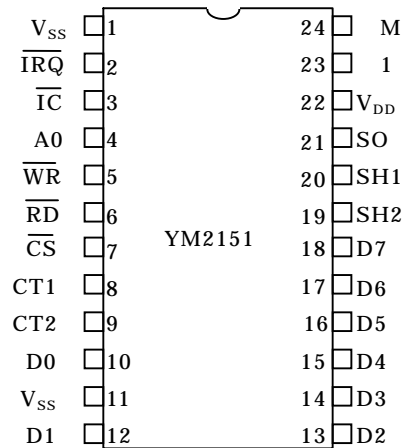
FUNCTION	M1								M2							
	Modulator 1								Modulator 2							
SLOT No.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
CH No.	1	2	3	4	5	6	7	8	1	2	3	4	5	6	7	8

FUNCTION	C1								C2							
	Carrier 1								Carrier 2							
SLOT No.	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
CH No.	1	2	3	4	5	6	7	8	1	2	3	4	5	6	7	8

ノイズを選択すると、このスロットルはノイズ CH になる。

2.3 端子接続

YM2151 は 24 ピン DIP 形状をしており、各端子のレイアウトは下図の通りである。



2.3.1 端子機能

D0~D7：アドレス / データ・バス（INPUT/OUTPUT HIGH IMPEDANCE）

外部機器と内部レジスタのアドレス、及び、データのやり取りをこの 8bit パラレル・バスを用いて行う。

A0：アドレス / データ選択（INPUT）

A0 が"0"のとき、D0~D7 はアドレス・バスとして機能し、A0 が"1"のとき、D0~D7 はデータ・バスとして機能する。

$\overline{\text{WR}}$ ：ライト（INPUT）

ライト信号が入力されたとき、バス上の信号が取り込まれる。

$\overline{\text{RD}}$ ：リード（INPUT）

リード信号が入力されたとき、バスを介して内部データが読み出される。

$\overline{\text{CS}}$ ：チップ・セレクト（INPUT）

チップ・セレクト信号が入力されたとき、A0、 $\overline{\text{WR}}$ 及び $\overline{\text{RD}}$ 信号がアクティブであれば、データの受け渡しが行われる。

$\overline{\text{IC}}$ ：内部クリア（INPUT）

内部クリア信号が入力されたとき、内部のレジスタが全て"0"にクリアされる。

$\overline{\text{IRQ}}$ ：割り込み要求（OUTPUT：オープン・ドレイン）

2 種類のタイマーのいずれかがオーバーフローした時、割り込み要求を発生させる。

CT1、CT2：コントロール 1、コントロール 2（OUTPUT）

外部機器をコントロールするための出力端子。

SO：シリアル・出力（OUTPUT）

LR、2 チャンネルの出力はシリアルであり、専用の YM3012 D/A コンバータに送られる。

SH1、SH2：サンプル・アンド・ホールド（OUTPUT）

シリアル・データ取り込み用のサンプル・アンド・ホールド信号を YM3012 用に生成する。

M：システム・クロック（INPUT）

YM2151 をドライブするためのクロックを入力する。内部で 1/2 に分周され使われる。また、M は信号発生基準信号となる。

1 : D/A 用クロック (OUTPUT)

D/A コンバータ用のクロックであると共に、 \overline{IRQ} 、CT1、CT2、SH1、SH2、及び、SO の同期の基準となる。

V_{DD} : 電源 (INPUT)

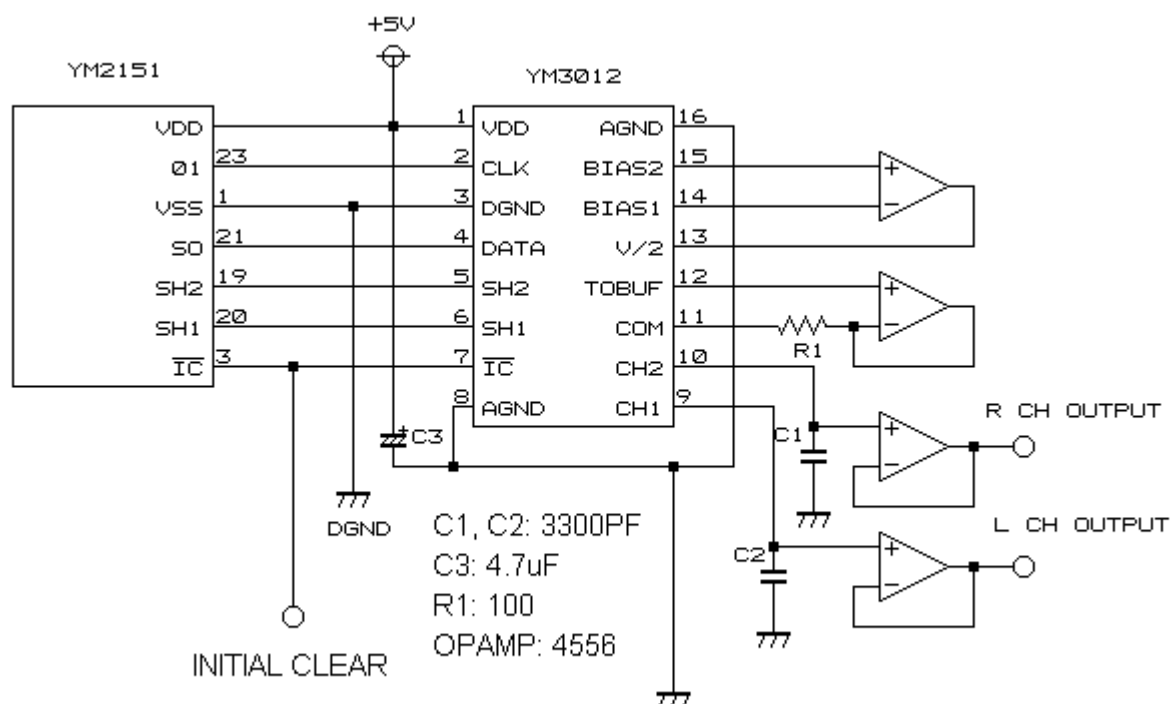
通常+5V を供給する。

V_{SS} : グランド (INPUT)

システム・グランドに接続する。

3. デバイスの仕様

3.1 基本回路



3.2 電気的特性

最大絶対定格

項目	規格	単位
電圧範囲	-0.3 ~ +7	V
動作温度	0 ~ +70	
保存温度	-50 ~ +125	

推奨動作条件

項目	記号	MIN.	TYP.	MAX.	単位
供給電圧	V_{DD}	4.75		5.25	V
供給電流	I_{DD}			120	mA
消費電力 (at $V_{DD} = 5.25V$)	P_D			630	mW

クロック

項目	記号	条件	MIN.	TYP.	MAX.	単位
Voltage Level	"0"		-0.3		0.8	V
Voltage Level	"1"		20		V _{DD}	V
Rise Time	Tr	図 - 1			50	ns
Fall Time	Tf	図 - 1			50	ns
ON Time	T _{ON}	図 - 1	100			ns
Frequency	M		3.0	3.58	4.0	MHz
Input Capacitance	C _M				10	pF

1

項目	記号	条件	MIN.	TYP.	MAX.	単位
Raise Time	Tr ₁	図 - 3			180	ns
Fall Time	Tf ₁	図 - 3			120	ns
Load Capacitance	CL				100	pF

 $\overline{\text{IRQ}}$ 、CT1、CT2、SO、SH1、SH2

項目	記号	条件	MIN.	TYP.	MAX.	単位
Raise Time	Tr ₂	図 - 4			250	ns
Fall Time	Tf ₂	図 - 4			250	ns
Load Capacitance	CL				100	pF

書き込み / 読み出しタイミング

項目	記号	条件	MIN.	TYP.	MAX.	単位
Address Set-up Timing	T _{AS}	図 - 2	10			ns
Address Hold Timing	T _{AH}	図 - 2	10			ns
CS Write Width	T _{CW}	図 - 2	100			ns
WR Write Width	T _{WW}	図 - 2-1	100			ns
Write Data Set-up Time	T _{DS}	図 - 2-1	50			ns
Write Data Hold Time	T _{DHW}	図 - 2-2	10			ns
Read Data Access Time	T _{ACC}	図 - 2-2			180	ns
Read Data Hold Time	T _{FHR}	図 - 2-2	10			ns

入力端子

項目	記号	条件	MIN.	TYP.	MAX.	単位
Voltage Level	"0"		-0.3		0.4	V
Voltage Level	"1"		2.4		V _{DD}	V

A0、 $\overline{\text{WR}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{CS}}$ 、M

項目	記号	条件	MIN.	TYP.	MAX.	単位
Input Leak Current	IL	at 25 Vi=10V			0.1	uA

 $\overline{\text{IC}}$

項目	記号	条件	MIN.	TYP.	MAX.	単位
Input Current	I _{io}	V _{DD} =5V			60	uA

 $\overline{\text{IRQ}}^*$ 、CT1、CT2、D0~D7、SH1、SH2、SO、1

項目	記号	条件	MIN.	TYP.	MAX.	単位
Load Current	I _p	V _{LO} =0.4V			2.1	mA

*オープン・ドレイン

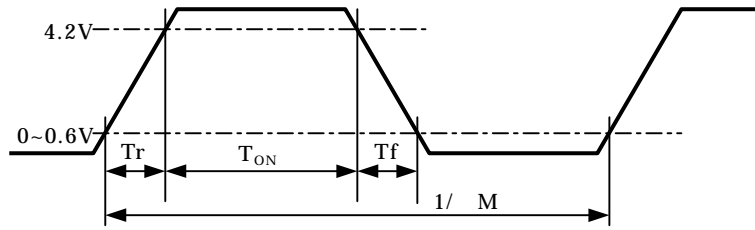


図 - 1

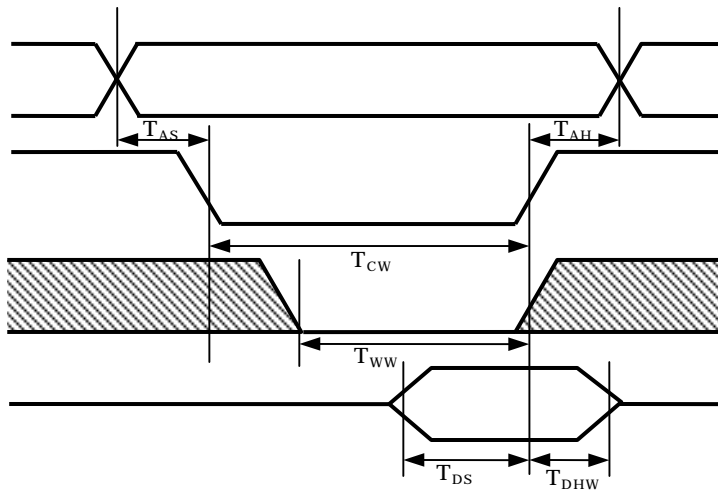


図 - 2-1 Write Timing

NOTE: T_{DS} と T_{DHW} は共に、 \overline{CS} 、または、 \overline{WR} が High に達した事を参照する。

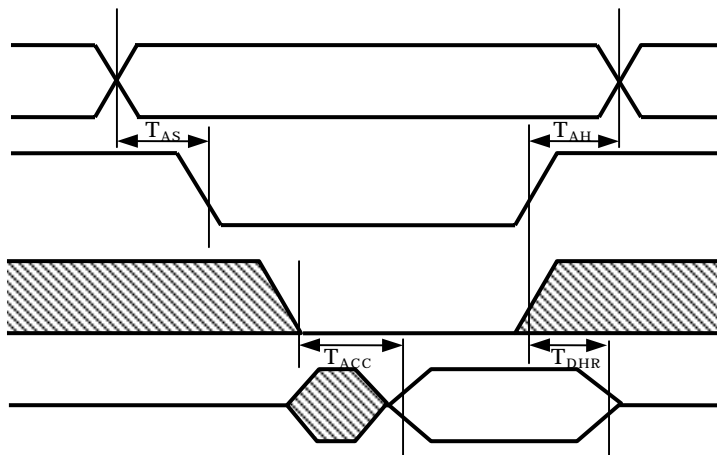


図 - 2-2 READ TIMING

NOTE: T_{ACC} は、 \overline{CS} 、または、 \overline{RD} が Low に達した事を参照する。

T_{DHR} は、 \overline{CS} 、または、 \overline{RD} が High に達した事を参照する。

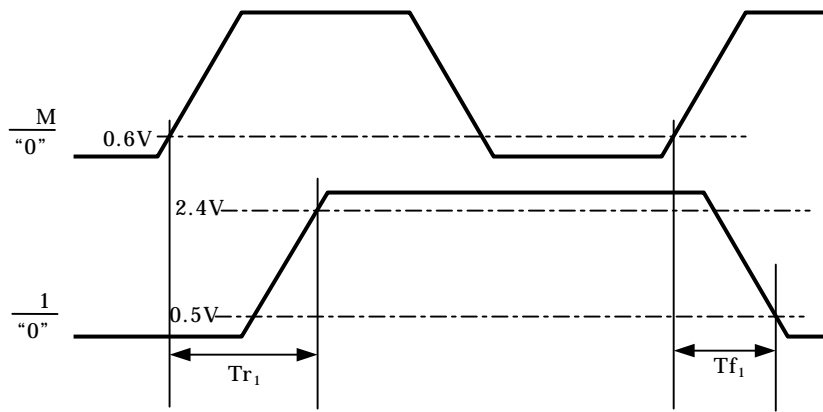


図 - 3

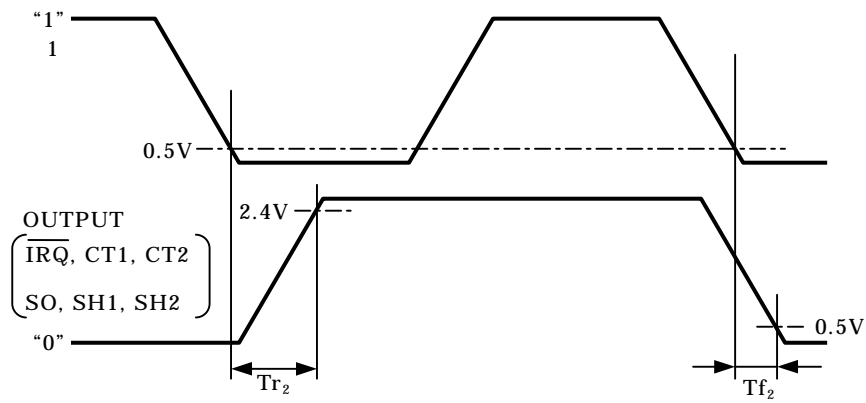


図 - 4