

实验四 计数器和时钟

2021 年秋季学期

On receiving an interrupt, decrement the counter to zero.

– “Count Zero” 《零伯爵》，威廉·吉布森

在数字系统中，常用计数器来记录系统的工作状态，本实验复习了计数器的工作原理，通过介绍几种简单计数器的工作过程和设计方法、以及开发板系统时钟的使用，学习计数器的设计和定时器的工作原理。

4.1 加法计数器

利用触发器可以构成简单的计数器。图 4-1 是由 3 个上升沿触发的 D 触发器组成的 3 位二进制异步加法计数器，即在每个 Clock 的上升沿，计数器输出 $Q_2Q_1Q_0$ 加 1。

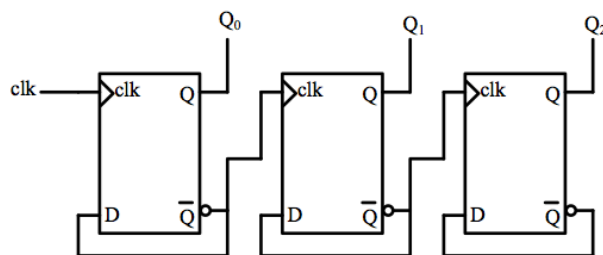


图 4-1: 3 位二进制加法计数器

图 4-2 是此 3 位二进制异步加法计数器的状态转移图。

也可以给 D 触发器加上“清零”和“置数”端，构成一个可以清零和置数的二进制异步加法计数器。请读者自行设计和验证此电路。

4.2 减法计数器

利用 D 触发器同样可以构成减法计数器，图 4-3 是由 3 个上升沿触发的 D 触发器组成的 3 位二进制异步减法计数器

图 4-4 是此 3 位二进制异步减法计数器的状态转移图。

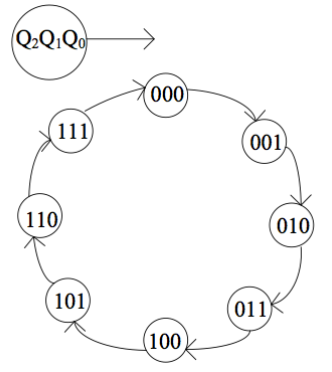


图 4-2: 3 位二进制加法计数器状态图

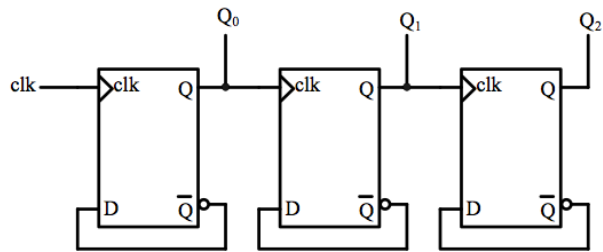


图 4-3: 3 位二进制异步减法计数器

利用 Verilog 语言可以方便的构建计数器，表 4-1 就是一个 3 位二进制减法计数器，也可以用类似的代码构成加法计数器。

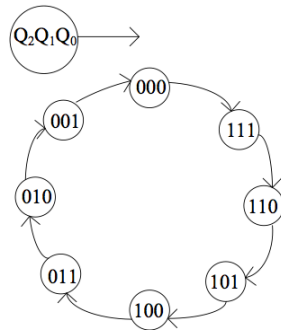


图 4-4: 3 位二进制减法计数器状态图

表 4-1: 3 位二进制带使能端的加法计数器代码

```

1 module vminus3(clk,en,out_q);
2     input  clk;
3     input  en;
4     output reg [2:0] out_q;
5
6     always @ (posedge clk)
7         if (en)    out_q <= out_q + 1;
8         else      out_q <= 0;
9 endmodule

```

表 4-1 构建的减法计数器的仿真图如图 4-5 所示。

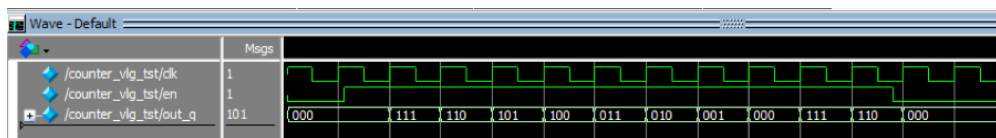


图 4-5: 减法计数器仿真图



在仿真计数器的时候时常会出现输出值一直是未定义，即 XXXX 的情况。这主要是由于计数器的值或输出在仿真开始时是未定义的。在累加或翻转输出时对未定义的值进行操作结果还是 XXXX。这时需要在计数器代码内部增加 **initial** 语句，对计数值和输出结果进行初始化。

4.3 定时器

如果在计数器的时钟输入端输入一个固定周期的时钟，那么计数器就变成了定时器。

本实验的目的是学习 FPGA 开发平台上时钟源的使用，并结合计数器的设计方法学习定时器的设计。

4.3.1 开发板上的时钟信号

DE-10 Standard 开发板为 Cyclone V SOC FPGA 提供了四个频率为 50MHz 的外部输入时钟，这些时钟均可供用户使用。另外还给开发平台上的 HPS 提供了一个 25MHz 的时钟，如图 4-6 所示。

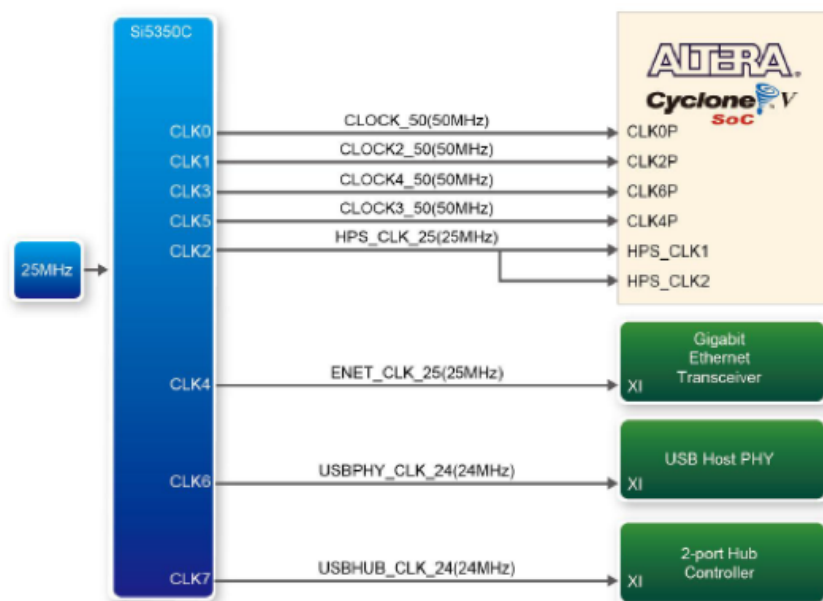


图 4-6: 开发板时钟连接

各时钟和 FPGA 及 HPS 连接的引脚如图 4-7 所示：

Signal Name	FPGA Pin No.	Description	I/O Standard
CLOCK_50	PIN_AF14	50 MHz clock input	3.3V
CLOCK2_50	PIN_AA16	50 MHz clock input	3.3V
CLOCK3_50	PIN_Y26	50 MHz clock input	3.3V
CLOCK4_50	PIN_K14	50 MHz clock input	3.3V
HPS_CLOCK1_25	PIN_D25	25 MHz clock input	3.3V
HPS_CLOCK2_25	PIN_F25	25 MHz clock input	3.3V

图 4-7: DE10 Standard 时钟引脚

将此时钟信号作为计数器的时钟信号，即可构成一个定时器：

$$\text{计时时间} = \text{脉冲个数} \times \text{脉冲周期}$$

4.3.2 生成需要的时钟信号

利用开发板上提供的频率为 50MHz 时钟信号和定时器，我们可以设计任何我们需要的时钟信号。如下实例是产生周期为 1 秒的时钟信号的参考代码。其中 clk 是系统时钟，clk_1s 是产生的周期为 1 秒的时钟。

表 4-2: 1 秒时钟生成代码

```
1 always @(posedge clk)
2     if(count_clk==24999999)
3         begin
4             count_clk <=0;
5             clk_1s <= ~clk_1s;
6         end
7     else
8         count_clk <= count_clk+1;
```

请阅读、理解此段代码，并请思考为了能满足 0~24999999 的计数要求，变量“count_clk”的宽度如何设定？

4.4 实验验收内容

4.4.1 上板验收（基础）

请在 DE10-Standard 开发板上实现一个计时器，在七段数码管上直接以十进制显示。

利用开发板上的频率为 50MHz 的时钟，请先设计一个分频器，其输入为 50MHz 的时钟，输出为一个频率为 1Hz，周期为 1 秒的时钟信号。再用这个新的频率为 1Hz 的时钟信号作为你设计的时钟信号，进行计数。

要求此计时器有开始、暂停和清零功能，要求从 00 计数到 99，计数值到 99 后重新从零开始计数。在数码管上用两位数字显示。

可以在计时结束的时候让某一个发光二极管闪烁一个时钟周期，提示计时结束。

4.4.2 上板验收（拓展）

在 DE-10 Standard 开发板上实现一个电子时钟，时钟要求能够显示时、分、秒；还可以有以下功能：调整时间；闹铃（在特定时间 LED 闪烁）；秒表（提供百分之一秒精度，可以停止重启）等。

4.4.3 在线测试

必做 计数器级联

选做 汉明码纠错