**实验三实验报告**

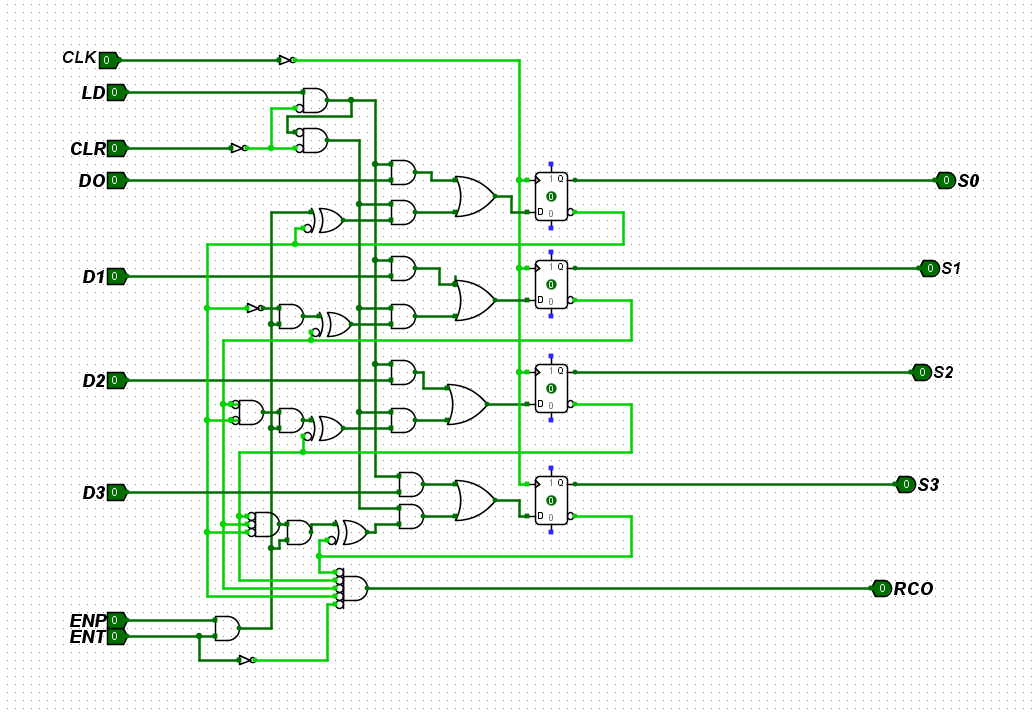
1. **实验目的**
2. 掌握时序电路设计的基本方法；
3. 学会利用锁存器和触发器构建计数器和移位寄存器的方法；
4. 熟悉计数器和移位寄存器的应用；
5. 掌握寄存器堆的设计方法。
6. **实验环境**

Logisim软件

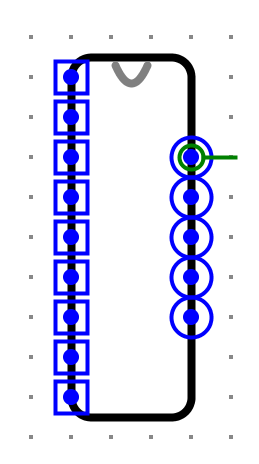
1. **实验内容**

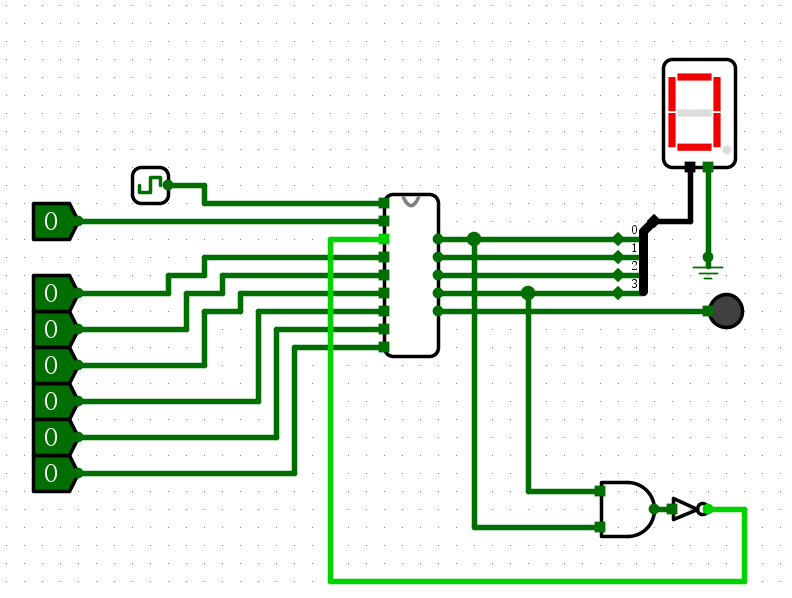
**1、构建10进制计数器。**

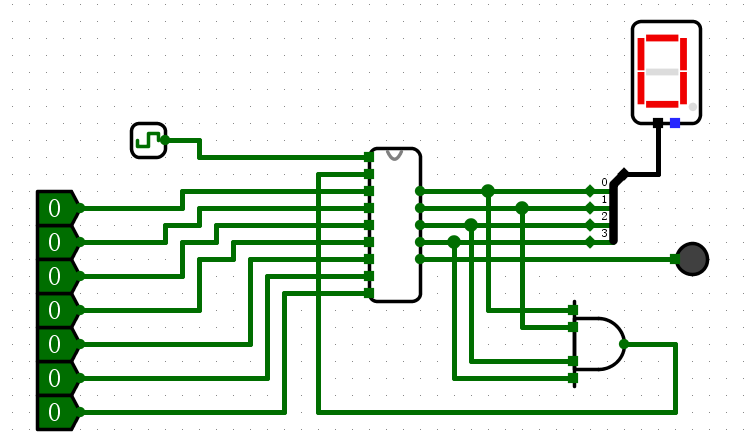
（1）首先构建4位二进制计数器CNTR4U子电路：



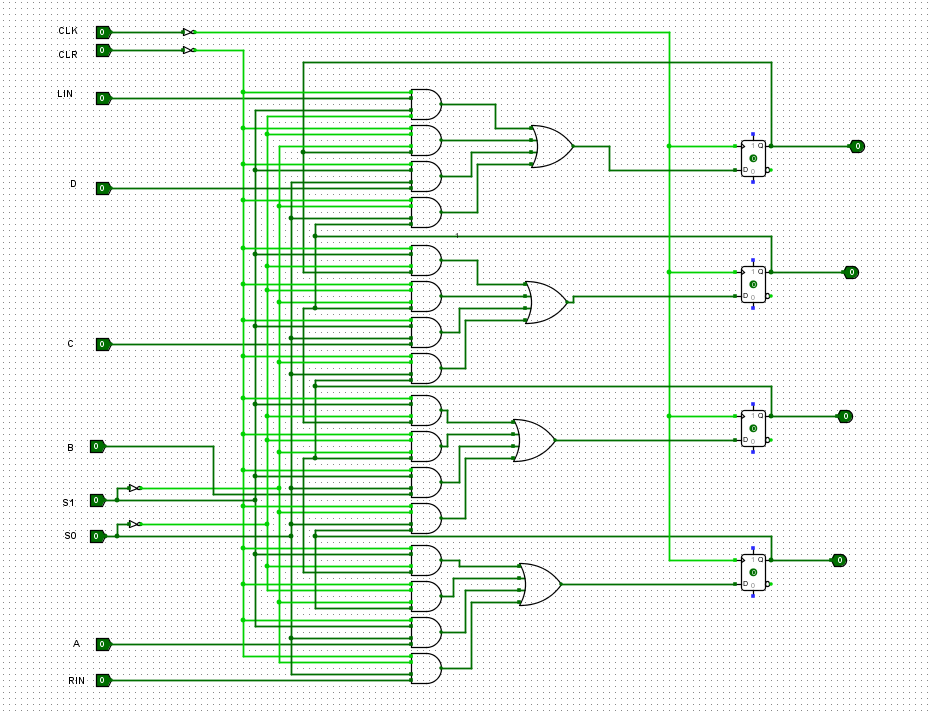
1. 对CNTR4U子电路进行封装



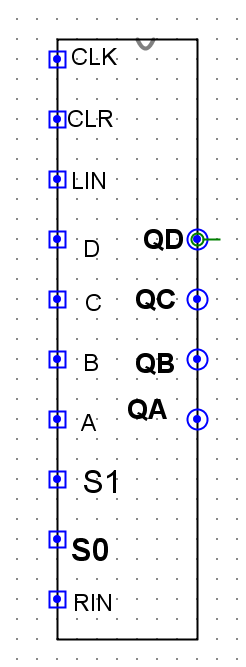
1. 归零法10进制计数器设计：  
    由于计数从0循环到9，故输出到9（1001）后要进行清零，再将S0S1S2S3连接16进制数字显示，将RCO端连接LED灯，置数端设置为低电平，使能端ENDTENP设置为高电平，故可得如下设计图：  
    
2. 置数法10进制计数器设计：  
    由于计数从6循环到15，故当输出到15（1111）后应将输入端置数为6（0110），再将S0S1S2S3连接16进制数字显示，将RCO端连接LED灯。CLR为低电平有效，故应将其设置为高电平，使能段ENT和ENP设置为高电平，故可得如下电路图：



1. **使用移位寄存器重复生成二进制序列。**  
    （1）先构建4位通用移位寄存器SHRG4U子电路：

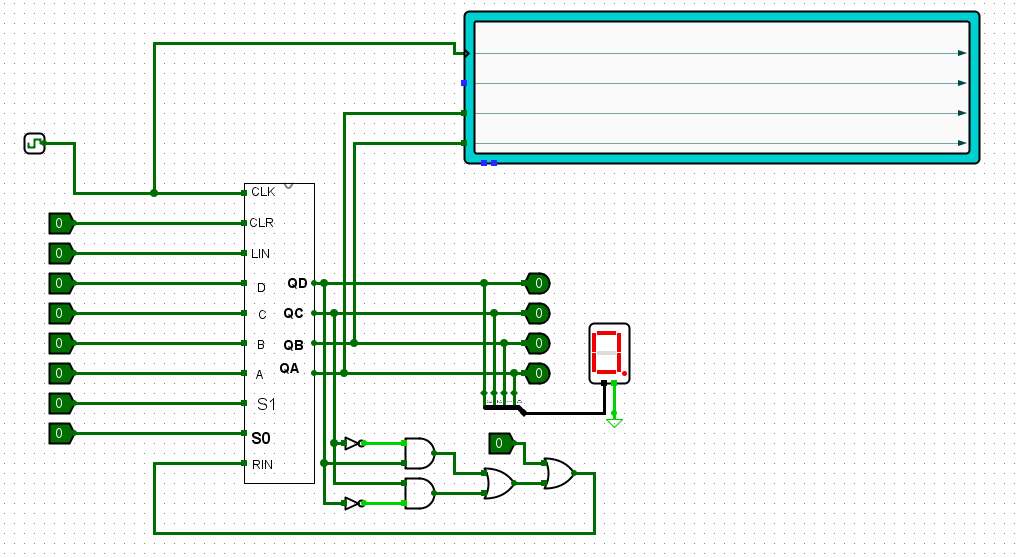


1. 对SHRG4U子电路进行封装。



1. 主电路设计：
2. 反馈电路设计：

采用右移法，将初始值设置为0001,输出的序列依次是0001，0010，0100，1001，0011，1101，1010，0101，1011，0111，1111，1110，1100，1000，0001.故当输出为4，5，6，7，8，9，10，11时右移的右移补位数字为1，其他情况为0，

（b）连接电路图：  
 将QA、QB的输出信号和时钟信号连接到数字示波器上，同时将QA、QB、QC、QD的输出信号连接到16进制数码管上。得到如下电路图：  
 

（3）电路仿真；  
 先加载初始数值为0001，调整电路为右移模式，记录输出的4位序列和伪随机数。

0001 1

0010 2

0100 4

1001 9

0011 3

0110 6

1101 d

1010 a

0101 5

1011 b

0111 7

1111 f

1110 e

1100 c

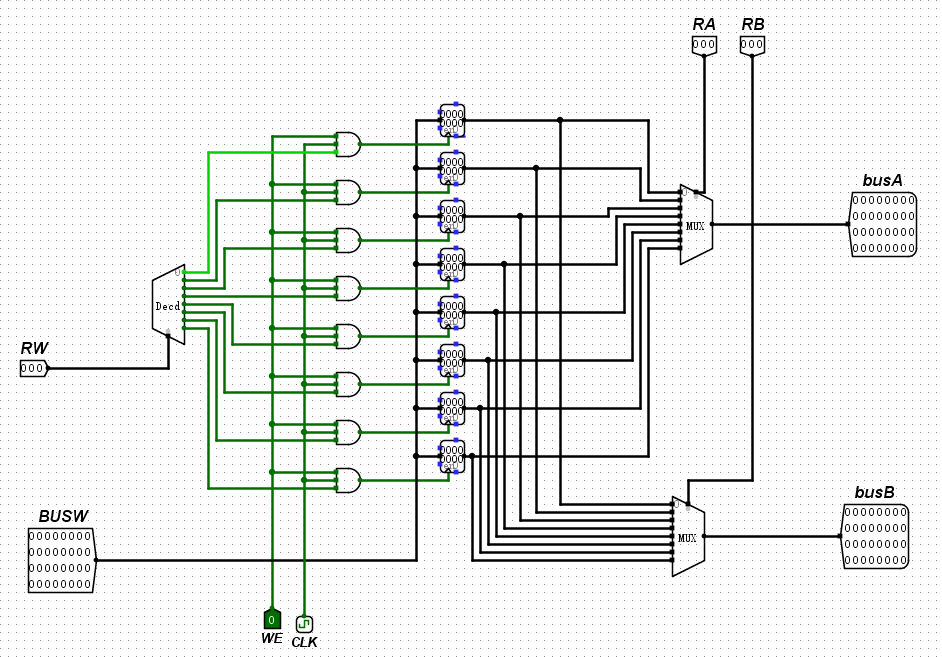
1000 8

0001 1

1. **设计寄存器堆读写电路**。
2. 连接线路

将写口与八个32位寄存器相连,将地址译码器与写使能端,时钟端相与,,地址译码器连接RW,选择哪个寄存器被写入数据,将与门输出连接在寄存器的时钟端相连,八个寄存器分别连接两个多路选择器,选择哪个寄存器数据会被读取,多路选择器,连接RA,RB.

1. 连接好电路后形成如下电路：

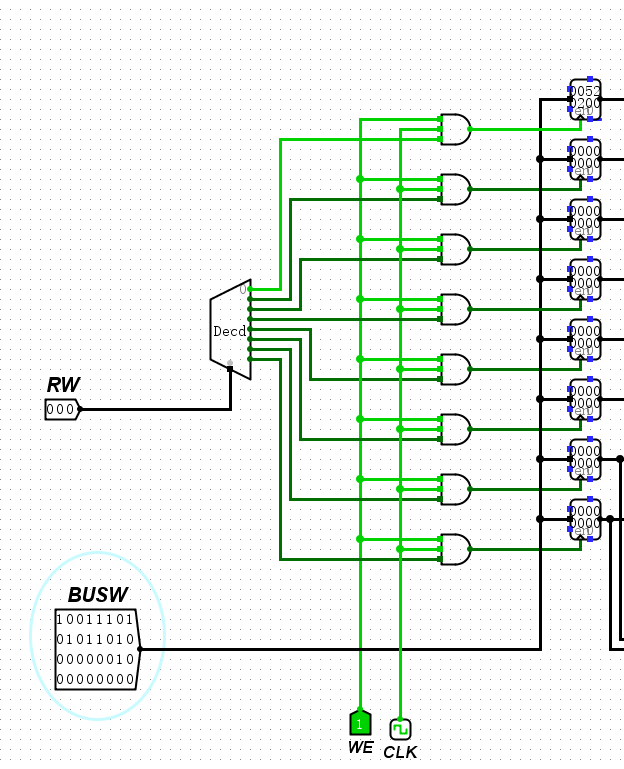
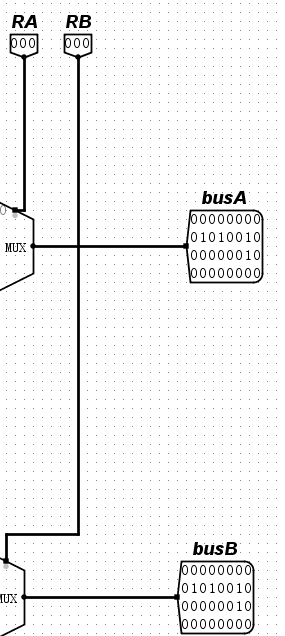


1. 仿真测试：  
    利用封装好的寄存器堆电路，构建如下仿真测试电路，验证电路的读写功能：

例如:选择RW 为000,通过BUSW写入一些数据,在写使能端和时钟端有效时看到1号寄存器数据发生变化,其他寄存器数据不变.

同样,选择RA,RB为000,这时看到busa,busb数据与BUSW 相同.

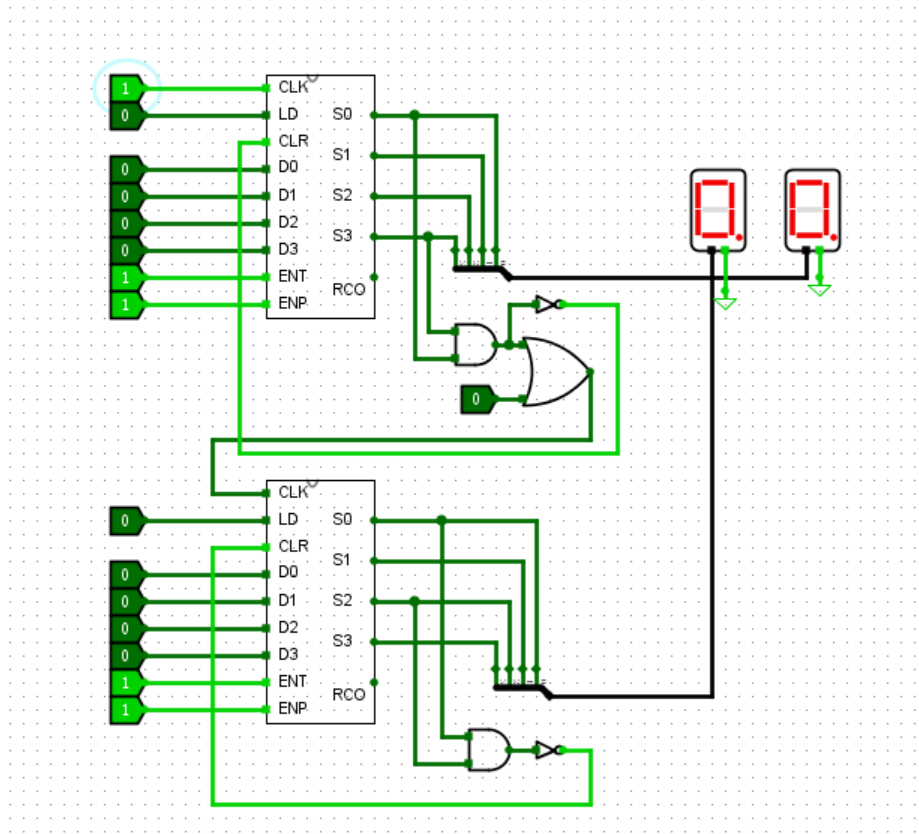
其余情况类似

**四:思考题**

1、利用清零端，若将10进制计数器设置为从N1到N2的循环，则将N2对应的二进制序列的“1”位连接与门，然后再与“0”输入端同时连接或门，将该或门的输出端连接CNTR4U的CLR清零端即可。

2、使用一个CNTR4U子电路控制十位，使其从0循环到5，用另一个CNTR4U子电路控制个位，使其从0循环到9，并将第二个CNTR4U子电路输出信号为0101时控制第一个CNTR4U子电路的CLK信号，电路如下所示：



3.将RW设置为000，将BUSW置为0,将0号寄存器设置为0，然后在以后的操作中永远不将RW设置为000，即永远不对0号寄存器进行写操作，即可一直保持0号寄存器始终存储数值0。

4、设计4位位寄存器原理图如下：  
 