**实验六实验报告**

**一、实验目的**

1、 掌握不同指令数据通路的实现方式。

2、 掌握 CPU 基本结构，并学习不同部件级联调试方法。

3、 掌握 RISC-V 汇编程序设计，并转换成机器代码的方法。

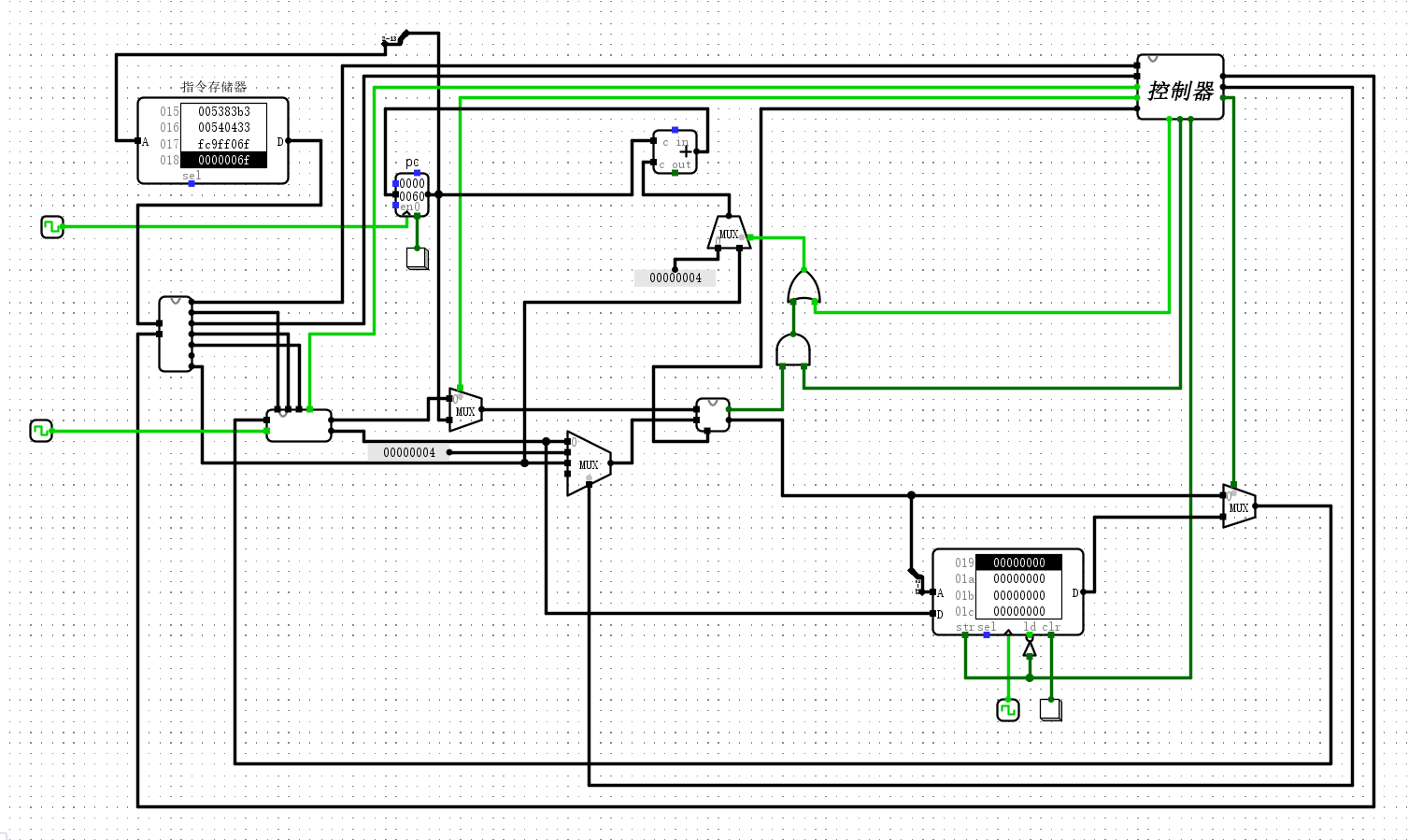
**二、实验环境**

Logisim-ITA V2.16.1.0。

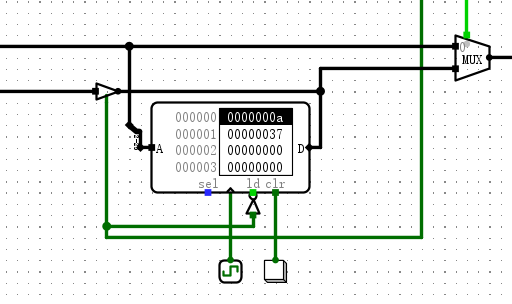
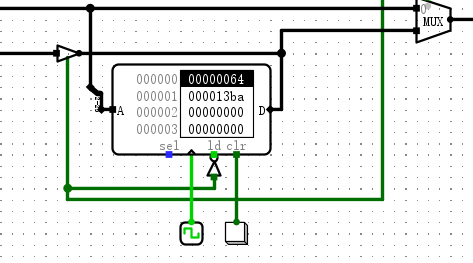
RARS：RISC-V 模拟器工具

1. **实验内容**
2. 设计实现一个支持表 1 中 9 条指令的单周期处理器，并通过在该处理器上运行一个特定的程序来验证处理器设计的正确性。

首先将实验三四五的各个部件按照原理图连接，得到如图所示的支持9条目标指令的单周期CPU，电路图如下：



在RARS 中读入或编写汇编程序并保存后，通过执行 Aseemble（F3）命令，将汇编代码编转换成机器代码。将初始地址设置为 0，进行仿真运行。利用 RARS 的 File 菜单中的 Dump Memeory To File功能，将汇编程序对应的机器指令和数据段中的数据导出。将指令装入指令存储器，在 CPU 电路图中，选中数据存储器 RAM，用鼠标右键点击，选择 Edit Content，在 0x0000 位置处，写入参数值64和a，在 Logisim 的仿真菜单下，选择合适的频率，如 1kHz，选中 Ticks Enable，开始自动执行机器代码，程序执行结束后查看 RAM 中 0x0001 处的结果，如图所示，当0x0000为64时，结果为13ba，当0x0000为a时，结果为37：



冒泡程序的验证过程与之相同，验证结果如图；

排序前数据：



排序后数据：



**思考题：**

1. 如果增加 R 型 and 指令和 I 型 srli 指令，则需要对单周期处理器进行哪些修改？

答：

R型指令and的RTL语言描述及其功能：

and rd, rs1, rs2

r[rd] <- r[rs1] & r[rs2] #将r[rs1]和r[rs2]位与的结果写入rd中。

I型指令srli的RTL语言描述及其功能：

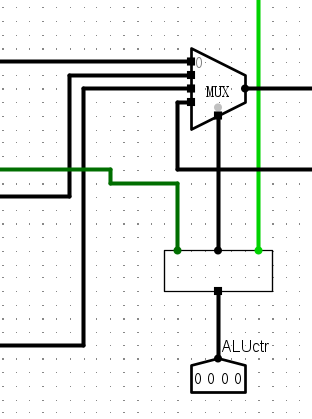
srli rd，rs1，shamt

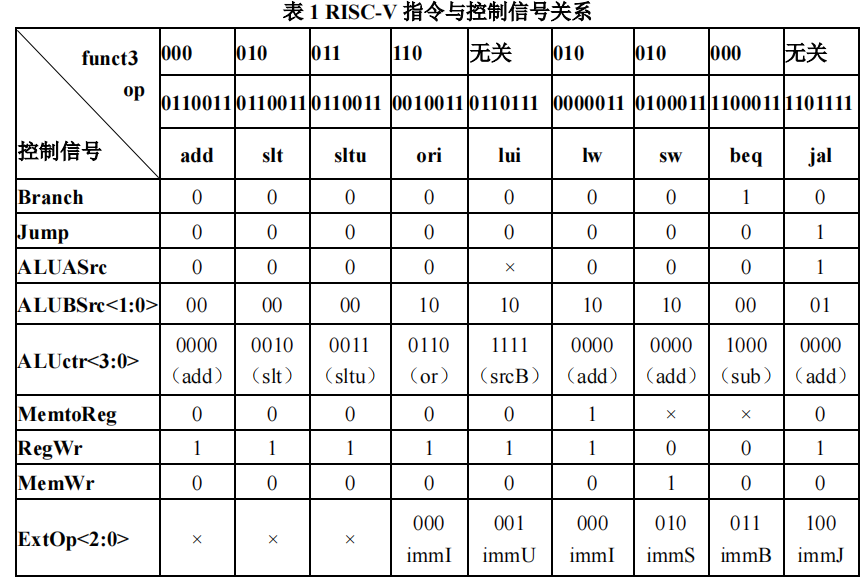
r[rd] <- (r[rs1]>>shamt) #将r[rs1]右移shamt位之后将结果写入rd中。

根据指令功能可知，首先需要在算术逻辑部件ALU中增加相应的运算：与运算和立即数逻辑右移运算。与运算可以用与门实现，逻辑右移可以用移位器实现，之后还要在ALUctr中增加相应的控制信号用于选择何时进行这两种运算，之后，在控制部件中还要加入相应的用于生成这两个指令对应的控制信号的电路。

根据指令与控制信号的关系表可知，R型指令仅funct3字段不同，and指令的funct3字段为111，由ALUctr的编码方案可知，0111处于未用状态，因此可选择0111作为and指令的ALUctr的控制取值，其余信号的取值都不变，因此对于and指令只需在控制部件中增加funct3字段（111）用于生成ALUctr的新增取值0111对应的电路，并在ALU的运算控制单元ALUctr中增加控制and运算的电路即可。

对于I型指令srli，其funct3字段取值为101，op字段取值为0010011，同ori指令仅funct3字段不同，同样的方法，可取ALUctr为0001，选择移位之后的结果输出，控制部件中其他信号的取值同ori指令。另外对于这两条指令，还需要在原有的ALU的多路选择器输出端增加位数并改变各输出端与多路选择器的连接顺序。





1. 在计算累加和程序中，参数设置为何值时，运算结果可能不对？为什么？

答:数据存储器的位数为32位，因此当累加和超过32位数的最大值之后结果就不对。

3、 你能否编写出仅用给出的 9 条指令实现的其它排序算法程序，并在设计的 CPU 中进

行验证。

答：实现仅用9条指令的选择排序算法。

1. 完整的选择排序算法代码和流程图如下：

